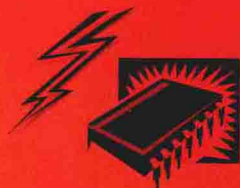




装备科技译著出版基金



模拟电路的 ESD设计

ESD Design for Analog Circuits

[美] Vladislav A. Vashchenko Andrei Shibkov 著

刘忠立 洪纓 王东辉 译



國防工業出版社
National Defense Industry Press



Springer



装备科技译著出版基金

模拟电路的 ESD 设计

ESD Design for Analog Circuits

[美] Vladislav A. Vashchenko Andrei Shibkov 著

刘忠立 洪 纓 王东辉 译

国防工业出版社

· 北京 ·

著作权合同登记 图字:军-2011-112 号

图书在版编目(CIP)数据

模拟电路的 ESD 设计/(美)瓦西琴柯

(Vashchenko, A. V.), (美)西布柯夫(Shibkov, A.) 著;
刘忠立,洪纓,王东辉译. —北京:国防工业出版社,
2014. 1

书名原文:ESD design for analog circuits

ISBN 978-7-118-09326-1

I. ①模... II. ①瓦... ②西... ③刘... ④洪... ⑤王
... III. ①模拟电路-静电防护-设计 IV. ①TN710.02

中国版本图书馆 CIP 数据核字(2014)第 053726 号

Translation from the English language edition:

ESD Design for Analog Circuits

by Vladislav A. Vashchenko and Andrei Shibkov

© Springer Science + Business Media, LLC 2010

All Rights Reserved.

版权所有,侵权必究。

※

国防工业出版社出版发行

(北京市海淀区紫竹院南路 23 号 邮政编码 100048)

北京奥鑫印刷厂印刷

新华书店经售



*

开本 787 × 1092 1/16 印张 23 字数 523 千字

2014 年 1 月第 1 版第 1 次印刷 印数 1—2000 册 定价 79.00 元

(本书如有印装错误,我社负责调换)

国防书店:(010)88540777

发行邮购:(010)88540776

发行传真:(010)88540755

发行业务:(010)88540717

序

关于本书及仿真软件包方案

亲爱的读者,本书为您提供一个模拟集成电路 ESD 设计方法的学习工具。本书使您可以快速开始学习,同时又能将需要深刻理解的 ESD 领域以外跨学科的知识结合进来。书中各章包括半导体结构及器件的技术内容,也包括复杂模拟电路设计的例子和个案研究。

本书为上述技术内容提供两种不同的学习方式:一种方式是将本书作为一本正规的教科书来学习;另一种方式是利用已有仿真例子的商用仿真工具来进行并行的练习。

本书的内容同数值仿真经验结合,可以提供其他地方难以获得的专业知识。本书将商用混合仿真软件同 Angstrom 公司的设计软件结合成为一个整体。DECIMM™(器件电路混合模式)仿真器及补充到本书的仿真例子,可以从 www.analogesd.com 网站下载得到。作者们已经做好的仿真例子支持全书各章讨论的内容。

本书主要的想法是提供一个机会,使读者不仅能够学习到本书的内容,而且也能够直接通过实际的仿真例子更深刻认识所涉及的学科。本书每一节都给出直接同本节主题相关的一组仿真例子,这些例子并非仿真结果的简单描述,而是使读者可以有一个选择应用实际的仿真软件工具。这就使读者有一个实践的机会,可以用交互方式学习仿真结果并在试验的过程中改变仿真参数,从而理解 ESD 仿真例子。同时,仿真器软件的使用并不要求在工艺计算机辅助设计(TCAD)领域有任何高超的技巧。

本书的作者们及 DECIMM™仿真器的开发者们相信,新工具的交互性质将允许任何的电气工程师或电路设计师们能成功地进行仿真。

虽然免费的仿真版本同完全的仿真版本相比有某些限制,但是免费版本比起作为要掌握本书主题内容不可缺少的功能而言,其功能更多。然而,不想考虑仿真优点或者想推迟实践的读者,可以将本书作为一本正规的技术教科书来阅读。每一章末尾给出的仿真例子是相对独立的。

本书的内容及目的

模拟电路的 ESD 设计是一个多样化及跨学科领域。它包含现代 CMOS、BiCMOS 及 BCD 工艺技术的强非线性区中难度很高的半导体器件物理知识,也包含产品应用条件及技术指标约束下模拟电路设计的专门知识,甚至还包含模拟集成元件市场发展趋势的内容。

因而,本书的作者们面临的主要挑战是,选择合适深度的内容,使之可以提供给广大读者,在成功的 ESD 设计中有实际的帮助,并且在应用时也感到知识够用。

本书从半导体器件级到产品电路级来划分层次。理论上,每一章均可以独立地进行学习。本书的后七章技术内容按以下层次划分:

- (1) 半导体结构;
- (2) 集成标准及 ESD 器件;
- (3) ESD 箝位设计原理;
- (4) ESD 保护网络设计原理;
- (5) 单通道模拟集成电路的保护;
- (6) 电源管理模拟集成电路的保护;
- (7) 系统及分立元件的 ESD。

本书涉及 ESD 保护的主要内容是器件、网络以及电路设计,特别是先进的集成元件。最后一章也描述系统及分立元件的 ESD 保护。

这样来划分层次是为了能根据具体读者的专门知识及偏好,做到既可以连续又可以独立地学习本书。作者们预期 ESD 的工程师们及大学生们会接受本书在增加复杂性层面上所做的系统描述,这种方法包括理解本书内容所需要的主要背景知识。

已从事本领域工作而又具有器件设计工程背景专业知识的工作者们会发现,他们可以跳过器件章节直接进入 ESD 网络和模拟电路设计的内容,而电路设计方面的专业人员则适合于从包括半导体结构电导调制物理原理的器件物理内容开始学习。

作者们相信,交互方式学习仿真例子的方法,将极大地有利于所有的读者。

本书的目的,是帮助本领域的工作者们处理每天专业工作中遇到的模拟 ESD 设计问题,并在所有层面解决问题——从器件级 ESD 到集成自保护解决方案的实现。本书不仅用重要的实践经验和技术知识来“武装”读者,而且增加了仿真体验,这些体验可以使读者借助 Angstrom 公司的混合仿真软件 DECIMM™ 的简化版作进一步的发展。

本书的结构

本书按 ESD 复杂性增加的顺序来安排。这种复杂性并非指的是理解的复杂性,因为理解取决于工程技术人员具有的电路或器件设计的专门知识水平。对于电路设计师而言,其复杂性的标准可能同器件工程师的复杂性标准正好相反。

第 1 章给出 ESD 领域相关背景材料。一个简短的评述,描述作者们自己对该领域的认识以及 ESD 脉冲的技术指标和几个其他方面的一般内容。同时,引言主要针对已发表的本领域其他著作的读者,目的是使本书达到以上目标的范围尽量扩大。另外,引言还为理解本书内容给出一些重要的定义。

第 2 章介绍器件设计方面的内容。本章给出基本半导体结构 $p-n$ 、 $p-i-n$ 、 $n-p-n$ 、 $p-n-p$ 、 $p-n-p-n$ 中电导调制过程的基础知识。采用容易理解又较为简单独立仿真例子支持的唯象方法,来描述这些结构的物理过程。

第 2 章中所介绍的关于基本结构电导调制的内容,为理解标准器件脉冲安全工作区(SOA)及 ESD 器件快返回工作模式提供必要的基础知识。第 3 章包括这两方面的内容。它给出 CMOS、BiCMOS、BCD、SOI 和 SiGe 工艺技术中大部分典型集成元件的脉冲 SOA,并重点考虑这些结构中形成的寄生器件。脉冲 SOA 的理解对给定电路引脚形成的所谓 ESD 保护窗口是重要的。

在介绍每一种标准器件的同时,第 3 章还涉及典型的基本 ESD 保护器件,这些器件可以发展成为给定加工工艺的“免费”器件。低价格 ESD 设计方法的要点在于,要创建这样的“免费”ESD 器件。在“免费”器件的情形中,假定器件可以用不超过工艺物理能力的

最小设计规则的掩模层得到。“免费”的方法挑战着自对准的方法又紧紧依靠支持标准器件的方法。在这种情形下,ESD 器件的可靠性同相应的支持器件特性相关。

第 4 章涉及第 3 章描述的 ESD 器件 ESD 箝位水平,这些器件作为具有希望特性引脚的各种 ESD 保护箝位的功能模块。

第 5 章描述 ESD 网络设计的概要。它采用不同的 ESD 箝位方法,在所有集成电路引脚之间“装配”ESD 电源电路。ESD 网络提供不同引脚结合之间的 ESD 路径,在模拟电路的情形中,它不仅包括 ESD 引脚焊盘部分,也包括内部的功能电路元件。第 5 章是模拟电路实际 ESD 设计的主要参考,这一部分内容在第 6 章及第 7 章进一步扩充到信号路径及电源模拟电路。

第 6 章的重点是信号路径模拟应用的 ESD 保护。它包含精炼的处理子模块层次 ESD 的基本内容。本章选定高速、精密及音频放大器、接口应用以及数字-模拟转换器作为信号路径电路和产品的代表。

第 7 章的内容是各种电源管理产品。对于模拟电路设计讨论的是集成电源装置、控制器、光管理部件以及 LED 驱动器中 DC-DC 转换器的一些例子。

第 8 章重点介绍系统级的 ESD 设计及分离元件的 ESD。本章不描述系统本身,而是描述具有直接同系统终端接口的引脚集成元件。主要的内容是实现片上系统级 ESD 保护。由于它是 ESD 设计中一个相当新的课题,因此第 8 章同第 2 章描述的来自文献的 ESD 内容相比,包含更多易于理解的引导性内容。

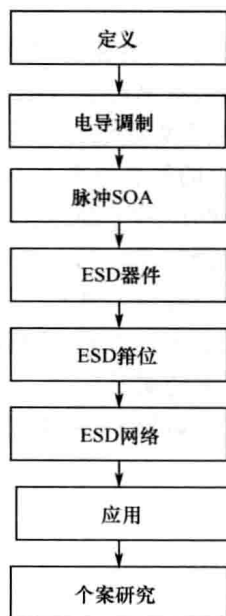


图 1 本书的构成路线图

此外,每一章末尾的一节提供一些仿真例子的简单描述,这些例子直接同本章描述的内容相关。这些例子可以从网站 <http://www.analogesd.com> 下载得到。

译者序

随着 CMOS 集成电路按缩比规律向超深亚微米及纳米方向发展,器件栅氧化物越来越薄,沟道长度越来越短,CMOS 集成电路对 ESD 的损伤越来越敏感。另一方面,模拟电路同数字电路相比,信号及电源更为复杂,因此 ESD 的保护电路设计及实现也更为困难。目前尚无一本较为系统的关于 CMOS 模拟集成电路 ESD 设计及实现方面的参考书。

本书针对 CMOS 模拟集成电路设计及实现,先介绍半导体结构、集成标准及 ESD 器件、ESD 箝位设计原理以及 ESD 保护网络设计原理,在此基础上介绍单通道模拟集成电路的 ESD 保护以及电源管理模拟集成电路的 ESD 保护,最后介绍系统的 ESD 保护以及系统对分立元件的 ESD 要求。

本书内容按层次安排,即从器件到网络,再到电路设计,最后到系统设计。这样,由浅入深,便于理解。此外,本书将数值仿真结合起来,并给出大量仿真例子,使读者不仅可以通过这些例子进行实际的练习,而且可以借助于本书给定的仿真软件,去解决在实际工作中碰到的 ESD 保护设计难题。

本书的另一个特点是,作者总结了多年在 ESD 方面的相关工作经验,涉及 CMOS、BiCMOS、BCD、SOI 及 SiGe 工艺,因此,本书对先进的模拟集成电路 ESD 问题的解决,具有极好的参考价值。本书既适合于从事集成电路设计及系统应用的广大科技人员阅读,也可以作为相关领域研究生和大学的教学参考书。

本书的翻译得到侯朝焕、张仁和两位院士的推荐。中国科学院微电子研究所及中国科学院声学研究所的亢亚萍、王雷欧、何云蕾、李佳芮、郝嘉磊、郝康利等,在整理和打印译稿过程中做了大量的工作,对此我们一并表示感谢!

原书作者 Vladislav A. Vashchenko 博士提供了可修改的原文,对书中插图的翻译给予了极大的便利,在此我们也表示深深的谢意!

由于时间比较仓促,本书虽经反复审校,一定还有不妥之处,恳请读者批评指正。

刘忠立 洪纓 王东辉

致 谢

作者们要感谢直接或间接帮助本书的所有同事们。

Vladislav Vashchenko 要感谢在 ESD 领域紧密合作多年的国家半导体公司的同事及朋友 Ann Concannon, 这些合作直接影响了本书的形成并对本书做出了应有的贡献。他也要感谢为本书作出贡献的同事 Alan Segerval、Donald Archer、Peter Hopper、Philippe Lindorfer、Alexei Sadovnikov、Lihui Wang 和 David Lafontese, 以及近十年来同他在 ESD 项目合作过的国家半导体公司的很多重要设计师及工程师们。他还要深深地感谢近十年在 ESD 课题进行过多方面讨论的同事们, 他们是 Padova 大学的 Gaudenzio Meneghesso 教授、Illinois 大学的 Elyse Rosenbaum 教授、IBM 公司的 Robert Gauthier、德州仪器公司(TI)的 Gianluca Boselli、Novorel 公司的 Vesselin Vassilev、Central Florida 大学的 Juin Lion 教授、QPX 有限责任公司的 Markus Mergens、LAAS 的 Marise Baffleure 教授、恩智普(NXP)的 Theo Smedes、AMES NASA 的 Kai Goebel 以及 ESD 协会和工业部门的其他同事和同业的朋友们。他特别感谢现在及过去直接合作的研究人员及共同发表过文章的作者们, 他们是 Dimitri Linten Mirko Scholz、Philippe Jansen 和 IMEC 的 Steven Thijs, 以及博士生 Nicholas Olson、James Di Sarro 和 Blerina Alija。他还要感谢他以前的导师 Pulsar 的 Vladimir Sinkevitch 教授、AMES NASA 的 Slava Osipov 及 Daimler 有限公司的 Boris Kerner。

Andrei Shibkov 要感谢很多以前的同事, 特别是 Carlo Guardiani, 是他们提出了软件包定义文件的解决方案。

作者们要感谢国家半导体公司的仿真设计专家 Vladislav Potanin, 他审阅了第 6 章及第 7 章, 并提出了很有价值的意见。

作者们也特别感谢他们的家庭在作者们写作本书时给作者们的理解和支持。

最后, 二位作者要特别指出加利福尼亚大学洛杉矶分校一年级的大学学生 Yana Vashchenko 的贡献, 她在 2009 年夏季花了很多时间为本书的语言及文体完美进行工作。作者们希望, 这一实践将能帮助她在未来成为一个更好的生物工程师。

目 录

第 1 章 引言	1
1.1 ESD 软件工具 Prism 中的模拟及数字部分的内容	1
1.2 重要的定义	3
1.2.1 ESD 保护网络	3
1.2.2 ESD 箝位	4
1.2.3 最大限制的绝对值及脉冲 SOA	5
1.2.4 ESD 脉冲技术指标	6
1.2.5 击穿及不稳定性	6
引言的 DECIMM™ 仿真例子	10
第 2 章 击穿及注入情形下半导体结构中的电导调制	11
2.1 重要的定义及限制	11
2.1.1 基本的半导体结构	11
2.1.2 电导调制及负微分电阻	12
2.1.3 空间电流的不稳定性、丝状电流形成及抑制	13
2.1.4 快返回工作	14
2.1.5 本章内容的方法要点	16
2.2 反向偏置 p-n 结的雪崩击穿	16
2.2.1 雪崩击穿现象的解析描述	17
2.2.2 $p^+ - p - n^+$ 结构中雪崩击穿的数值分析	19
2.3 p-i-n 结构中的双雪崩注入	22
2.3.1 效应的解析描述	22
2.3.2 p-i-n 二极管结构的解析描述	22
2.4 $Si n^+ - n - n^+$ 二极管结构中的雪崩注入	24
2.4.1 解析方法	25
2.4.2 仿真分析	26
2.5 n-p-n 二极管结构中电导调制的不稳定性	27
2.5.1 浮置基区中的电导调制:二极管工作模式	27
2.6 三极管 n-p-n 结构中的电导调制	29
2.6.1 基极接地 $U_{EB}=0$ (BVCEs) 时的击穿	29
2.6.2 发射极浮置 $I_E=0$ 时的情形	30
2.6.3 共发射极电路 $I_B < 0$ 时的雪崩注入	30
2.6.4 共发射极电路正偏基极电流 $I_B > 0$ 时的雪崩注入	35
2.6.5 共基极电路中的雪崩注入	37

2.7	PNP 结构中的雪崩注入	38
2.8	Si p-n-p-n 结构中的双注入	40
2.8.1	等效电路	40
2.8.2	p-n-p-n 结构中的电导调制仿真	41
2.9	有负微分电阻的半导体结构中空间电流的不稳定性现象	43
2.9.1	雪崩注入时丝状电流的形成	45
2.9.2	双雪崩注入电导调制中的丝状电流效应	48
2.9.3	双注入情形中的电流丝效应	48
2.10	小结	49
	第 2 章的 DECIMM™ 仿真例子	50
第 3 章	集成电路工艺技术 的标准器件及 ESD 器件	51
3.1	集成电路工艺技术的 ESD 细节考虑	51
3.1.1	具有扩展电压元件的典型 DGO CMOS 工艺	51
3.1.2	BCD 及 BiCMOS 集成工艺流程的 ESD 细节考虑	62
3.2	ESD 脉冲状态的安全工作区	65
3.2.1	保持可靠性的 SOA 及电流不稳定性范围	66
3.2.2	ESD 状态的脉冲 SOA	67
3.2.3	BCD 工艺中典型器件的 ESD SOA	69
3.2.4	ESD 器件的不稳定性范围及 SOA	72
3.2.5	ESD 器件的物理限制、空间热逸散	74
3.3	CMOS 工艺中的低压 ESD 器件	77
3.3.1	快返回 NMOS	77
3.3.2	FOX(TFO)ESD 器件	80
3.3.3	LVTSCR 和 FOXSCR	82
3.3.4	低压雪崩二极管	83
3.4	BJT 工艺中的 ESD 器件	86
3.4.1	集成 NPN BJT 器件	86
3.4.2	双极 SCR	87
3.5	BCD 及扩展电压 CMOS 工艺中的高压 ESD 器件	89
3.5.1	LDMOS-SCR 及 DeMOS-SCR 器件	89
3.5.2	横向 PNP BJT 器件	91
3.5.3	高压雪崩二极管	95
3.6	双向器件	96
3.6.1	CMOS 工艺中双向器件结构	96
3.6.2	高压双向器件	99
3.6.3	基于 Si-Ge NPN BJT 结构的双向 ESD 器件	100
3.7	ESD 二极管及无源元件	104
3.7.1	正向偏置 ESD 二极管	104
3.7.2	无源元件	106

3.8 小结	111
第3章的 DECIMM™ 仿真例子	111
第4章 ESD 箝位	117
4.1 有源 NMOS 箝位	119
4.2 具有内部阻挡结参考或 dV/dt 导通的低压箝位	121
4.2.1 快返回 NMOS 箝位	121
4.2.2 瞬态触发 PMOS 箝位	126
4.2.3 10V FOX 快返回器件	126
4.2.4 LVTSCR 及 FOX-SCR 箝位	128
4.2.5 高保持电压的 LVTSCR 箝位	130
4.2.6 SCR 箝位中的触发特性控制	132
4.3 ESD 箝位中的电压和电流参考	137
4.3.1 BiCMOS 工艺中的低压箝位	138
4.3.2 具有电压参考的 NPN 箝位	140
4.4 高压 ESD 器件	142
4.4.1 具有内部阻挡结参考的 20V NPN	142
4.4.2 具有外部横向雪崩二极管参考的 NPN 箝位	143
4.4.3 基于 SCR 的高压箝位	143
4.4.4 横向 LPNP 箝位	144
4.4.5 混合器件-电路双模式方法	144
4.5 自保护概念	148
4.5.1 器件级自保护	148
4.5.2 阵列级自保护	149
4.6 超高压电路的 ESD 保护	152
4.7 小结	154
第4章的 DECIMM™ 仿真例子	154
第5章 ESD 网络设计原理	163
5.1 基于轨道的 ESD 保护网络	164
5.1.1 基于轨道和局部的 ESD 保护	164
5.1.2 采用快返回箝位基于轨道的 ESD 保护	166
5.1.3 采用有源箝位基于轨道的 ESD 保护	168
5.1.4 BiCMOS 工艺中有源箝位设计的细节考虑	171
5.1.5 双极差分输入保护	176
5.1.6 双极输出保护	179
5.1.7 CMOS 输入和输出保护	181
5.1.8 阵列级的考虑	183
5.1.9 二级保护的概念	185
5.2 基于局部箝位的 ESD 保护网络	191
5.2.1 局部 ESD 保护	191

5.2.2	串行数据线引脚情形研究	192
5.2.3	EEPROM 中擦除引脚的保护	193
5.2.4	内部引脚的局部保护	196
5.2.5	高速 I/O 引脚的局部保护	198
5.3	多电压域的 ESD 网络	200
5.3.1	多电压域	200
5.3.2	具有单一有源箝位网络的多电压域保护	201
5.3.3	差分输入局部双向 ESD 保护	202
5.4	具有 ESD 紧密模型的 ESD 网络仿真	203
5.4.1	用于快返回 NMOS 及 PMOS 器件的紧密模型	204
5.4.2	快返回 LVTSCR 模型	204
5.4.3	扩展电压快返回紧密模型	205
5.4.4	高压漏极开路的电路分析	210
5.5	小结	211
	第 5 章的 DECIMM™ 仿真例子	211
第 6 章	单通道模拟电路的 ESD 设计	219
6.1	放大器	220
6.1.1	放大器的产品系列及技术指标	220
6.1.2	放大器的 ESD 解决方案	224
6.1.3	双极输出高压音频放大器	226
6.1.4	低压放大器的双极输出保护	227
6.1.5	输入保护	229
6.1.6	CMOS 输出	230
6.2	数-模转换器和模-数转换器	230
6.2.1	高速 DAC 的功能模块	231
6.3	高速接口 I/O 引脚	234
6.3.1	接口类模拟产品	234
6.3.2	集成电路电缆放电事件的测试程序	235
6.3.3	满足 CDE 要求的接口引脚 ESD 保护	237
6.4	小结	238
	第 6 章的 DECIMM™ 仿真例子	239
第 7 章	电源管理电路的 ESD 保护	247
7.1	电源管理产品	247
7.1.1	电源管理产品及 ESD 挑战	247
7.1.2	集成的 DC-DC 转换器及控制器	250
7.1.3	集成电源阵列	251
7.2	低压电源电路 ESD	263
7.2.1	低压电源开关模块	263
7.2.2	降压 DC-DC 转换器	265

7.2.3 低压开关引脚的局部快返回保护	266
7.3 集成高压调节器的 ESD 保护	270
7.3.1 集成异步降压调节器	270
7.3.2 同步调节器	273
7.4 控制器	280
7.4.1 异步降压-升压(SEPIC)控制器	280
7.4.2 同步降压控制器	283
7.5 光管理单元和 LED 驱动器	285
7.5.1 模拟 LED 技术	285
7.5.2 LED 驱动器	286
7.5.3 光管理单元	287
7.6 其他例子的研究	292
7.6.1 电源阵列-ESD 箝位的相互作用	292
7.6.2 N 型外延层-N 型外延层的瞬态门锁	294
7.6.3 高压引脚保护的 CDM	297
7.7 小结	301
第 7 章的 DECIMM™ 仿真例子	302
第 8 章 系统级和分立元件的 ESD	309
8.1 系统级规范和标准	309
8.1.1 ESD 鲁棒系统的意义	309
8.1.2 系统级 ESD 脉冲及模型	312
8.1.3 系统级事件的瞬态门锁	316
8.1.4 系统级的保护元件	319
8.2 晶圆片人体金属模型测量	319
8.2.1 晶圆片 HMM 测试仪及脉冲等效电路	321
8.2.2 HMM-HBM 元件的相关性	322
8.3 系统级引脚的片上设计	325
8.3.1 系统级保护的电路例子	325
8.4 热交换及热插拔	329
8.4.1 二级 SCR ESD 器件的概念	330
8.5 系统级封装的保护	334
8.6 分立元件的 ESD 鲁棒性	335
8.6.1 高可靠性系统中的分立元件	335
8.6.2 分立元件的 ESD 要求	336
8.6.3 有缺陷器件的基本数值分析及二晶体管模型	337
8.6.4 分立元件鲁棒性的实验评估	340
8.7 小结	344
第 8 章的 DECIMM™ 仿真例子	345
参考文献	348

第1章 引言

熟悉 ESD 领域的读者可以考虑跳过本章。本章扼要介绍与 ESD 领域有关的基础知识,主要是为了便于同本领域非直接相关的读者,或者给想要更新本领域中最重要知识的读者学习后面各章的内容。在本领域中的很多著作及参考文献[1-7]里,以及在 EOS/ESD 专题讨论会的论文集^[8]中,都包含广泛的 ESD 基础知识内容。本章主要是总结用集成元件设计 ESD 的一般方法,并且提供同 ESD 脉冲技术指标和标准有关的参考资料。最后,本章给出本书中采用的一些重要定义。

1.1 ESD 软件工具 Prism 中的模拟及数字部分的内容

历史上,集成电路可以粗略地分为模拟及数字两大类。在工业中这样分类,常常是基于集成电路的功能及设计原理。至于在复杂的混合信号电路中,还可以定义不同的模拟及数字域,并且对每种具体的域,无论是模拟电路还是数字电路,均可以采用相应的 ESD 设计方法。本书的书名强调“模拟”二字并将其作为本书的重点是有几个理由的。实际上,本书可以认为是混合信号电路通用的 ESD 设计指南,但不包括按比例缩小(缩比)到 90~32nm 的数字 CMOS 工艺的情形。不过,在介绍有源箝位方法的第4章及第5章中,包含有 0.13~1 μ m 工艺技术实现的模拟集成电路元件的数字域。这些电路模块代表数字接口、数字控制引脚及其数字域。

从 ESD 设计的观点看,混合模式电路中的数字电路域与模拟电路是不同的。最简单的方法,是用电路引脚传输信号的类型来定义电路的类型。

从实际 ESD 设计的观点看,模拟和数字设计的差别反映在 ESD 焊盘环路模块中。在全数字电路的情形中,通常在 I/O(输入/输出)焊盘及电源域中进行设计。在这种情形下,数字电路的外围部分一般与内部电路是全隔离的。

当 I/O 及 ESD 库设计完成并验证以后,它们可以支持各种具有不同功能的内部数字模块。此时,超出了 ESD/IO 建库本身,ESD 芯片设计的重点是要保证合适的焊盘环路布局设计,这就需要考虑金属总线的电压降、箝位数及 RC 定时器,并且要描述每一个引脚对引脚结合的电流路径。同时,在适当的电压限制下,电流路径总是限制在 ESD 焊盘环路网络内部。在高引脚数的数字集成电路情形下,问题的复杂性需要采用 ESD 规则检查器这样的自动工具来解决。

上述内容并非是浅化数字 ESD 设计。数字 ESD 设计有它自己的复杂性。例如,其中一个重要的挑战是要考虑高引脚数的数字集成电路产品特性,特别是在缩比到 90~32nm 栅尺寸的 CMOS 工艺情形尤其如此。在这样的情形中,主要的挑战是大尺寸封装 CDM(器件充电模型)脉冲保护。在高速及 RF I/O 引脚和系统级保护中存在很多难题。

但是,在已广泛应用的 $0.5\mu\text{m}$ 模拟工艺技术中,数字引脚保护几乎没有任何的实际难题。这样的保护已有很多好的方法。

之所以讨论数字及模拟电路的对比,主要是要强调 ESD 保护方法及解决方案的特殊性。

在数字设计的情形中,我们可以预期焊盘环路设计中的 ESD 网络模块典型地只提供同内部的单一连接。这样的连接在 ESD 电流路径的分析方面相对是容易的。同时,采用 ESD 库的解决方法可以自动地提供门锁隔离。由于有恰当设计的保护环,ESD 及 I/O 电路同其他电路节点不存在相互作用或相互作用很小。

相反,模拟 ESD 设计绝对没有这样的情形。一般认为,对于模拟电路要考虑的是,其焊盘同内部电路节点有多路的连接。这样的连接可以直接或间接地通过电源元件,如通过几毫米宽的 NLDMOS 漏-栅电容的耦合来实现。

另外,对于不同引脚-引脚的测试,大部分这样的内部电路节点有着未知的瞬态偏压及电流的状态。这使得找到连接引脚的有源器件究竟工作在安全工作区的哪一点是比较困难的。在 ESD 脉冲时间内,模拟电路的电源元件可能处于 ESD 事件的导通状态,并且在 ESD 脉冲的一部分时间内会有相当大的电流。在 ESD 钳位电路和内部电路之间可能形成“快返回”电流路径,它同电路的布局有关,特别在高压器件的情形下更是如此。我们想利用这种差别来强调数字同模拟 ESD 设计之间的不同本质。大量模拟产品可能包含数字接口引脚及电路,但这并不改变基于 ESD 设计原理的方法。

在数字 ESD 设计的情形中,只要它们的类型已定义,并且已用 ESD 焊盘环路选择了恰当的 ESD 或 ESD/IO 库及根据库指南建立了电路,则其 ESD 的设计方法便可以统一及规格化,而同内部电路模块关系不大。相反,在模拟 ESD 设计的情形中,实际的 ESD 设计应该针对一个新的电路考虑通过内部电路 ESD 电流流向不同的具体情况。这些可能的情况,既要考虑 ESD 网络设计,也要考虑 ESD 钳位选择。

这样,模拟设计相对于数字最重要的特性,是 ESD 保护网络同内部电路一般不能分开。这就需要 ESD 工程师更深入地理解模拟电路。

从 ESD 角度看,另一个重要特性是产品的引脚数。数字产品常常有几百个引脚,而一些小尺寸模拟产品的引脚少到 3~5 个。这就使我们自然地需要考虑 ESD 保护在芯片上占用空间这样一个重要的问题。

在有高引脚数的数字电路中,芯片的外围部分是相当大的,并且分布的有源箝位方法是相当优化的,通常需要考虑的只是间距以及每一个焊盘的尺寸。因而超过 90% 的数字电路都是用分布箝位方法来保护的。

在模拟电路中,常常是另一种不同的情形。有很多小引脚数模拟集成电路的例子,其超过 50% 的硅空间为 ESD 箝位电路占有。在这种情形下,节省空间及占用小面积的方法,对产品价格有重要影响。

同时,相应于数字信号电平而言,ESD 箝位电路允许的电压比较低。在成熟的工艺情形中,这使得局部的保护方法相对容易处理。在高压模拟产品中情形相反,此时,若不改变工艺技术,优化的高压解决方法比较困难。

本书的目的是帮助本领域的专业人士处理每天专业工作中遇到的模拟 ESD 设计问题,并在所有层面解决问题——从器件级 ESD 到集成自保护解决方案的实现。本书不仅

用重要的实践经验和技术知识来“武装”读者,而且增加了仿真体验,这些体验可以使读者借助 Angstrom 设计自动化公司的混合仿真软件 DECIMM™的简化版作进一步发展。

1.2 重要的定义

1.2.1 ESD 保护网络

实际上,ESD 领域中所完成的每一本著作都会描述 ESD 电荷积累及放电事件的性质^[1-4]。随着时间的推移,工业应用已建立的规格都脱离了引起充电的事件,或脱离了通过集成电路引脚放电的物体。

因而,为了避免冗长及节约本书的篇幅,本书从稍微不同的角度出发来介绍 ESD 问题。

为了不损失一般性,将用以下方法来处理问题。一个集成电路代表一个包含内部电路元件及外部焊盘的物体。一个分离元件可以看作集成电路的特殊情形,此时一个内部电路可以用一个或几个封装在一起的器件代表。类似地,一个系统可以认为是一些电路模块的结合,它包含外部终端的一些集成组装元件及分离元件。

焊盘通过键合同管壳及引脚连接。引脚可以是管壳的引脚、系统的插座连接器或器件引线。

ESD 保护的任務,是增加集成硬件、系统元件或分离元件满足一定 ESD 脉冲技术指标的能力。

在这种情形下,ESD 的保护能力被看作是集成电路或系统技术指标的一部分,它类似于内部电路特性及可靠性的其他通常技术指标。

在大多数实际的模拟集成元件设计中,这种增加的满足一定水平 ESD 脉冲技术指标的能力,通过内部电路及 ESD 保护网络的协同设计来完成。因而,将 ESD 网络同内部电路分开并要求 ESD 保护方法同电路特性间不存在矛盾的想法,是不大现实的。

然而,ESD 协同设计的目的,是要将 ESD 网络元件对 ESD 技术指标尚未指定但已实现了的理想电路特性的影响减到最小。对于要求在 ESD 及 EOS(电学过载)事件发生时产品工作的系统级 ESD 而言,道理是相同的。系统级 ESD 保护将在第 8 章中介绍。

这样,解决 ESD 的问题,可以认为是根据定义的技术指标去实现承受标准 ESD 试验的嵌入集成产品的能力。

从电路设计的观点看,这实质上意味着,除了通常工作的技术指标以外,集成电路产品还要在某些特定的大电流脉冲条件下具有附加的功能。

有几种方法来实现这样的能力。主要的原理之一是实现同原始功能电路模块并联的附加外围 ESD 保护网络。但是,模拟 ESD 设计常常依赖于内部元件的自保护能力。内部元件的自保护,可以用完全的 ESD 电流以及通过内部电路小得多的电流来实现二级保护。这样,大体上这个产品可以认为是内部功能电路模块同涉及 ESD 电流的附加脉冲电源电路的叠加。这个电路可以部分地利用这个功能电路模块的元件。脉冲电源电路可以进一步理解成 ESD 保护网络。

ESD 保护网络的主要功能,是在每一个引脚-引脚 ESD 放电的情形下,提供一个具

有合适电压限制的大电流路径。在合适的电压限制下,器件在 ESD 时间域中的电压要限制在脉冲安全工作区(SOA)之内。这样,ESD 保护网络不仅应该提供 ESD 电流路径,而且要保证限制此电压低于每个引脚允许的绝对最大值。电路每个引脚的脉冲绝对最大额定值是比较复杂的性能参数,它同时间域、上升时间与引脚有关的器件最大额定值、控制电极之间的耦合以及其他一些实际布局中寄生电流路径等因素有关。

结果,任务便转化成协同设计及 ESD 网络的嵌入。ESD 网络设计在第 5 章中讨论。

如前所述,这个网络可以部分地利用有源电路元件的自保护能力来实现。但是,主要的模块是在同一给定的脉冲电流水平下同合适金属布线相关的 ESD 保护箝位模块。

一个 ESD 的箝位通常在大电流状态下自触发,由 ESD 脉冲的放电而自关断。有二个主要范畴的 ESD 保护箝位。第一个是利用 RC 网络控制有源器件的导通和关断。此时,大电流器件完全用电流模式控制,并且可以进一步用 RC 网络关断。

另一个主要类型的 ESD 箝位,是基于雪崩击穿及快返回的 ESD 器件,它们包含为了获得大电流条件的不同电导调制机制。同有源箝位不同,电导调制的 ESD 器件关断,通常实际上不可能用驱动电路来控制。ESD 器件在电导调制模式下工作,一直到电压状态发生变化,这是由于 ESD 放电或者电压水平自然地降低至快返回元件的维持电压或击穿电压以下。

ESD 箝位的主要原理在第 4 章中讨论。第 3 章介绍 ESD 器件,而第 2 章介绍电导调制原理。

1.2.2 ESD 箝位

ESD 箝位也就是 ESD 保护网络模块。在 ESD 箝位中,将进一步认识在一定条件下提供脉冲 ESD 电流路径的简单电路。这些条件是根据获得临界电压水平或快的上升时间来定义的。在大多数复杂情形下,箝位工作由附加的电极来控制或驱动。ESD 箝位在第 4 章中讨论。

箝位电路可以用工作在单极或者双极电流传导正常模式下的集成元件来设计,这一原理是第 4 章中讨论的有源箝位的基础。

体现产品竞争性优势的 ESD 保护网络最严格的要求之一,是占据芯片的空间要最小。得到这样能力的一个适当方法,是采用小空间的器件方案,利用这样的器件能够体现若干等温电导调制的优点。对于模拟电路而言,最有用的箝位工作是在大注入和击穿模式下进行的。

典型的器件级 ESD 方案是采用带有某些偏置元件的脉冲功率器件,特别的设计使它们在大注入、击穿及电导调制模式下工作。

ESD 箝位的研究包括一系列跨学科领域,其中包括电路设计、半导体器件物理、非线性物理知识的物理层 ESD 箝位、互联的影响、材料及平衡电流密度分配的选择和限制。

另外,如在文献[9]中描述的并在第 2 章中将作特殊说明的是,用于 ESD 器件的电导调制物理现象被限制于几个物理机制,它们可以用基本的二极管、三极管及晶闸管结构来进行分析。这些实际采用的机制,包括雪崩击穿、雪崩注入、双雪崩注入及双注入。在 ESD 进展方面,尚无其他电导调制机制用于 ESD 设计。类似,由于短的 ESD 脉冲时间域,基于热载流子产生的电导调制机制起次要作用,它主要限制 ESD 器件本身大电流的能