


Mc
Graw
Hill
Education

纳米级CMOS

超大规模集成电路可制造性设计

[美] Sandip Kundu 著
[印] Aswin Sreedhar

王昱阳 谢文遨 译
王晓红 审

 科学出版社

纳米级 CMOS 超大规模 集成电路可制造性设计

〔美〕 Sandip Kundu 著
〔印〕 Aswin Sreedhar 著
王昱阳 谢文遨 译
王晓红 审

科学出版社
北京

图字: 01-2011-4497 号

内 容 简 介

本书共分 8 章,内容包括当前 CMOS VLSI 设计的技术趋势,半导体制造的前期技术,当前和未来 CMOS 器件中的工艺参数偏差及其影响,通过版图分析实现光刻控制的基本原理及重要的光刻参数和概念,半导体制造中出现的多种制造缺陷,粒子缺陷和基于图形的缺陷对电路工作性能的影响,可靠性问题的表现及其影响,CAD 工具和方法的变化等。

本书的目的是将读者引入可制造性和可靠性设计的世界,我们将重点更多地放在原理和概念上,而非每个主题的细节。每章的最后都有参考文献,供读者进行更深入的学习。为了理解本书的内容,读者需要对 VLSI 设计原则有一定的了解,包括标准单元库的特征化和物理版图的发展。

本书广泛涉及成本、约束条件、计算效率以及方法等问题,因此,既可作为高年级本科生或低年级研究生的教材,也可以供相关设计人员参考。

图书在版编目(CIP)数据

纳米级 CMOS 超大规模集成电路可制造性设计/(美)Sandip Kundu,
(印)Aswin Sreedhar 著;王昱阳,谢文邀译;王晓红审. —北京:科学出版社,
2014. 5

书名原文: Nanoscale CMOS VLSI Circuits Design for Manufacturability
ISBN 978-7-03-040034-5

I. 纳… II. ①S…②A…③王…④谢…⑤王… III. ①纳米材料-CMOS
电路-超大规模集成电路-电路设计 IV. ①TN432. 02

中国版本图书馆 CIP 数据核字(2014)第 043129 号

责任编辑:杨 凯 / 责任制作:魏 谨

责任印制:赵德静 / 封面设计:于启宝

北京东方科龙图文有限公司 制作

<http://www.okbook.com.cn>

科学出版社 出版

北京东黄城根北街 16 号

邮政编码:100717

<http://www.sciencep.com>

骏杰印刷厂 印刷

科学出版社发行 各地新华书店经销

*

2014 年 5 月第 一 版 开本: 720×1000 1/16

2014 年 5 月第一次印刷 印张: 17 1/2

印数: 1—3 000 字数: 260 000

定 价: 58.00 元

(如有印装质量问题,我社负责调换)



Sandip Kundu Aswin Sreedhar

Nanoscale CMOS VLSI Circuits Design for Manufacturability

0-07-163519-X

Copyright © 2010 by McGraw-Hill Education.

All Rights reserved. No part of this publication may be reproduced or transmitted in any form or by any means, electronic or mechanical, including without limitation photocopying, recording, taping, or any database, information or retrieval system, without the prior written permission of the publisher.

This authorized Chinese translation edition is jointly published by McGraw-Hill Education (Asia) and China Science Publishing and Media Ltd. This edition is authorized for sale in the People's Republic of China only, excluding Hong Kong SAR, Macao SAR and Taiwan.

Copyright © 2014 by McGraw-Hill Education (Asia), a division of McGraw-Hill Education (Singapore) Pte. Ltd. and China Science Publishing and Media Ltd.

版权所有。未经出版人事先书面许可,对本出版物的任何部分不得以任何方式或途径复制或传播,包括但不限于复印、录制、录音,或通过任何数据库、信息或可检索的系统。

本授权中文简体字翻译版由麦格劳-希尔(亚洲)教育出版公司和中国科技出版传媒股份有限公司合作出版。此版本经授权仅限在中华人民共和国境内(不包括香港特别行政区、澳门特别行政区和台湾)销售。

版权© 2014 由麦格劳-希尔(亚洲)教育出版公司与中国科技出版传媒股份有限公司所有。

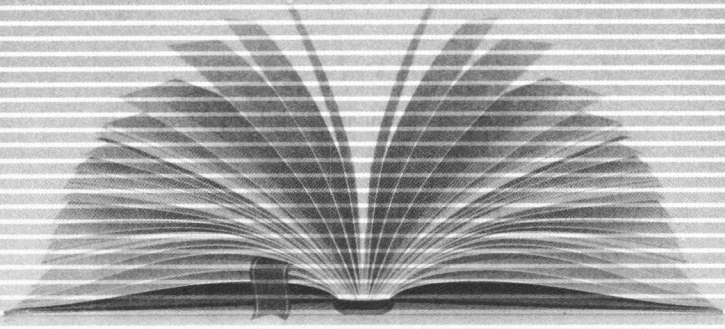
本书封面贴有 McGraw-Hill Education 公司防伪标签,无标签者不得销售。

北京市版权局著作权合同登记号: 01-2011-4497

作者简介

Sandip Kundu, Ph. D., 是马萨诸塞大学阿姆赫斯特分校电气与计算机工程系的教授,专业从事 VLSI 设计与测试。此前,他曾任英特尔公司的首席工程师和 IBM 公司的研究组成员。Kundu 博士是 IEEE Fellow, IEEE 计算机学会的杰出特邀嘉宾,也是 *IEEE Transactions on Computers* 和 *IEEE Transactions on VLSI Systems* 杂志的编委。Kundu 博士发表了超过 130 篇学术论文,并拥有 12 项专利。

Aswin Sreedhar, Ph. D., 是马萨诸塞大学阿姆赫斯特分校电气与计算机工程系的研究助理。他的研究兴趣是面向 VLSI 系统的可制造性设计和电路可靠性设计的统计技术。此前,他曾在英特尔公司和 AMD 做毕业实习。另外, Sreedhar 博士凭借基于光刻的成品率建模获得了 2009 年 DATE 会议的最佳论文奖。



序

本书的目的是将读者引入可制造性和可靠性设计的世界,其定位是作为高年级本科生或低年级研究生的教材,也可以作为设计人员的参考书。由于这一领域有大量的会议和期刊,无法保证本书的内容完全涵盖最新的行业进展。因此,我们将重点更多地放在原理和概念上,而非每个主题的细节。每章的最后都有参考文献,供读者进行更深入的学习。为了理解本书的内容,读者需要对 VLSI 设计原则有一定的了解,包括标准单元库的特征化和物理版图的开发。

本书是基于两个合作者共同的研究兴趣而著成的,两位作者都在可制造性设计领域发表过诸多成果。Kundu 教授还在美国马萨诸塞大学开设了可制造性和可靠性设计的新课程,本书的内容组织很大程度上是基于这门课程的结构,为课堂教学而设计的。因此,作者希望学生可以极大地受益于本书的讲解。本书还广泛涉及成本、约束条件、计算效率以及方法等问题,基于这个原因,本书对设计人员也具有一定的参考价值。

本书的内容将分为 8 章进行讲述。第 1 章向读者介绍当前 CMOS VLSI 设计的技术趋势。本章将对新型器件以及材料科学和光学的贡献进行概述。为实现更高性能和更低功耗的目标,材料科学和光学已经成为了设计过程的基础。本章将介绍可制造性设计(DFM)的基本概念、DFM 与设计过程的关联,以及它在当前设计系统和工艺流程中的应用。本章还将从可靠性设计(DFR)的角度探讨纳米级 CMOS VLSI 设计中的可靠性问题、计算机辅助设计(CAD)流程,以及为提高产品寿命而进行的设计优化。

第 2 章将讨论半导体制造的前期技术,介绍诸如氧化、扩散、金属沉积以及图形生成等工艺步骤。本章着重讲解图形生成阶段所涉及的光刻和蚀刻工艺。为了有效地分析给定设计的可制造性,本章将讨论光刻系统的建模技术,这些



技术被分为“现象学建模”和“完全物理建模”两类,它们的准确性和计算效率在本章得到了比较。

第3章的重点是当前和未来 CMOS 器件中的工艺参数偏差及其影响。本章主要解决的问题是图形生成偏差、掺杂密度波动,以及化学机械抛光和应力所致的电介质厚度偏差。

第4章将讲解通过版图分析实现光刻控制的基本原理,以及重要的光刻参数和概念。光刻偏差控制由各种分辨率增强技术体现,其中包括光学邻近效应修正、相移掩膜以及离轴照明技术。本章还将讨论 DRM 手册的组成部分,其中包括几何设计规则、受限设计规则以及天线规则等。本章还用了若干小节介绍基于模型的设计规则检查的演变过程,以及传统物理设计中其他 CAD 工具的变化。本章的末尾将展示几种高级光刻技术,如双重图形光刻、逆向光刻以及光源掩膜优化等。

第5章将深入考察半导体制造中出现的多种制造缺陷,这些缺陷被分为两类:由污染物造成的缺陷(粒子缺陷)以及由版图设计本身造成的缺陷(依赖于图形的缺陷)。本章将讲解如何使用关键面积来估计粒子缺陷对成品率的影响,以及如何使用基于线宽的模型来预测图形缺陷所致的成品率变化。本章还将介绍计量学和失效分析技术,以及它们在半导体测量和工艺控制中的应用。

第6章将研究粒子缺陷和基于图形的缺陷对电路工作性能的影响。本章讨论的范围涵盖了缺陷模型和故障模型,这些模型可以在缺陷存在的情况下有效地鉴别并预测设计行为。本章还将探讨如何通过避错和容错技术来提高设计的成品率。

第7章将讨论可靠性问题的物理表现及其影响。本章将对热载流子注入、负偏压温度不稳定性、电迁移以及静电放电(ESD)等可靠性失效机制进行解释说明。上述每种可靠性失效机制的平均失效前时间,以及降低其影响的设计方法也在本章得到讨论。

最后,第8章着重讲解 CAD 工具和方法的变化。电路实现过程中的每个步骤都有不同的 DFM 和 DFR 方法,其中包括库特征化、标准单元设计以及物理设计等,CAD 工具因为 DFM 和 DFR 方法的不同而发生变化。随后,本章将深入探讨 DFM-DFR 问题对统计学设计方法和基于模型的解决方案的需求。本章还详细分析了未来设计中面向可靠性的 DFM 方法的重要性。



本书的中心思想是,设计过程中做出的每一个决定都会影响到产品的可制造性、成品率和可靠性。一个产品在经济上的成功与产品的成品率和可制造性密不可分,传统意义上这些只取决于制造厂商的效率和生产率,而本书向读者展示了设计方法对产品能否取得经济成功将有巨大影响。

Sandip Kundu
Aswin Sreedhar

致 谢

致先父 Prof. Hari Mohan Kundu,
他对我追求卓越的鼓励至今仍存；
致母亲 Mrs. Pravati Kundu,
她是给予我支持和力量的支柱；
致爱妻 Deblina 以及爱女 Shinjini 和 Shohini
——Sandip

致父亲 Mr. Sreedhar Jagannathan 和母亲 Mrs. Amirthavalli Sreedhar,
他们的奉献和一如既往的支持驱使着我对知识的渴求；
致我的爱妻 Srividhya 以及兄弟 Parikshit
——Aswin

科学出版社

科龙图书读者意见反馈表

书 名 _____

个人资料

姓 名: _____ 年 龄: _____ 联系电话: _____

专 业: _____ 学 历: _____ 所从事行业: _____

通信地址: _____ 邮 编: _____

E-mail: _____

宝贵意见

◆ 您能接受的此类图书的定价

20 元以内 30 元以内 50 元以内 100 元以内 均可接受

◆ 您购本书的主要原因有(可多选)

学习参考 教材 业务需要 其他 _____

◆ 您认为本书需要改进的地方(或者您未来的需要)

◆ 您读过的好书(或者对您有帮助的图书)

◆ 您希望看到哪些方面的新图书

◆ 您对我社的其他建议

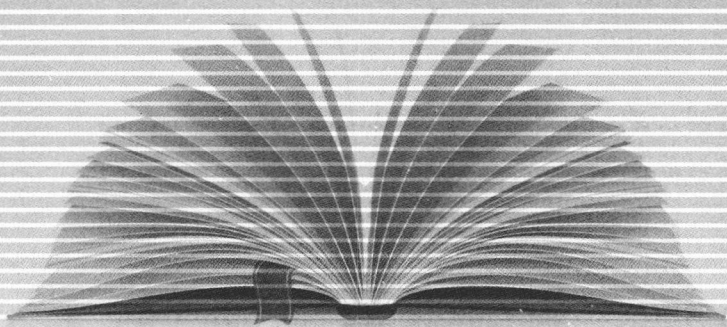
感谢您关注本书! 您的建议和意见将成为我们进一步提高工作的重要参考。我社承诺对读者信息予以保密, 仅用于图书质量改进和向读者快递新书信息工作。对于已经购买我社图书并回执本“科龙图书读者意见反馈表”的读者, 我们将为您建立服务档案, 并定期给您发送我社的出版资讯或目录; 同时将定期抽取幸运读者, 赠送我社出版的新书。如果您发现本书的内容有个别错误或纰漏, 烦请另附勘误表。

回执地址: 北京市朝阳区华严北里 11 号楼 3 层

科学出版社东方科龙图文有限公司电工电子编辑部(收)

邮编: 100029





目 录

第 1 章 绪 论	1
1.1 技术趋势：延续摩尔定律	1
1.1.1 器件的改进	3
1.1.2 材料科学的贡献	6
1.1.3 深亚波长光刻	9
1.2 可制造性设计	13
1.2.1 DFM 的经济价值	13
1.2.2 偏 差	15
1.2.3 对基于模型的 DFM 方法的需求	20
1.3 可靠性设计	20
1.4 小 结	21
参考文献	22
第 2 章 半导体制造	25
2.1 概 述	25
2.2 图形生成工艺	26
2.2.1 光 刻	26
2.2.2 刻蚀技术	30
2.3 光学图形生成	33
2.3.1 照明系统	33
2.3.2 衍 射	36
2.3.3 成像透镜系统	39
2.3.4 曝光系统	42



目 录

2.3.5	空间像与缩小成像	43
2.3.6	光刻胶图形生成	44
2.3.7	部分相干	46
2.4	光刻建模	48
2.4.1	唯象建模	49
2.4.2	光刻胶的完全物理建模	51
2.5	小 结	52
	参考文献	53
第 3 章	工艺和器件偏差：分析与建模	55
3.1	概 述	55
3.2	栅极长度偏差	61
3.2.1	光刻导致的图形化偏差	61
3.2.2	线边缘粗糙度：理论与特性	72
3.3	栅极宽度偏差	75
3.4	原子的波动	77
3.5	金属和电介质厚度偏差	79
3.6	应力引起的偏差	83
3.7	小 结	86
	参考文献	86
第 4 章	面向制造的物理设计	91
4.1	概 述	91
4.2	光刻工艺窗口的控制	96
4.3	分辨率增强技术	100
4.3.1	光学邻近效应修正	101
4.3.2	亚分辨率辅助图形	105
4.3.3	相移掩膜	106
4.3.4	离轴照明	110
4.4	DFM 的物理设计	112
4.4.1	几何设计规则	113



4.4.2	受限设计规则	113
4.4.3	基于模型的规则检查和适印性验证	114
4.4.4	面向可制造性的标准单元设计	117
4.4.5	减小天线效应	122
4.4.6	DFM 的布局与布线	123
4.5	高级光刻技术	126
4.5.1	双重图形光刻	127
4.5.2	逆向光刻	133
4.5.3	其他高级技术	136
4.6	小 结	137
	参考文献	137
第 5 章	计量、制造缺陷以及缺陷提取	141
5.1	概 述	141
5.2	工艺所致的缺陷	144
5.2.1	误差来源的分类	145
5.2.2	缺陷的相互作用及其电效应	147
5.2.3	粒子缺陷建模	149
5.2.4	改善关键区域的版图方法	156
5.3	图形所致缺陷	157
5.3.1	图形所致缺陷类型	158
5.3.2	图形密度问题	159
5.3.3	图形化缺陷建模的统计学方法	160
5.3.4	减少图形化缺陷的版图方法	165
5.4	计量方法	167
5.4.1	测量的精度和容限	168
5.4.2	CD 计量	169
5.4.3	覆盖计量	174
5.4.4	其他在线测量	177
5.4.5	原位计量	178
5.5	失效分析技术	178

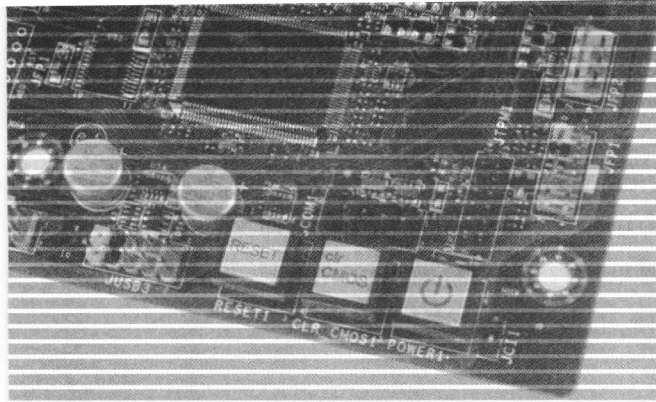


5.5.1	无损测试技术	180
5.5.2	有损测试技术	182
5.6	小 结	183
	参考文献	183
第 6 章	缺陷影响的建模以及成品率提高技术	187
6.1	概 述	187
6.2	缺陷对电路行为影响的建模	188
6.2.1	缺陷和故障的关系	190
6.2.2	缺陷-故障模型的作用	191
6.2.3	测试流程	199
6.3	成品率提高	200
6.3.1	容错技术	202
6.3.2	避错技术	213
6.4	小 结	217
	参考文献	217
第 7 章	物理设计和可靠性	221
7.1	概 述	221
7.2	电迁移	224
7.3	热载流子效应	227
7.3.1	热载流子注入机制	228
7.3.2	器件损坏特性	230
7.3.3	经时介电击穿	231
7.3.4	缓解 HCI 引起的退化	231
7.4	负偏压温度不稳定性	233
7.4.1	反应-扩散模型	233
7.4.2	静态和动态 NBTI	234
7.4.3	设计技术	236
7.5	静电放电	237
7.6	软错误	239



7.6.1 软错误的类型	239
7.6.2 软错误率	240
7.6.3 面向可靠性的 SER 缓解与修正	240
7.7 可靠性筛选与测试	240
7.8 小 结	241
参考文献	242
第 8 章 可制造性设计：工具和方法学	245
8.1 概 述	245
8.2 IC 设计流程中的 DF _x	246
8.2.1 标准单元设计	247
8.2.2 库特征化	248
8.2.3 布局、布线与虚拟填充	249
8.2.4 验证、掩膜综合与检测	250
8.2.5 工艺和器件仿真	251
8.3 电气 DFM	251
8.4 统计设计与投资回报率	252
8.5 优化工具的 DFM	254
8.6 面向 DFM 的可靠性分析	257
8.7 未来技术节点的 DF _x	257
8.8 结束语	259
参考文献	259





第 1 章

绪 论

1.1 技术趋势：延续摩尔定律

互补金属氧化物半导体(CMOS)技术已经主导半导体制造业长达 20 余年,对高集成度、高性能和低功耗的持续需求在近 30 年间一直推动着 CMOS 器件的等比例缩小。1965 年,戈登·摩尔(Gordon Moore)做出了著名的预测——一片芯片上可容纳的晶体管数量每 18 个月翻一番,而价格保持不变。这个预测被称为“摩尔定律”,直到今天依然适用,这得力于多个技术领域的发展,诸如高级设计语言、自动逻辑综合、计算机辅助电路仿真、物理设计等设计技术让人们能在更短的时间内完成更大规模的设计;而诸如掩膜、光刻、刻蚀、沉积、抛光等制造技术的不断进步,让更高的器件集成度成为可能。

摩尔定律因为多项技术的共同进步而得以维持,对高性能、低成本、低功耗电路的需求从未降低,从历史上看,晶体管特征尺寸的缩小对上述三方面的需求都有贡献。“高性能”意味着每一代新技术都能带来时钟频率的提升,这就要求晶体管驱动电流有着相应的提升,而寄生电容则要尽量小,以减少传播延迟。晶体管驱动电流是栅极尺寸以及沟道内载流子的数量和迁移率的函数。传播延迟是信号通过门或晶体管,从输入到输出的传输时间,主要取决于器件的本征电容,受控于阈值电压和负载电容。通过改变相关的参数,就可以制造出具有更高时钟频率的集成电路(IC)。随着半导体芯片进入便携和手持式设备,功耗也成为重要的设计参数。功耗又可分为动态功耗和静态功耗。动态功耗是指晶体管工作所产生的能量损耗,它不仅取决于电源电压和电路工作频率,还取决于器件和互连线的寄生电容,而这二者则是由制造工艺和材料所决定的。静态功耗是与器件使用无关的能量损耗,它主要取决于器件的阈值电



压,由栅极多晶硅和沟道区的掺杂密度等工艺参数所决定。

提高时钟频率主要依靠减小有效沟道长度、降低器件阈值电压而实现;功耗以及一些可靠性问题则通过减小电源电压得以控制;漏电流的控制,可通过在非关键路径采用阈值较高的晶体管来实现。这便是多阈值 CMOS (MTCMOS)技术。

每一代的 CMOS 技术都有新的挑战出现,需要寻求新的解决方案。早期,当版图规模增加到约一千个多边图形时,人工版图设计变得不切实际,因而需要自动绘图工具;后来,当栅极数量增长到上千个时,计算机辅助逻辑综合成为不可或缺的工具;当栅极数量变得更大,高级设计语言问世;当工艺尺寸达到 $1.5\mu\text{m}$ 左右,互连线延时变得不可忽略,这促进了电路版图互连线电阻和电容 (RC) 提取技术的发展;当器件尺寸进一步缩小,耦合电容产生的问题推动了信号完整性工具的发展;随着晶体管特征尺寸变得更小,出于对器件可靠性的考虑,电迁移规则与检查被引入;当晶体管数量进一步增大,工作频率进一步提高,功率密度成为重要的考量因素,特别是移动设备的设计,要减少动态功耗需要相应地减少互连线电容,因而需要发展互连层之间的低 K 层间电介质。

总而言之,这些技术促进行业从一个技术节点迈向下一个技术节点,未来的技术需要在基本器件结构、材料和工艺技术三个方面有所创新。

与其他技术升级不同的是,晶体管特征宽度达到 45nm 及以下,引起了设计和制造领域的多个方面谋求改变,以试图更好地满足上述三个技术要求。国际半导体技术发展路线图 (International Technology Roadmap for Semiconductors, ITRS) 在报告^[1]中强调,未来技术能够成功的一个关键因素就是基本的晶体管图形化技术,如今的光刻技术作为晶体管与互连线图形化的核心,已经不能适应更小的特征尺寸,主要的问题出在掩膜和投影光学系统的材料、工作温度以及光源的波长上(这些将在第3章中详细说明)。能够适应更小的有效栅极长度的光刻技术,将是晶体管特征尺寸继续缩小的关键。结构改进的新型金属氧化物半导体场效应晶体管 (MOSFET) 希望通过增加沟道区表面积来提高器件的驱动电流,这需要更好的制造技术作支撑,同时需要相应的光刻技术将器件生成在晶圆上。一些新材料的研究也致力于克服性能和功耗的壁垒,如通过更高的电荷迁移率来提高性能,或通过更小的本征和互连电容来改善偏差控制。这些技术将在后续的章节中提到。



1.1.1 器件的改进

传统的 CMOS 尺寸缩小涉及晶体管多个部分的缩小,包括特征宽度、氧化层厚度、掺杂浓度和分布等;当晶体管缩小到原子级时,上述几个部分的缩小将会引发新的问题。例如,缩小氧化层厚度会增加氧化层隧穿泄漏;提高沟道掺杂浓度会增加源极-漏极泄漏;提高源极-漏极掺杂浓度会增加带-带直接隧穿泄漏,还会增大源-漏电容,牺牲晶体管的性能。人们已经广泛认识到传统的体硅 CMOS 在等比例缩小过程中会遇到上述局限,进一步缩小晶体管尺寸需要对传统的 MOS 管进行改良,一些替代器件正在研究当中,一些已经投入使用,其中包括:采用绝缘体上硅技术(SOI)制成的 MOSFET,它针对减小源-漏电容和晶体管体效应而设计;鳍式场效应晶体管(FinFET,具有鳍形垂面而非平面结构的 FET 管)和三栅极晶体管的发展试图增加晶体管的导通电流而不增加其截止电流;基于碳纳米管(CNT)制作的晶体管是另一种缩小尺寸的方法,然而现在的光刻工艺还不能将其图形化。

如今一些代工厂已经在为高性能集成电路制造基于 SOI 技术的 MOSFET,尽管 SOI 晶圆的成本已经有了显著降低,但其成本和成品率仍然是限制 SOI 器件大规模应用的壁垒。此外,鳍式场效应管、三栅极晶体管以及其他多栅器件都还处于初期发展阶段,一旦可以大规模生产,这些器件将推动传统电路设计与优化方法的改变。碳纳米管被奉为硅晶体管的潜在替代技术,然而这种器件的组装、性能和可靠性等问题仍然有待讨论。接下来的几节将对这些正在发展的技术进行综述。

1. 绝缘体上硅技术

SOI 技术使用硅-绝缘体-硅衬底作为 MOSFET 的体材料,代替了传统的掺杂硅衬底,通过填埋二氧化硅薄层将沟道区隔离,从而使晶体管体浮于上方而不会产生衬底耦合噪声,继而减小寄生电容,使得电路在性能和功耗特性两方面都有改善。图 1.1 是一个基于 SOI 技术的 MOSFET 器件示意图。从电路的角度看,SOI 技术和体硅技术的区别是,SOI 晶体管体端构成了一个独立的第四端,这一端一般不连接,但可以通过将其保持在特定电位来调整阈值电压。

用 SOI 替代体硅 CMOS 的主要优势是更小的结电容、更小的体效应和更大的饱和电流所带来的性能提升。其他优势包括管芯上的漏电控制更好,对软