

HZ BOOKS

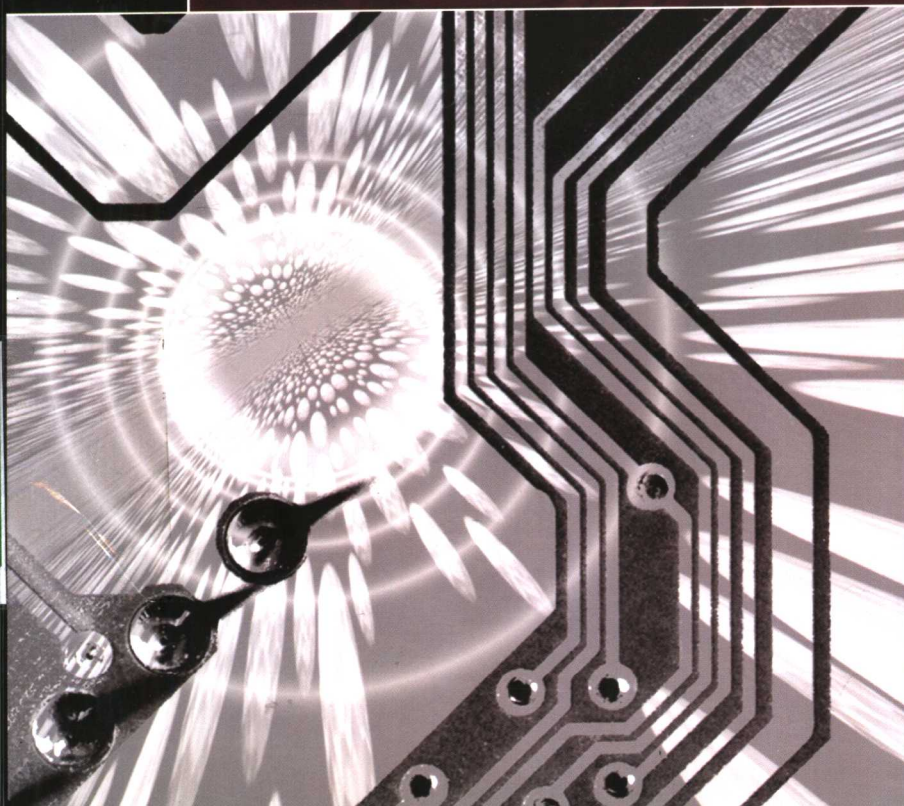
21世纪

高等院校电子信息类本科规划教材

SOPC

技术与应用

江国强 编著



机械工业出版社
China Machine Press

TP332.1

33

2006

21
纪

高等院校电子信息类本科规划教材

SOPC

技术与应用

江国强 编著



机械工业出版社
China Machine Press

本书主要介绍了 SOPC 技术、设计及应用。全书分为 6 章, 包括 SOPC 技术概述、Quartus II 软件的使用方法、基于 FPGA 的 DSP 开发技术、Nios II 嵌入式系统开发、Nios II 的常用组件与编程和 SOPC 技术的应用。另外在附录 A 中介绍 Altera DE2 开发板结构与使用方法, 在附录 B 中介绍伟福 EDA6000 实验开发系统的结构与使用方法, 在附录 C 中介绍 Nios II 系统的 SDK 调试方式, 指导读者完成 SOPC 设计的硬件验证操作过程。每章还附有思考题与习题。

本书可作为高等院校电子信息类专业高年级本科生和研究生的教材和学习参考资料。

版权所有, 侵权必究。

本书法律顾问 北京市展达律师事务所

图书在版编目 (CIP) 数据

SOPC 技术与应用 / 江国强编著. -北京: 机械工业出版社, 2006.9

(21 世纪高等院校电子信息类本科规划教材)

ISBN 7-111-19992-8

I. S… II. 江… III. 微处理器-系统设计-高等学校-教材 IV. TP332

中国版本图书馆 CIP 数据核字 (2006) 第 117423 号

机械工业出版社 (北京市西城区百万庄大街 22 号 邮政编码 100037)

责任编辑: 秦燕梅

北京慧美印刷有限公司印刷·新华书店北京发行所发行

2006 年 10 月第 1 版第 1 次印刷

184mm×260mm·16.75 印张

定价: 24.50 元

凡购本书, 如有倒页、脱页、缺页, 由本社发行部调换

本社购书热线: (010) 68326294

前 言

随着微电子技术和计算机技术的发展,可编程逻辑器件、EDA 技术、嵌入式系统、SOC、SOPC、IP 核等新概念和新技术层出不穷,新技术的应用迅速渗透到电子、通信、信息、机械制造、仪器仪表、航空航天、家用电器等领域,有力地推动了社会生产力的发展和社会信息化程度的提高。

微电子技术(即大规模集成电路加工技术)的发展是现代电子技术发展的基础。目前,在硅片单位面积上集成的晶体管数量越来越多,原来需要成千上万只电子元器件组成的电子设备电路,现在仅用几片或单片超大规模集成电路就可以实现。

SOPC(System On a Programmable Chip)称为可编程片上系统,它基于可编程逻辑器件(FPGA 或 CPLD)可重构的片上系统(SOC)。SOPC 集成了硬核或软核 CPU、DSP、锁相环(PLL)、存储器、I/O 接口及可编程逻辑,可以灵活高效地解决 SOC 方案,而且设计周期短,设计成本低。目前,SOPC 技术已成为备受众多中小企业、研究所和大专院校青睐的设计技术。

本书分为 6 章。第 1 章 SOPC 技术概述,介绍 SOPC 技术的基本概念,包括 SOC、SOPC、嵌入式微处理器、IP 核等;介绍 SOPC 的设计流程;介绍支持 SOPC 的可编程逻辑器件、EDA 软件工具和硬件描述语言。

第 2 章介绍 Altera 公司的 Quartus II (5.0 版本)软件的使用方法,作为 SOPC 设计的基础。通过本章的学习,读者可初步用 Quartus II 软件的原理图输入法和 HDL 文本输入法,设计数字电路和系统,掌握用实验开发系统或开发板对设计电路进行硬件验证的方法。

第 3 章介绍 Matlab/DSP Builder 的 DSP 硬件模块设计、Matlab 模型仿真、SignalCompiler 使用方法、使用 Modelsim 进行 RTL 级仿真、使用 Quartus II 实现 DSP 的时序仿真和 DSP 设计的硬件实现与测试方法。通过本章的学习,读者可初步掌握基于 FPGA 的 DSP 开发技术。

第 4 章介绍使用 Altera 公司的 Quartus II 软件进行 Nios II 嵌入式系统设计的方法。通过本章的学习,读者可初步掌握用 Quartus II 软件的 SOPC Builder 生成的 Nios II (即 CPU)核及其与之配套的内部和外部设备的方法,掌握 Nios II 嵌入式系统的调试方法,基本了解 Nios II 嵌入式系统组件的编程方法。

第 5 章介绍 Nios II 的常用组件与编程,通过本章的学习,读者可以进一步了解 Nios II 常

用组件的结构及编程方法，为 SOPC 的实际应用与编程打下基础。

第 6 章介绍 SOPC 的应用，介绍 Quartus II 系统的 SOPC 设计实例。

另外，附录 A 介绍了 Altera DE2 开发板结构与使用方法，附录 B 介绍了伟福 EDA6000 实验开发系统的结构与使用方法，附录 C 介绍了 Nios II 系统的 SDK 调试方式，指导读者完成 SOPC 设计的硬件验证操作过程。每章还附有思考题与习题。

本书由桂林电子科技大学的江国强编著，倪坤和陈石平参加了第 5 章及第 6 章部分内容的编写，Altera 公司中国项目经理徐平波先生、南京伟福公司的陈小宇总经理为本书的编写提供了全面的技术支持。对于书中的错误和不足之处，恳请读者指正。

编著者

2006 年 8 月

目 录

前言

第 1 章	SOPC 技术概述	1
1.1	基本概念	1
1.1.1	SOC	1
1.1.2	SOPC	1
1.1.3	IP 核	2
1.1.4	嵌入式系统	2
1.2	SOPC 设计流程	3
1.2.1	设计准备	3
1.2.2	设计输入	3
1.2.3	设计编译	4
1.2.4	设计仿真	4
1.2.5	器件编程	5
1.2.6	硬件测试	5
1.3	支持 SOPC 的可编程逻辑器件	5
1.3.1	MAX 和 MAX II 器件	5
1.3.2	Cyclone 和 Cyclone II 器件	6
1.3.3	Stratix 和 Stratix II 器件	7
1.3.4	HardCopy 器件	8
1.4	支持 SOPC 技术的 EDA 工具	8
1.4.1	Quartus II	8
1.4.2	SOPC Builder	9
1.4.3	Nios II SDK Shell 与 Nios II IDE	9
1.4.4	Modelsim	9
1.4.5	Matlab 与 DSP Builder	10
1.5	支持 SOPC 的硬件描述语言	10
1.5.1	VHDL	10
1.5.2	Verilog HDL	11
1.5.3	AHDL	11
	思考题与习题	11
第 2 章	Quartus II 软件操作基础	12
2.1	Quartus II 软件的安装	12

2.2	Quartus II 软件的主界面	15
2.3	Quartus II 的图形编辑输入法	17
2.3.1	图形编辑输入设计文件	18
2.3.2	编译设计文件	22
2.3.3	仿真设计文件	23
2.3.4	编程下载设计文件	25
2.4	Quartus II 的文本编辑输入法	30
2.5	MAX+PLUS II 设计项目的转换	32
2.6	Quartus II 宏功能模块的使用方法	32
2.6.1	设计原理	32
2.6.2	编辑输入顶层设计文件	33
2.6.3	仿真顶层设计文件	41
2.6.4	硬件验证与测试	41
2.6.5	图形文件的转换	42
2.7	嵌入式锁相环宏功能模块的使用方法	44
2.8	设计优化	48
2.8.1	面积与速度的优化	48
2.8.2	时序约束与选项设置	49
2.8.3	Fitter 设置	50
2.9	Quartus II 的 RTL 阅读器	51
	思考题与习题	52
第 3 章	基于 FPGA 的 DSP 开发技术	54
3.1	基于 Matlab/DSP Builder 的 DSP 模块设计	54
3.1.1	设计原理	54
3.1.2	建立 Matlab 设计模型	55
3.1.3	Matlab 模型仿真	60
3.1.4	SignalCompiler 的使用方法	62
3.1.5	使用 Modelsim 进行 RTL 级仿真	67
3.1.6	使用 Quartus II 实现时序仿真	69
3.1.7	硬件实现与测试	69
3.2	DSP Builder 的层次设计	71
3.3	DSP Builder 设计实例	72
3.3.1	基于 DSP Builder 的 16 阶 FIR 滤波器设计	72
3.3.2	基于 DSP Builder 的数字调制系统设计	75
	思考题与习题	80
第 4 章	Nios II 嵌入式系统开发	81
4.1	Nios II 的硬件开发	81
4.1.1	新建 SOPC 设计项目	82

4.1.2	加入 Nios II 系统的组件	83
4.1.3	调整 SDRAM 地址	91
4.2	生成 Nios II 硬件系统	92
4.2.1	编辑 Nios II 顶层文件	93
4.2.2	引脚锁定	100
4.3	Nios II 系统的调试	111
4.3.1	新建软件工程	112
4.3.2	编译工程	114
4.3.3	调试工程	115
4.3.4	运行工程	115
4.4	Nios II 系统的修改与更新	116
4.4.1	Nios II 系统的修改	116
4.4.2	修改顶层设计文件	117
4.4.3	修改引脚锁定文件	118
4.4.4	重新编译 SOPC_DE2 系统	119
4.5	用户自定义 Nios II 系统的外部设备	119
4.5.1	自定义的 Avalon 总线器件的设计	119
4.5.2	加入 avalon_pwm 器件	123
4.6	HAL 系统库	124
4.6.1	HAL 的构成	124
4.6.2	HAL 支持的外围设备	125
4.6.3	使用 HAL 开发程序	125
4.6.4	Nios II 的库函数	128
	思考题与习题	135
第 5 章	Nios II 的常用组件与编程	136
5.1	通用输入输出端口 PIO	136
5.1.1	红色发光二极管 LEDR	136
5.1.2	绿色发光二极管 LEDG	138
5.1.3	七段数码管	139
5.1.4	电平开关 SW	139
5.1.5	按钮 BUTTON	140
5.2	定时器	143
5.3	液晶显示器 LCD	144
5.3.1	LCD 的编程的底层开发方式	144
5.3.2	调用标准函数对 LCD 编程的方式	146
5.3.3	使用标准函数控制 I/O 设备的方式	147
5.4	异步串口 UART	147
5.5	存储器	148
5.5.1	片上存储器	148

5.5.2	片外 RAM 存储器	148
5.5.3	快闪存储器 Flash	150
5.6	声音组件	152
5.6.1	音乐程序的烧录	153
5.6.2	声音文件的编制与运行	154
5.7	VGA 监视器组件	161
5.7.1	VGA 监视器原理	161
5.7.2	VGA 监视器组件的开发	162
5.8	网络控制组件	164
5.9	鼠标 (MOUSE) 设备	173
	思考题与习题	179
第 6 章	SOPC 的应用	180
6.1	PIO 控制程序	180
6.2	俄罗斯方块控制程序	186
6.2.1	设计原理	186
6.2.2	应用程序	186
6.3	万年历的设计	190
6.3.1	设计要求	190
6.3.2	应用程序	190
	思考题与习题	198
附录 A	ALTERA DE2 开发板使用方法	199
附录 B	EDA6000 实验开发系统	218
附录 C	Nios II 系统的 SDK 调试方式	243
	参考文献	259

第 1 章 SOPC 技术概述

知识要点

- SOPC 技术的基本概念。
- SOPC 设计流程。
- 支持 SOPC 的可编程逻辑器件及特点。
- 支持 SOPC 的 EDA 工具及特点。

教学安排

本章教学安排 2 学时。

1.1 基本概念

随着微电子技术和计算机技术的发展,可编程逻辑器件、EDA 技术、嵌入式系统、SOC、SOPC、IP 核等概念和新技术层出不穷,新技术的应用迅速渗透到电子、通信、信息、机械制造、仪器仪表、航空航天、汽车电子、家用电器等领域,有力地推动了社会生产力的发展和社会信息化程度的提高。

1.1.1 SOC

微电子技术(即大规模集成电路加工技术)的发展是现代电子技术发展的基础。目前,微电子工艺已经达到 65nm 数量级,正向 45nm 迈进。在硅片单位面积上集成的晶体管数量越来越多,1978 年推出的 8086 微处理器芯片集成的晶体管数是 4 万只,2000 年推出的 Pentium 4 微处理器芯片的集成度为 4200 万只,而 2005 年生产可编程逻辑芯片的集成度达 5 亿只晶体管。原来需要成千上万只电子元器件组成的电子设备电路,现在仅用几片或单片超大规模集成电路就可以实现,为 SOC 技术的发展奠定了基础。

SOC(System On a Chip)称为片上系统,它是指将一个完整产品的功能集成在一个芯片上或芯片组上。SOC 中可以包括微处理器 CPU、数字信号处理器 DSP、存储器(ROM、RAM、Flash 等)、总线和总线控制器、外围设备接口等,还可以包括数模混合电路(放大器、比较器、A/D 和 D/A 转换器、锁相环等),甚至传感器、微机电和微光电单元。

1.1.2 SOPC

SOC 是专用集成电路系统,其设计周期长,设计成本高,SOC 的设计技术难以被中小企业、研究所和大院校采用。为了让 SOC 技术得以推广,Altera 公司于 21 世纪初推出 SOPC 技术。SOPC(System On a Programmable Chip)称为可编程片上系统,它是基于可编程逻辑器件(FPGA 或 CPLD)可重构的 SOC。SOPC 集成了硬核或软核 CPU、DSP、锁相环(PLL)、存储器、I/O 接口及可编程逻辑,可以灵活高效地解决 SOC 方案,而且设计周期短,设计成

本低，一般只需要一台配有 SOPC 开发软件的 PC 和一台 SOPC 实验开发系统（或开发板），就可以进行 SOPC 的设计与开发。目前，SOPC 技术已成为备受众多中小企业、研究所和大专院校青睐的设计技术。

1.1.3 IP 核

基于 SOPC 的设计在很大程度上依赖于集成电路 IP。IP（Intellectual Property）是知识产权的简称。集成电路 IP 是指经过预先设计、预先验证、符合产业界普遍认同的设计规范和设计标准，并具有相对独立并可以重复利用的电路模块或子系统，如 CPU、运算器、存储器、放大器等。集成电路 IP 模块具有知识含量高、占用芯片面积小、运行速度快、功耗低、工艺容差性大等特点，可重复用于 SOC、SOPC 或复杂 ASIC 设计中。

在支持 SOPC 设计的 EDA（Electronic Design Automation）工具软件中都包含 IP 资源库，在工具软件的支持下，通过一些简单的操作，就可以将需要的 IP 模块加入到设计模型中形成系统，最后用 PLD 中的可编程逻辑资源来构成设计的硬件系统。这种设计方式具有极高的效率，而且可以大大降低设计成本。

1.1.4 嵌入式系统

嵌入式系统是指嵌入到对象体系中的专用计算机系统，包括硬件和软件两大部分。硬件包括处理器、存储器、输入输出接口和外部设备等，软件包括系统软件和应用软件。

基于 SOPC 的嵌入式系统结构如图 1-1 所示，主要包括嵌入式微处理器（CPU 核）、定时器（Timer）、嵌入式锁相环（PLL）、嵌入式数字信号处理器（DSP）及其他 IP 模块等部分。

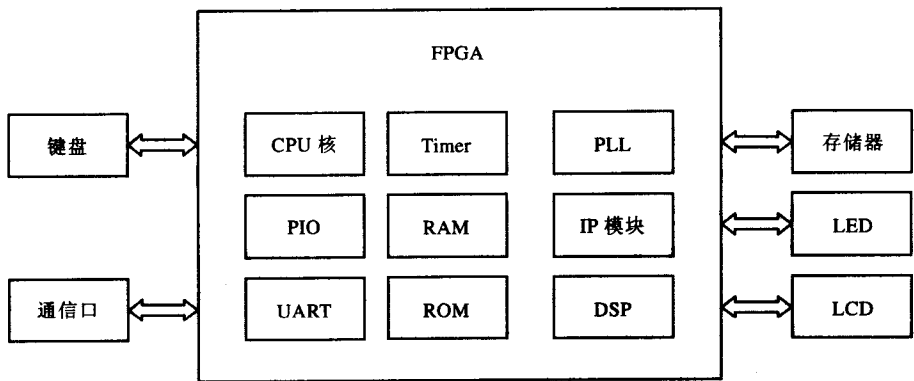


图 1-1 基于 SOPC 的嵌入式系统结构

1. 嵌入式微处理器（CPU 核）

嵌入式微处理器是嵌入式系统的核心，有硬核和软核之分。常用的嵌入式微处理器硬核有 ARM、MIPS、PowerPC、Intel x86、Motorola 68000 等；Nios 是 Altera 公司开发的第一代嵌入式微处理器软核，其数据位宽有 16 位和 32 位两种。Nios II 是 Altera 公司开发的第二代嵌入式微处理器软核，它是一种采用流水线技术、单指令流的 RISC（Reduced Instruction Set Computing）32 位嵌入式微处理器，大部分指令可以在一个时钟周期内完成。在使用方面，嵌入式微处理器软核比硬核更灵活方便。

在一片基于 SOPC 技术的 FPGA 芯片上，可以嵌入一个或多个微处理器核。每个嵌入的

微处理器核都可以配置输入/输出接口 (PIO)、通信接口 (UART)、定时器 (Timer)、片内随机存储器 (RAM)、片内只读存储器 (ROM)，以及实现片、内外通信的总线及总线控制器等。

PIO 接口用于实现与片外的键盘、发光二极管 LED、七段数码管 LED、液晶显示器 LCD 等输入/输出设备的连接。UART 接口用于实现与外部设备的信息传送，包括串行通信和网络通信，并支持各种通信协议。片内 ROM 用于保存系统信息和系统引导程序。片内 RAM 可以用来存放小型的应用程序和数据。总线及总线控制器用于实现与片外存储器 (RAM、ROM 或 Flash) 的地址线、数据线和控制线的连接与控制。

2. 嵌入式锁相环 (PLL)

在基于 SOPC 技术的 FPGA 芯片中，含多个嵌入式锁相环 (PLL)，它可以提供先进的时钟管理功能，例如频率合成、可编程相移、片外时钟输出、可编程占空比、锁定检测、可编程带宽、输入时钟扩频和支持高速差分信号的输入和输出。

3. 嵌入式数字信号处理器 (DSP)

基于 SOPC 技术的 FPGA 芯片中包含上百个 9×9 位或 18×18 位的嵌入式乘法器，可以实现通用数字信号处理 (DSP) 功能。嵌入式乘法器同时支持有符号数和无符号数的乘法，提供可选的输入和输出寄存器，还可以与片内 RAM 块进行无缝连接，实现高效的 DSP 算法，如 FIR 滤波器和视频处理。

4. 嵌入式 IP 模块

在 SOPC 中，除了可以嵌入微处理器、锁相环、数字信号处理器等电路外，还可以嵌入 IP 模块，例如常用的数字电路、放大器、比较器、A/D 和 D/A 转换器等。在支持 SOPC 设计的 EDA 工具软件的 IP 资源库中，有些 IP 模块是可以免费使用的，有些 IP 模块是需要付费后才能使用的，还有些 IP 模块是用户自己加入的。

1.2 SOPC 设计流程

SOPC 是一种功能强大的可编程逻辑器件，SOPC 设计流程与可编程逻辑器件的设计流程基本相同。SOPC 设计的大部分工作是在 EDA 软件工作平台上进行的，设计流程如图 1-2 所示，主要包括设计准备、设计输入、设计编译、设计仿真、器件编程和硬件测试这几个基本过程。

1.2.1 设计准备

设计准备是指设计者在进行设计之前，依据任务要求，确定系统所要完成的功能及复杂程度，器件资源的利用、成本等所要做的准备工作，如进行方案论证、系统设计和器件选择等。

1.2.2 设计输入

设计输入是指将设计的系统或电路按照 EDA 开发软件要求的某种形式表示出来，并输入计算机的过程。设计输入方式包括图形输入、文本输入、存储器输入、波形输入等，也可以采用文本、图形两者混合的设计输入方式，还可以采用自顶向下 (Top-Down) 的层

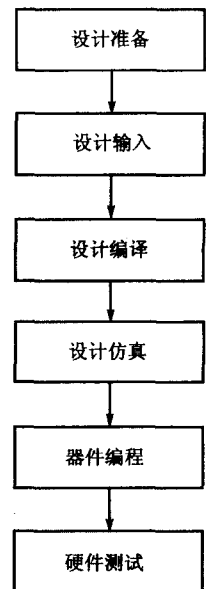


图 1-2 SOPC 设计流程

次结构设计方法，将多个输入文件合并成一个设计文件等。

1. 图形输入

图形输入也称为原理图输入，这是一种最直接的设计输入方式，它使用软件系统提供的各种库元件、IP 核和输入输出符号，通过鼠标连线画出设计电路的原理图，形成图形输入文件。这种方式大多用在对系统及各部分电路很熟悉的情况下，或在系统对时间特性要求较高的场合下。图形输入的优点是容易实现仿真，便于对信号进行观察和对电路进行调整。

2. 文本输入

文本输入是指采用硬件描述语言（AHDL、VHDL、Verilog HDL 等）进行电路设计的方式。VHDL 和 Verilog HDL 属于 IEEE 标准硬件描述语言，是最常用的高层硬件描述语言。它们具有很强的逻辑描述和仿真功能，可实现与工艺无关的编程与设计，使设计者在系统设计、逻辑验证阶段就能明确方案的可行性，而且输入效率高，在不同的设计输入库之间转换也非常方便。运用 VHDL、Verilog HDL 硬件描述语言进行电路设计是现代电路设计技术发展的趋势。

3. 存储器输入

SOPC 系统允许嵌入一定容量的只读存储器 ROM。在嵌入 ROM 前，需要输入一个存储器初值数据文件，在嵌入 ROM 时，该文件中的存储数据能自动装入 ROM 中。采用存储器输入方式可以完成 ROM 中的数据安装。

4. 波形输入

波形输入主要用于建立和编辑波形文件，建立输入仿真向量和功能测试向量。波形输入适合用于时序逻辑和有重复性的逻辑函数，系统软件可以根据用户定义的输入/输出波形自动生成逻辑关系。

波形输入的编辑功能还允许设计者对波形进行复制、剪切、粘贴、重复与伸展，从而可以用内部节点、触发器和状态机建立设计文件，并将波形进行组合，显示各种进制的状态值。还可以将一组波形重叠到另一组波形上，对两组仿真结果进行比较。

1.2.3 设计编译

设计编译是 SOPC 设计中的核心环节。Altera 公司的 Quartus II 软件的设计编译包括分析与综合、适配、编程和时序分析过程。分析与综合（Analysis & Synthesis）是在设计输入完成之后，必须对设计文件进行编译。适配是编译的第 2 个环节，只有当分析与综合完成之后才能进行。编程（Assembler）是在成功完成适配之后，才能进行的环节。时序分析（Timing Analyzer）是在成功完成适配和编程后进行的环节。以上 4 个过程将在第 2 章的 2.3.2 节详细介绍。

1.2.4 设计仿真

仿真是对设计进行校验的过程。仿真可以分为功能仿真和时序仿真两种类型。功能仿真是在设计输入完成之后选择具体器件，并在引脚锁定之前进行的逻辑功能验证，因此又称为前仿真。功能仿真没有延时信息或者只有由系统添加的微小标准延时，这对于初步的功能检测非常方便。仿真前，要先利用波形编辑器或硬件描述语言等建立波形文件或测试向量（即将所选择的输入信号组合成序列），仿真后，将会生成报告文件和输出信号波形来表示仿真结果，从中便可以观察到各个节点的信号变化。若发现错误，则返回设计输入中修改逻辑设计。

时序仿真是在选择了具体器件并完成布局、布线之后进行的时序关系仿真，因此又称为后仿真或延时仿真。由于不同器件的内部延时不一样，不同的布局、布线方案也给延时造成了不同的影响，因此在设计处理以后，对系统和各模块进行时序仿真，分析其时序关系，估计设计的性能及检查和消除竞争冒险等是非常必要的。

一些 EDA 软件只具有前仿真功能，如 Model Technology 公司的 ModelSim；一些软件兼有前、后两种仿真功能，如 Altera 公司的 MAX+plus II 和 Quartus II。用 Quartus II 工具软件进行设计时，对于任何设计电路都要建立设计项目并选定目标芯片，因此 Quartus II 的仿真实际上是在目标芯片选定后进行的时序仿真。

1.2.5 器件编程

器件编程是指将设计处理中产生的编程数据文件通过软件放到具体的可编程逻辑器件中去。对 CPLD 器件来说是将 JED 文件下载到 CPLD 器件中去，对 FPGA 来说是将位流数据文件配置到 FPGA 中去。

1.2.6 硬件测试

SOPC 设计的硬件测试一般是在 SOPC 实验开发系统或开发板上进行的。SOPC 实验开发系统或开发板的核心部件是一片基于 SOPC 技术的可编程逻辑器件 FPGA 或 CPLD，再附加一些输入输出设备，如按钮、数码显示器、指示灯、喇叭、外部存储器等，还提供时序电路需要的脉冲源。将设计电路编程下载到 FPGA 或 CPLD 中后，根据 SOPC 实验开发系统或开发板上的操作模式要求，进行相应的输入操作，然后检查输出结果，验证设计电路是否可行。

1.3 支持 SOPC 的可编程逻辑器件

可编程逻辑器件 PLD (Programmable Logic Device) 是一种半定制集成电路，在其内部集成了大量的门和触发器等基本逻辑元件 LE (Logic Elements)，用户只要通过编程来改变 PLD 内部电路的逻辑关系或连线，就可以得到所需设计电路。可编程逻辑器件的出现，改变了传统的数字系统设计方法，其设计方法为采用 EDA 技术开创了广阔的发展空间，并极大提高了电路设计的效率。

由于受集成电路技术和工艺的影响，并不是任何 PLD 芯片都支持 SOPC 技术，早期 PLD 产品的集成度不高，包含的逻辑元件 LE 数量不多，难以构成一个单片系统 (SOC)。随着超大规模集成电路技术与工艺的发展，PLD 的集成度越来越高，包含的 LE 数量越来越多，为 SOPC 技术打下了基础。目前，针对 Altera 公司的产品而言，支持 SOPC 技术的 PLD 新器件包括 CPLD (Complex Programmable Logic Device) 类型的 MAX 和 MAX II 器件，FPGA 类型的 Cyclone、Cyclone II、Stratix、Stratix II 和 Stratix GX 器件。

1.3.1 MAX 和 MAX II 器件

Altera 公司的 MAX 系列是上电即用、非易失性的 CPLD。第一代 MAX 类型芯片有 MAX3000A、MAX7000AE、MAX7000B 和 MAX7000S 系列产品型号，它们是低成本的可编程逻辑器件，用于较低复杂度的低密度设计。

MAX II 是新一代 PLD 器件，2004 年底推出，采用 FPGA 结构，配置芯片集成在内部，和普通 PLD 一样上电即可工作。MAX II 采用新的查找表 (LUT) 体系，采用 TSMC 的 0.18μm

嵌入 Flash 工艺，使其裸片尺寸仅为同样工艺器件的 1/4。与其上一代 MAX 产品相比，容量大大增加，成本降低了一半，功耗只有上一代的 1/10，且具有最低的 CPLD 成本和功耗、最高的密度和性能。

MAX II 内部集成一片 8Kbit 串行 EEPROM，采用 2.5V 或者 3.3V 内核电压。MAX II G 系列采用 1.8V 内核电压。MAX II 系列产品的家族成员及特性见表 1-1。

表 1-1 MAX II 系列产品的家族成员及特性表

特 性	EPM240/G	EPM570/G	EPM1270/G	EPM2210/G
逻辑单元 (LE)	240	570	1,270	2,210
等效宏单元 (Macrocell)	192	440	980	1,700
最大用户 IO	80	160	212	272
内置 Flash 大小 (bit)	8K	8K	8K	8K
管脚到管脚延时 (ns)	3.6~4.5	3.6~5.5	3.6~6.0	3.6~6.5

1.3.2 Cyclone 和 Cyclone II 器件

Cyclone 是 Altera 公司的第一代现场可编程门阵列 (FPGA) 系列器件。Cyclone 基于 1.5V、0.13μm 及全铜 SRAM 工艺，其密度增加到 20260 个逻辑元件，具有中等容量的片内存储器，RAM 容量达到 288Kbit。Cyclone 支持 Nios 嵌入式微处理器，支持从低等到中等速度的 I/O 和存储器接口，有广泛的 IP 核支持。

Cyclone II 是 Altera 公司的第二代 FPGA 系列器件。Cyclone II 密度增加到 68416 个 LE 和 1.1Mbit 的嵌入式存储器。Cyclone II 器件可以实现 Nios II 嵌入式处理器系统，Nios II 系统的处理器和外围设备占用 600~2000 个逻辑元件。开发人员通过向 Nios II 处理器指令集中增加定制指令，可以加快软件算法的运行。定制指令可以在一个时钟周期内处理完复杂的任务，为系统优化提供了一种高性价比的解决方案。

Cyclone II 器件最多可提供 150 个 18×18 位的乘法器，为在 FPGA 上实现低成本的数字信号处理 (DSP) 系统提供了一个理想的平台，为 DSP 设计工程师提供了灵活的硬件解决方案，能够实现设计中所需要的多个乘法器。

Cyclone II 器件通过内嵌的专用接口电路实现与双数据速率 (DDR) SDRAM 和 FCRAM 及单数据速率 (SDR) SDRAM 器件进行快速可靠的数据交换，最高速率可达 668Mb/s。

Cyclone II 器件最多内置 4 个增强型锁相环，可提供高性能的时钟管理功能，如频率合成、可编程相移、片外时钟输出、可编程占空比、失锁检测及高速差分时钟信号的输入和输出等。

Cyclone 和 Cyclone II 系列产品的家族成员及特性分别见表 1-2 和表 1-3。

表 1-2 Cyclone 系列产品的家族成员及特性表

型号 (1.5V)	逻辑单元	锁相环	M4K RAM 块
EP1C3	2,910	1	13
EP1C4	4,000	2	17
EP1C6	5,980	2	20
EP1C12	12,060	2	52
EP1C20	20,060	2	64

注：每块 RAM 为 4Kbit，可以另加 1 位奇偶校验位。

表 1-3 Cyclone II 系列产品的家族成员及特性表

特 性	EP2C5	EP2C8	EP2C20	EP2C35	EP2C50	EP2C70
逻辑单元 (LE)	4,608	8,256	18,752	33,216	50,528	68,416
M4K RAM 块	26	36	52	105	129	250
RAM 总量	119,808	165,888	239,616	483,840	594,432	1,152,000
嵌入式 18×18 乘法器	13	18	26	35	86	150
锁相环 (PLL)	2	2	4	4	4	4
最大可用 I/O 管脚	142	182	315	475	450	622

1.3.3 Stratix 和 Stratix II 器件

Stratix 器件是 Altera 公司的大规模高端 FPGA, 于 2002 年推出, 具有 0.13 μ m 的工艺, 1.5V 内核供电。它的集成硬件乘法器、芯片内部结构在结构和性能上都比 Altera 公司以前的产品有很大提升, 具有多达 79040 个逻辑元件、7Mbit 嵌入式存储器、优化的数字信号处理块和高性能 I/O。Stratix 器件是设计复杂的高性能系统的理想选择。

Stratix II 器件于 2005 年推出, 采用了创新性的逻辑结构, 和上一代 Stratix 相比, 运行速度提高 50%, 逻辑容量增加了一倍, 具有多达 180Kbit 等效逻辑元件和 9Mbit 的 RAM, 而成本还比上一代更低。Stratix 和 Stratix II 系列产品的家族成员及特性如表 1-4 和表 1-5 所列。

表 1-4 Stratix 系列产品的家族成员及特性表

1.5V	逻辑单元 (LE)	512bit RAM 块	4Kbit RAM 块	512Kbit MegaRAM 块	DSP 块	备 注
EP1S10	10,570	94	60	1	6	每个 DSP 块可实现 4 个 9×9 乘法/累加器 RAM 块可以另加奇偶校验位
EP1S20	18,460	194	82	2	10	
EP1S25	25,660	224	138	2	10	
EP1S30	32,470	295	171	4	12	
EP1S40	41,250	384	183	4	14	
EP1S60	57,120	574	292	6	18	
EP1S80	79,040	767	364	9	22	
EP1S120	114,140	1118	520	12	28	

表 1-5 Stratix II 系列产品的家族成员及特性表

功 能	EP2S15	EP2S30	EP2S60	EP2S90	EP2S130	EP2S180
自适应逻辑模块 (ALM)	6,240	13,552	24,176	36,384	53,016	71,760
等效逻辑单元 (LE)	15,600	33,880	60,440	90,960	132,540	179,400
M512 RAM 块 (512 bit)	104	202	329	488	699	930
M4K RAM 块 (4 Kbit)	78	144	255	408	609	768
M-RAM 块 (512 Kbit)	0	1	2	4	6	9
总共 RAM bit	419,328	1,369,728	2,544,192	4,520,448	6,747,840	9,383,040

(续表)

功 能	EP2S15	EP2S30	EP2S60	EP2S90	EP2S130	EP2S180
DSP 块 (每个 DSP 包含 4 个 18×18 乘法器)	12	16	36	48	63	96
锁相环 (PLL)	6	6	12	12	12	12
最大可用 I/O 管脚	358	542	702	886	1,110	1,158

1.3.4 HardCopy 器件

Altera 公司的 HardCopy 系列器件由一组通用的基本层构成,顶层的金属层为设计而保留,可以缩短设计周期。HardCopy 器件能够提供风险最低的结构化 ASIC,这是因为可以先在 FPGA 中进行开发和验证,然后将设计移植于 HardCopy 器件中。采用 HardCopy 结构化 ASIC,可以降低成本,实现高级 ASIC 技术的性能,以及 FPGA 设计流程的灵活性。

HardCopy 有 HardCopy II、HardCopy Stratix 和 HardCopy APEX 三代系列器件,与等价的 FPGA 采用同一工艺技术和工艺电压。因为将设计移植于 HardCopy 器件之前,FPGA 已经过严格的测试,所以移植过程没有风险,能够最大限度的保证一次成功,使产品能及时面市。HardCopy 器件的系列型号与特性见表 1-6。

表 1-6 HardCopy 器件的系列型号与特性表

器件系列	HardCopy 工艺技术	定制层数量	电压 (与 FPGA 相同)	FPGA 工艺技术
HardCopy II	90 nm	2	1.2	90 nm
HardCopy Stratix	0.13 μm	2	1.5	0.13 μm
HardCopy APEX 20KC	0.18 μm (Al)	3	1.8	0.15 μm (全层铜)
HardCopy APEX 20KE	0.18 μm (Al)	3	1.8	0.18 μm (Al)

1.4 支持 SOPC 技术的 EDA 工具

EDA 软件是 SOPC 设计的工具,Altera 公司的 SOPC 开发工具将软件 and 硬件的设计结合起来,为用户提供了一个很好的开发环境。下面以 Altera 公司的 EDA 软件为主,介绍支持 SOPC 技术的 EDA 工具。

1.4.1 Quartus II

MAX+plus II 曾是应用广泛、备受欢迎的 PLD 设计软件,它对 PLD 器件的推广和应用、电路设计、EDA 教学与实践,做出了非常重要的贡献。近年来,为适应微电子技术及其应用的飞速发展,尤其是 SOC 技术的发展,Altera 公司推出了新的 PLD 设计软件 Quartus II。

Quartus II 是功能强大的可编程逻辑器件设计环境,目前为 5.0 以上版本。Quartus II 支持 Altera 公司各种类型的可编程逻辑器件和最新器件,如 ACEX[®] 1K、APEX[™] 20K、APEX 20KC、APEX 20KE、APEX II、Excalibur[™]、Cyclone[™]、Cyclone II、FLEX[®] 6000、FLEX 10K[®]、FLEX 10KA、FLEX 10KE、HardCopy[®] II、HardCopy Stratix[®]、MAX[®] II、MAX 3000A、MAX 7000AE、MAX 7000B、MAX 7000S、Mercury[™]、Stratix、Stratix II 和 Stratix GX 等。