

高等院校通用教材



# DSP原理 及开发应用

支长义 程志平 陈书立 刘晓兰 编著

 北京航空航天大学出版社

132

15

高等院校通用教材

# DSP 原理及开发应用

支长义 程志平 陈书立 刘晓兰 编著

北京航空航天大学出版社

## 内 容 简 介

本书全面系统地介绍了TI公司TMS32054x系列定点DSP的原理及开发应用。首先,介绍目前广泛应用的定点和浮点DSP的特点、DSP在不同应用领域的选型、定点DSP的硬件结构、汇编指令、寻址方式、中断、片上外设、外部总线操作及处理器之间通信;然后,介绍DSP软/硬件设计方法、系统启动、模拟I/O、信号处理、资源管理、数字滤波器、算术和逻辑运算、引导加载及应用代码实例。

本书的目的是使读者掌握定点DSP的基本原理和应用,熟悉DSP系统的软/硬件设计和应用系统开发方法,具备独立从事DSP应用开发的能力。

本书内容全面,实例丰富,实用性强,可作为通信、电子、自动化等专业的研究生和高年级本科生教材以及DSP应用人员的培训教材,对于从事DSP芯片开发应用的科技、工程和教学人员也有重要的参考价值。

### 图书在版编目(CIP)数据

DSP原理及开发应用/支长义等编著. —北京:北京航空航天大学出版社,2006.8

ISBN 7-81077-768-8

I. D… II. 支… III. 数字信号 信息处理  
IV. TN911.72

中国版本图书馆CIP数据核字(2006)第105746号

© 2006,北京航空航天大学出版社,版权所有。

未经本书出版者书面许可,任何单位和个人不得以任何形式或手段复制或传播本书内容。

侵权必究。

### DSP原理及开发应用

支长义 程志平 陈书立 刘晓兰 编著

责任编辑 冯颖

北京航空航天大学出版社出版发行

北京市海淀区学院路37号(100083) 发行部电话:010-82317024 传真:010-82328026

<http://www.buaapress.com.cn> E-mail: [bhpress@263.net](mailto:bhpress@263.net)

北京市松源印刷有限公司印装 各地书店经销

\*

开本:787×1092 1/16 印张:28.5 字数:730千字

2006年8月第1版 2006年8月第1次印刷 印数:5 000册

ISBN 7-81077-768-8 定价:36.00元

# 前 言

---

数字信号处理器(DSP)自 20 世纪 70 年代末问世以来,以其独特的结构和快速实现各种数字信号处理算法的突出优点,发展十分迅速,并在通信、雷达、声纳、语音合成与识别、图像处理、影视、高速控制、仪器仪表、医疗设备、家用电器等众多领域得到了广泛应用。随着 DSP 芯片性价比的不断提高以及开发环境的日趋完备,可以预计,DSP 芯片将渗透到更多领域,其应用也将更加广泛。

本书共分 9 章。

第 1 章,概述。总结了数字信号处理的实现方法、应用特点、系统设计过程及 DSP 芯片的选择,同时说明了 TMS320C54x DSP 及其主要特点。

第 2 章,结构原理。总结了 TMS320C54x 结构,给出了 CPU、总线结构、内部存储器结构、片上外设和扫描逻辑的一般信息。

第 3 章,存储器。描述了 TMS320C54x 存储器结构和操作,包括存储器映射和程序存储器、数据存储器和 I/O 空间的说明,并介绍了 CPU 存储器映射的寄存器。

第 4 章,中央处理单元。描述了 TMS320C54xCPU 操作,包括算术逻辑单元、累加器、移位器、乘法器/加法器单元、指数译码器以及比较、选择和保存单元的信息。

第 5 章,数据寻址和程序存储器寻址。描述 7 种 TMS320C54x 基本寻址方式,同时说明了 TMS320C54x 程序控制机构,包括地址产生、程序计数器、硬件栈、复位、中断和低功耗方式等。

第 6 章,片上外设。描述了 TMS320C54x 外设和如何控制外设,包括通用 I/O 引脚、定时器、时钟和主机接口及直接存储器访问(DMA)控制器、通道和寄存器。

第 7 章,串口。描述了 TMS320C54x 串口,包括标准串口、缓冲串口、多通道缓冲串口和时分复用串口的信息。

第 8 章,助记符和代数指令集。列出并定义了 in 指令集总结及单个指令说明中使用的符号和缩写;给出了单个指令的实例说明,并在最后对单个 C54x 汇编语言指令进行了说明。

第 9 章,应用指南。介绍了使用片上 ROM、外部 16 位存储器(EPROM)或从一个 8 位 EPROM 中引导加载的典型选项,描述了启动条件和初始化,以及数据进出 DSP 的最普通方式;讨论了串口的初始化和使用中断服务程序(ISR)获得和发送数据的过程,使用固定和自适应系数的数字滤波器和实数快速傅氏变换,片外存储器及如何处理大于 64K 字存储器的要求。对于定点和浮点实例,简述了单精度和扩展精度操作。另外,讨论了位操作和压缩/非压

缩数据的方法,用电报密码查找法实现语音译码和长途通信的 Viterbi 解码,从主机、EPROM 或其他存储器器件中引导加载的过程,各种引导加载方法及何时使用,通信用程及 C54xEVM 和主机间传递使用的寄存器,并给出了 C54xEVM 板实时信号处理开发的启动初始化代码实例。

本书由支长义、程志平、陈书立、刘晓兰编著。其中,第 1~5 章由陈书立编写,第 6 章由刘晓兰编写,第 7~8 章由支长义编写,第 9 章由程志平编写。全书由支长义统稿。在编写过程中,王杰教授对本书的定稿提出了建设性意见,在此表示感谢。

感谢卢宜、支红霞、赵祖伟、贾建华、朱晓东、孟淑香、徐磊等同事以及赵彩霞、李沙、朱彬良、陈勇、王明杰、周富强同学为本书的尽快成稿所做的辛勤努力;同时,支芳晴、谢秋凤、李娟等人承担了本书的全部录入工作。在此,一并表示感谢。

由于作者水平有限,书中错误之处在所难免,恳请广大读者批评指正。

编 者

2006 年 8 月

# 目 录

<b>第 1 章 概 述</b>	
1.1 引 言	1
1.2 DSP 应用系统的特点	1
1.3 DSP 应用系统的设计过程	2
1.4 DSP 芯片的分类	2
1.5 DSP 芯片的选择	2
1.6 TMS320C54x 概述	4
1.7 TMS320C54x 主要特点	4
<b>第 2 章 结构概述</b>	
2.1 总线结构	7
2.2 内部存储器结构	9
2.3 中央处理单元	10
2.4 数据寻址	11
2.5 程序存储器寻址	11
2.6 流水线操作	12
2.7 片上外设	12
2.8 串 口	13
2.9 外部总线接口	13
2.10 IEEE 标准 1149.1 扫描逻辑	14
<b>第 3 章 存储器</b>	
3.1 存储器空间	15
3.2 程序存储器	16
3.2.1 程序存储器的可配置性	17
3.2.2 片上 ROM 结构	20
3.2.3 程序存储器地址映射和片上 ROM 内容	20
3.2.4 片上 ROM 代码内容和映射	20
3.2.5 扩展程序存储器	20
3.3 数据存储器	22
3.3.1 数据存储器可配置能力	22
3.3.2 片上 RAM 结构	22
3.3.3 存储器映射的寄存器	22

3.3.4 CPU 存储器映射的寄存器 .....	23
3.4 I/O 存储器 .....	24
3.5 程序和数据安全性 .....	25
<b>第 4 章 中央处理单元</b>	
4.1 CPU 状态和控制寄存器 .....	27
4.1.1 状态寄存器 .....	27
4.1.2 处理器方式状态寄存器 .....	28
4.2 算术逻辑单元 .....	30
4.3 累加器 A 和 B .....	31
4.4 桶形移位器 .....	33
4.5 乘法器/加法器单元 .....	34
4.5.1 乘法器输入源 .....	35
4.5.2 乘累加指令 .....	36
4.5.3 MAC 和 MAS 乘指令的取饱和 .....	36
4.6 比较、选择和保存单元 .....	36
4.7 指数译码器 .....	38
<b>第 5 章 数据寻址和程序存储器寻址</b>	
5.1 立即寻址 .....	40
5.2 绝对寻址 .....	41
5.3 累加器寻址 .....	41
5.4 直接寻址 .....	41
5.5 间接寻址 .....	42
5.6 存储器映射寄存器寻址 .....	50
5.7 栈寻址 .....	51
5.8 数据类型 .....	51
5.9 程序存储器地址产生 .....	52
5.10 程序计数器 .....	53
5.11 分支 .....	53
5.12 调用 .....	55
5.13 返回 .....	56
5.14 条件操作 .....	58
5.15 单指令重复 .....	59
5.16 块重复指令 .....	61
5.17 复位操作 .....	61
5.18 中断 .....	62
5.18.1 中断标志寄存器 .....	62
5.18.2 中断屏蔽寄存器 .....	63
5.18.3 接收中断请求 .....	64
5.18.4 应答中断 .....	65

5.18.5	执行中断服务程序 .....	65
5.18.6	保存和恢复中断现场 .....	66
5.18.7	中断延迟 .....	66
5.18.8	中断操作小结 .....	66
5.18.9	重映射中断向量地址 .....	67
5.18.10	中断表 .....	68
5.19	低功耗方式 .....	69
<b>第 6 章 片上外设</b>		
6.1	片上外设及外设存储器映射的寄存器 .....	74
6.2	通用 I/O .....	79
6.3	定时器 .....	79
6.3.1	定时器寄存器 .....	80
6.3.2	定时器操作 .....	81
6.4	时钟发生器 .....	82
6.4.1	硬件可配置 PLL .....	82
6.4.2	软件可编程 PLL .....	83
6.5	标准主机接口 .....	87
6.5.1	基本主机接口功能说明 .....	88
6.5.2	主机接口操作详细说明 .....	90
6.5.3	主机对 HPI 的读/写访问 .....	94
6.5.4	DSPINT 和 HINT 功能操作 .....	96
6.5.5	改变 HPI 存储器访问方式和用 IDLE2/3 的注意事项 .....	97
6.5.6	复位期间 HPI 存储器的访问 .....	98
6.6	增强 8 位主机接口 .....	99
6.6.1	HPI-8 的介绍 .....	99
6.6.2	HPI-8 基本功能说明 .....	100
6.6.3	HPI-8 操作详细说明 .....	100
6.6.4	主机读/写访问 HPI-8 .....	103
6.6.5	DSPINT 和 HINT 操作 .....	107
6.6.6	在改变时钟模式期间 HPI 8 传递的考虑 .....	107
6.6.7	使用 IDLE 的考虑 .....	108
6.6.8	复位对 HPI-8 操作的影响 .....	109
6.6.9	HPI-8 数据引脚作为通用 I/O 引脚 .....	110
6.7	增强 16 位主机接口 .....	113
6.7.1	HPI-16 操作概述 .....	113
6.7.2	复用模式 .....	115
6.7.3	非复用方式 .....	119
6.7.4	HPI-16 存储器映射 .....	120
6.7.5	HPI-16 和 DMA 交互作用 .....	121



6.7.6	复位期间的 HPI-16 操作 .....	122
6.7.7	IDLE <sub>n</sub> 期间的 HPI-16 操作 .....	122
6.7.8	DSP 时钟方式的改变对 HPI-16 的影响 .....	122
6.8	直接存储器访问控制器 .....	123
6.8.1	DMA 概述 .....	123
6.8.2	DMA 操作和配置 .....	124
6.8.3	扩展寻址 .....	137
6.8.4	DMA 存储器映射 .....	137
6.8.5	DMA 传递延迟 .....	139
6.8.6	通过 DMA 控制器访问增强主机接口 .....	141
6.8.7	有关 C5420 的多处理器 FIFO 通信 .....	141
6.8.8	低功耗模式下的 DMA 操作 .....	141
6.8.9	编程实例 .....	142
<b>第 7 章 串 口</b>		
7.1	串口介绍 .....	148
7.2	标准串口 .....	148
7.2.1	串口寄存器 .....	149
7.2.2	串口操作 .....	150
7.2.3	配置串口 .....	151
7.2.4	突发方式的发送和接收操作 .....	154
7.2.5	连续方式的发送和接收操作 .....	157
7.2.6	串口例外情况 .....	159
7.2.7	串口接口操作实例 .....	161
7.3	缓冲串口 .....	162
7.3.1	标准方式下的 BSP 操作 .....	163
7.3.2	自动缓冲单元操作 .....	166
7.3.3	BSP 操作的系统考虑 .....	169
7.3.4	缓冲区未对准中断 .....	171
7.3.5	低功耗方式下的 BSP 操作 .....	172
7.4	时分多用串口 .....	172
7.4.1	基本时分多用操作 .....	172
7.4.2	TDM 串口寄存器 .....	173
7.4.3	TDM 串口操作 .....	173
7.4.4	TDM 方式的发送和接收操作 .....	176
7.4.5	TDM 串口接口例外情况 .....	177
7.4.6	TDM 串口接口操作实例 .....	177
7.5	多通道缓冲串口 .....	179
7.5.1	McBSP 特点 .....	180
7.5.2	McBSP 通用说明 .....	180

7.5.3	数据发送和接收流图 .....	185
7.5.4	$\mu$ -律/A-律压缩扩展硬件操作: R/XCOMPAND .....	202
7.5.5	可编程时钟和帧 .....	203
7.5.6	多通道选择操作 .....	211
7.5.7	SPI 协议: McBSP 时钟停止模式 .....	216
7.5.8	仿真 FREE 和 SOFT 位 .....	221
7.5.9	作为通用 I/O 用的 McBSP 引脚 .....	221
7.5.10	低功耗模式下的 McBSP 操作 .....	222
<b>第 8 章 助记符和代数指令集</b>		
8.1	符号和缩写 .....	226
8.2	指令集总结 .....	227
8.2.1	算术操作 .....	227
8.2.2	逻辑操作 .....	231
8.2.3	程序控制操作 .....	232
8.2.4	加载和保存操作 .....	234
8.2.5	重复单个指令 .....	237
8.3	汇编语言指令 .....	239
<b>第 9 章 应用指南</b>		
9.1	系统启动 .....	308
9.1.1	片上 ROM/外部 16 位 EPROM .....	308
9.1.2	处理器初始化 .....	308
9.2	模拟 I/O .....	310
9.2.1	同步串口器件 .....	310
9.2.2	TLC320AC01 模拟接口电路 .....	312
9.2.3	软件栈 .....	321
9.2.4	现场转换 .....	321
9.2.5	中断处理 .....	323
9.2.6	中断优先级 .....	325
9.2.7	循环寻址 .....	325
9.2.8	缓冲串口 .....	327
9.3	信号处理 .....	336
9.3.1	有限冲击响应(FIR)滤波器 .....	336
9.3.2	无限冲击响应(IIR)滤波器 .....	340
9.3.3	自适应滤波 .....	342
9.3.4	快速傅氏变换 FFT .....	345
9.4	资源管理 .....	349
9.4.1	存储器定位 .....	349
9.4.2	重叠管理 .....	351
9.4.3	存储器到存储器的移动 .....	352

9.4.4 电源管理 .....	353
9.5 算术和逻辑操作 .....	353
9.5.1 除和模算法 .....	353
9.5.2 正弦和余弦 .....	357
9.5.3 平方根 .....	361
9.5.4 扩展精度算术运算 .....	363
9.5.5 浮点算术运算 .....	366
9.5.6 逻辑操作 .....	380
9.6 引导加载 .....	382
9.6.1 引导方式选择 .....	382
9.6.2 主机接口 HPI 加载顺序 .....	383
9.6.3 16 位/8 位并行引导 .....	383
9.6.4 I/O 引导 .....	385
9.6.5 标准串行引导 .....	386
9.6.6 热引导 .....	387
9.7 主机和目标间的通信 .....	396
9.7.1 通信通道 .....	396
9.7.2 握手和数据传递 .....	398
9.8 应用代码实例 .....	402
9.8.1 运行应用程序 .....	403
9.8.2 应用代码 .....	403
参考文献 .....	446

# 第 1 章

## 概 述

### 1.1 引 言

数字信号处理(Digital Signal Processing,简称 DSP)是一门涉及多门学科而又广泛应用于多个领域的新兴学科。它利用计算机或专用处理设备,以数字形式对信号进行采集、变换、滤波、估值、增强、压缩、识别等处理,以得到符合人们要求的信号形式。

数字信号处理是围绕着其理论、实现和应用等方面发展起来的。它们之间相互作用,共同发展。

数字信号处理的实现方法大致有以下几种:

- ① 在通用计算机上用软件实现。该方法的缺点是速度较慢,一般用于 DSP 算法的模拟与仿真。
- ② 通用计算机上加上专用的加速处理机实现。该方法专用性强,故其应用受到很大限制,而且也不便于系统的独立运行。
- ③ 用通用的单片机实现。该方法只能用于一些不太复杂的数字信号处理,实现简单的 DSP 算法。
- ④ 通用的可编程 DSP 芯片实现。该方法具有更适于数字信号处理的软件和硬件资源,可用于复杂的数字信号处理算法。这种方法为数字信号处理的应用打开了新局面。
- ⑤ 用专用的 DSP 芯片实现。在一些特殊场合,要求信号处理速度极高,通过 DSP 芯片很难实现;而专用 FFT、滤波、卷积相关等算法的 DSP 芯片可将相应的算法用硬件实现,无须编程。其缺点是通用性较差。

本书主要讲述 TI 公司的通用 DSP 芯片 TMS320C54x 系列定点信号处理器(DSP)。采用了哈佛结构的 C54x 中央处理单元(CPU)具有最小功耗和高度并行的特点。除此之外,多种寻址方式和指令集改进了整个系统的性能。

### 1.2 DSP 应用系统的特点

数字信号处理系统以数字信号处理为基础,其主要特点如下:

- ① 接口方便。DSP 应用系统与其他的现代数字技术为基础的设备相互兼容,所以它们之间接口要比模拟系统容易得多。
- ② 编程方便。DSP 编程可以用汇编语言,也可以用 C 语言,在开发过程中修改或升级都比较方便。
- ③ 稳定性好。DSP 应用系统以数字处理为基础,受环境温度以及噪声的影响较小,可靠性高。

- ④ 精度高。16 位数字系统可以达到  $10^{-5}$  级精度,32 位、40 位的精度就更高了。
- ⑤ 可重复性好。模拟系统的性能受元器件参数性能变化的影响很大,而数字系统基本不受影响,因此,其便于测试、调试和大规模生产。
- ⑥ 集成方便。DSP 应用系统中的数字部件有高度的规范性,便于大规模集成。
- ⑦ DSP 系统的高速时钟可能带来高频干扰和电磁泄漏等问题。
- ⑧ DSP 系统消耗的功率也较大。
- ⑨ DSP 技术更新速度快,对数学知识要求高,开发和调试工具还有待进一步完善。

### 1.3 DSP 应用系统的设计过程

图 1-1 是 DSP 应用系统设计的一般过程。

(1) 任务。在设计 DSP 系统之前,首先必须根据任务情况确定系统的性能指标和信号处理要求;然后,采用高级语言进行性能模拟,使确定的算法满足性能指标要求。

(2) 选择 DSP 芯片。根据系统运算量的大小,对运算精度、系统成本以及体积、功耗等方面的要求选择合适的 DSP 芯片。

(3) 设计 DSP 系统。DSP 芯片选定后,设计其外围电路及其他电路。软件设计和编程主要根据系统要求和所选的 DSP 芯片来编写相应的 DSP 汇编程序或 C 程序,并用软件模拟器调试程序。

(4) 借助开发工具进行软/硬件调试。

(5) 系统集成与独立系统运行。系统软/硬件分别调试完成后,即可将软件脱离开发系统而直接在应用系统上运行。

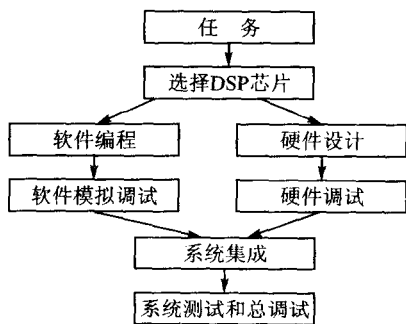


图 1-1 DSP 应用系统的设计流程

### 1.4 DSP 芯片的分类

DSP 芯片可以按照下面 3 种方式进行分类。

(1) 静态与动态 DSP。如果在某时钟频范围内的任何时钟频率上,DSP 都能正常工作,除运算速度有变化外,没有性能的下降,则这类 DSP 芯片一般称为静态 DSP 芯片;否则,称为动态 DSP 芯片。

(2) 按数据格式分类。这是根据 DSP 芯片工作的数据格式来分类的。数据以定点格式工作的 DSP 芯片称为定点 DSP 芯片;数据以浮点格式工作的 DSP 芯片称为浮点 DSP 芯片。

(3) 按用途分类。按照 DSP 的用途分类,可分为通用型 DSP 芯片和专用型 DSP 芯片。

### 1.5 DSP 芯片的选择

设计 DSP 应用系统,DSP 的选择是重要的一环。只有选择了 DSP 芯片,才能进一步设计其外围电路及系统的其他电路。总的来说,DSP 芯片的选择应根据实际应用系统的需要来

定。不同的 DSP 应用系统由于应用场合、应用目的不同,对 DSP 芯片的要求也不同。一般来说,选择 DSP 芯片时应考虑如下因素。

#### 1) 运算速度

运算速度是 DSP 芯片最重要的性能指标,也是选择 DSP 芯片时须考虑的一个主要因素。其可用以下几种性能指标来衡量。

指令周期——执行一条指令所需的时间,通常以 ns 为单位。

MAC 时间——一次乘法加上一次加法的时间。

FFT 执行时间——运行一个 N 点 FFT 程序所需的时间。

MIPS——每秒执行百万条指令。

MOP——每秒执行百万次操作。

MFLOPS——每秒执行百万次浮点操作。

BOPS——每秒执行十亿次操作。

#### 2) 价格

价格也是选择 DSP 芯片时须考虑的一个重要因素。如果采用价格昂贵的 DSP,即使性能很好,其应用范围也会受到一定的限制,尤其是民用产品。当然,由于 DSP 芯片发展迅速,其价格往往下降较快,因此,在开发阶段选用某种价格稍高的 DSP 芯片,等到系统开发完毕,其价格可能已降至原来的一半甚至更低。

#### 3) 硬件资源

不同的 DSP 芯片所提供的硬件资源不同,如片内 RAM 与 ROM 的数量、外部可扩展的程序和数据空间、总线接口以及 I/O 接口等。

#### 4) 运算精度

一般定点 DSP 芯片的字长为 16 位,浮点芯片的字长为 32 位。

#### 5) 开发工具

在 DSP 系统的开发过程中,开发工具是必不可少的。若没有开发工具的支持,想要开发一个复杂的 DSP 系统几乎是不可能的。如果有功能强大的开发工具的支持,如 C 语言支持,则开发时间可以大大缩短。

#### 6) 功耗

在某些 DSP 应用场合,如便携式的 DSP 设备,功耗也是一个须特别注意的问题。

#### 7) 其他因素

除以上因素外,选择 DSP 芯片时还应考虑到封装的形式、质量标准、供货情况、生命周期等。

在上述诸多因素中,一般来说,定点 DSP 芯片的价格较低,但运算精度也稍低;而浮点 DSP 芯片的优点是运算精度高,用 C 语言编程调试方便,开发周期短,但价格稍高,功耗较大。

DSP 应用系统的运算量是确定选用 DSP 芯片的处理能力的基础。运算量小则可以选用处理能力不是很强的 DSP 芯片,从而降低系统成本;相反,对于运算量大的系统,则必须选用处理能力强的 DSP 芯片。如果 DSP 芯片的处理能力达不到系统要求,则必须用多个 DSP 芯片并行处理。那么如何确定 DSP 系统的运算量以选择 DSP 芯片呢?下面我们来分析两种情况:

(1) 按样点处理。所谓“按样点处理”，就是 DSP 算法对每一个输入样点循环一次。数字滤波器就属于这种情况。在数字滤波器中，通常需要对每一个输入样点计算一次。例如：一个采用 LMS 算法的 256 个抽头的自适应 FIR 滤波器，假定每个抽头的计算需要 3 个 MAC 周期，则 256 个抽头计算需要  $256 \times 3 = 768$  个 MAC 周期；如果采样频率为 8 kHz，即样点之间的间隔为  $125 \mu\text{s}$ ，那么应选择 MAC 周期小于  $125 \times 10^3 \text{ ns} / 768 = 162 \text{ ns}$  的 DSP 芯片。当然，考虑到其他的运算量，DSP 的 MAC 周期还要比 162 ns 小得多。

(2) 按帧处理。有些数字信号处理算法不是对每一个输入样点循环一次，而是每隔一定的时间间隔（通常称为帧）循环一次。例如，中低速语音编码算法通常以 10 ms 或 20 ms 为一帧，每隔 10 ms 或 20 ms 语音编码算法循环一次，所以选择 DSP 芯片时，应该比较一帧内 DSP 芯片的处理能力和 DSP 算法的运算量。假设 DSP 芯片的指令周期为  $P(\text{ns})$ ，一帧的时间为  $\Delta I(\text{ns})$ ，则 DSP 芯片在一帧内所能提供的最大运算量为  $\Delta I/P$  条指令。

## 1.6 TMS320C54x 概述

C54x 具有高度的操作灵活性和速度。它把先进的改进哈佛结构（1 条程序存储器总线、3 条数据存储器总线和 4 条地址总线）、1 个专用硬件逻辑 CPU、片上存储器、片上外设和 1 个高度专业化的指令集相组合。将 C54x CPU 和优化的片上存储器与外设结构相结合的新器件可以满足电子市场专用领域的要求。

C54x 器件具有下列优点：

- ① 为了增强其性能和灵活性，增强哈佛结构具有 1 个程序存储器总线、3 个数据存储器总线和 4 个地址总线；
- ② 具有高度并行和改进性能的硬件逻辑的先进 CPU 设计；
- ③ 可以实现快速算法和优化高级语言操作的高度专业化的指令集；
- ④ 模块化结构设计可以快速开发新器件；
- ⑤ 先进 IC 处理技术可以增强性能，降低功耗；
- ⑥ 使用新的静态设计技术，功耗低，应用范围宽。

## 1.7 TMS320C54x 主要特点

C54xDSP 的主要特点如下。

**CPU：**具有 1 条程序存储器总线、3 条数据存储器总线和 4 条地址总线的先进多总线结构。40 位算术逻辑单元 (ALU)，包括 1 个 40 位桶形移位器和 2 个独立的 40 位累加器。17×17 位并行乘法器与一个 40 位专用非流水线单周期乘/累加操作的加法器相连接。具有 Viterbi 算子需要的加/比较选择保存单元 (CSSU)。指数译码器在单周期内计算 40 位累加器值的指数。2 个地址发生器包括 8 个辅助寄存器和 2 个辅助寄存器算术单元。C5420 具有双 CPU/内核结构。

**存储器：**192K×16 位可寻址存储器空间 (64K 字程序、64K 字数据和 64K 字 I/O)，在 C548、C549、C5402、C5410 和 C5420 中具有扩展程序存储器。片上存储器配置如表 1-1 所列 (以“K 字”为单位)。

表 1-1 C54x 片上存储器

器 件	程序 ROM	程序/数据 ROM	DARAM <sup>[1]</sup>	SARAM <sup>[2]</sup>
C541	20	8	5	0
C542	2	0	10	0
C543	2	0	10	0
C545	32	16	6	0
C546	32	16	6	0
C548	2	0	8	24
C549	16	16	8	24
C5402	4	4	16	0
C5410	16	0	8	56
C5420	0	0	32	168

注：[1]为双访问 RAM，[2]为单访问 RAM。

**指令集：**单指令重复和块重复操作。块存储器移动指令更有利于程序和数据管理。具有 32 位长操作数指令、2 个或 3 个操作数同时读的指令、条件保存指令、并行保存和并行加载算术指令及从中断中快速返回指令。

**片上外设：**软件可编程等待状态发生器；可编程区域转换；具有内部振荡器或外部时钟源的片上锁相环(PLL)时钟发生器；外部总线关断控制可以禁止外部数据总线、地址总线和控制信号；数据总线具有总线保持功能；可编程定时器。C54x 片上外设口如表 1-2 所列。

表 1-2 C54x 片上外设口

器 件	主机接口	同步串口	缓冲串口	多通道缓冲串口	时分复用串口
C541	0	2	0	0	0
C542	1	0	1	0	1
C543	0	0	1	0	1
C545	1	1	1	0	0
C546	0	1	1	0	0
C548	1	0	2	0	1
C549	1	0	2	0	1
C5402	1	0	0	2	0
C5410	1	0	0	3	0
C5420	1	0	0	6	0

**速度：**单周期 25/20/15/12.5/10 ns 执行时间，定点指令(40/50/66/80/100 MIPS)。C54x 的电源速度及封装如表 1-3 所列。

**电源：**对于低功耗方式，采用 IDLE1、IDLE2 和 IDLE3 指令控制功率消耗，禁止 CLK-OUT 信号。

**仿真：**IEEE 标准 1149.1 边界扫描逻辑接口。



表 1-3 C54x 的电源速度及封装

器 件	电 源	速 度	封 装
C541	5 V	25 ns	100 脚 TQFP
	3 V/3.3 V	25 ns/20 ns	100 脚 TQFP
<b>C541B</b>	<b>3 V/3.3 V</b>	15 ns	100 脚 TQFP
C542	5 V	25 ns	144 脚 TQFP
	3 V/3.3 V	25 ns/20 ns	128 脚/144 脚 TQFP
C543	3 V/3.3 V	25 ns/20 ns	100 脚 TQFP
C545	3 V/3.3 V	25 ns/20 ns	128 脚 TQFP
C545A	3 V/3.3 V	15 ns	128 脚 TQFP
C546	3 V/3.3 V	25 ns/20 ns	100 脚 TQFP
C546A	3 V/3.3 V	15 ns	100 脚 TQFP
C548	3.3 V	20 ns/15 ns	144 脚 TQFP
C549	3.3 V	15 ns/12.5 ns	144 脚 TQFP/144 脚/微星 BGA
VC549	3.3 V(2.5 V 内核)	10 ns	144 脚 TQFP/144 脚/微星 BGA
VC5402	3.3 V(1.8 V 内核)	10 ns	144 脚 TQFP/144 脚/微星 BGA
VC5410	3.3 V(2.5 V 内核)	10 ns	144 脚 TQFP/176 脚/微星 BGA
VC5420	3.3 V(1.8 V 内核)	10 ns	144 脚 TQFP/144 脚/微星 BGA