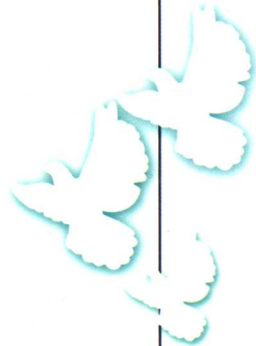


计算机组成原理 实验指导

SHIJI
GAODENG
JIAOYU
JINGPIN
DAXI



主 编
张建中
严 义



世纪高等教育精品大系

浙江科学技术出版社

计算机组成原理 实验指导

主 编 张建中 严 义

浙江科学技术出版社

世纪高等教育精品大系

图书在版编目(CIP)数据

计算机组成原理实验指导/张建中,严义主编. —杭州:
浙江科技出版社,2006.10

(世纪高等教育精品大系)

ISBN 7-5341-2935-4

I. 计... II. ①张...②严... III. 计算机体系结构—高等学校:技术学校—教学参考资料 IV. TP303

中国版本图书馆 CIP 数据核字(2006)第 121020 号

丛 书 名	世纪高等教育精品大系
书 名	计算机组成原理实验指导
主 编	张建中 严 义
邮 箱	YYBJYYJ@163.com
出版发行	浙江科学技术出版社
联系电话	(0571)85152486
照 排	杭州大漠照排印刷有限公司
印 刷	杭州大众美术印刷厂
开 本	787×1092 1/16
印 张	7.5
字 数	153 000
版 次	2006 年 10 月第 1 版
印 次	2006 年 10 月第 1 次印刷
书 号	ISBN 7-5341-2935-4
定 价	13.50 元
责任编辑	张祝娟
封面设计	孙 菁

前 言

计算机组成原理是计算机专业的基础课,其实验环节十分重要。《计算机组成原理实验指导》是浙江科学技术出版社出版的浙江省高等教育重点教材《计算机组成原理》的姊妹篇,又是“YY-Z02 计算机组成原理实验仪”的配套书,该书理论与实际相结合,解决实验环节中碰到的问题。书中安排了基础实验、设计实验、综合实验、创新实验等内容,可满足计算机及信息类专业的本、专科学生的实验需求。

本书共分三章。第一章系统讲解计算机组成原理实验仪的软、硬件系统组成。第二章内容是配合计算机组成原理课程,精心设计了8个实验。实验一是准备性实验,目的是让学生熟悉实验设备的布局、信号标记和基本操作方法;实验二至实验六是计算机基本部件实验,配合计算机组成原理的运算器、存储器、总线等基本部件的讲授,使学生在实践中逐步掌握知识和方法,培养应用能力。实验七和实验八是控制器实验,利用微程序控制器技术从实验中掌握时序、控制脉冲信号、指令周期、微指令等概念,实践按时序控制计算机各部件完成一条指令功能的基本流程和方法。本章实验特色鲜明,每个实验又分为3个层次。第三章主要介绍计算机组成原理的综合性实验,综合性实验的内容是一项锻炼学生综合掌握计算机组成原理实践能力的高层次实验;本章共设有5个实验,针对不同的技术方向,学生可根据实际课时和兴趣选做。实验方法采用交代实验任务,提供实验器材技术参数、点出实验主要实现手段,由学生自主设计实验方案,最后实施完成实验的方法;在综合实验的过程中,可参考第二章介绍的实验台结构原理。

本书是在杭州义益自动化有限公司的实验指导书的基础上编写出版的,全书由张建中、严义任主编,由严义统稿。其中第一章由杭州电子科技大学的包健编写、第二章和第三章由东华大学张建中编写。本书的编写还得到杭州义益自动化有限公司叶茂、周蔚的大力支持;杭州电子科技大学计算机学院的冯建文、章复嘉、赵辽英、吴迎来,华东政法大学的徐玉麟,华东师范大学的沈建华等老师提出了大量建设性的宝贵意见,在此一并表示感谢。

本书是应广大使用 YY-Z02 计算机组成原理实验仪的院校的要求而编写的,可以作为各类大专院校的实验教材及各类培训用书,也可以作为有兴趣的读者的自学用书。此书是教师教学、学生自学非常实用的辅助参考书。

虽然笔者是长期从事计算机组成原理实验教学第一线的教师,有丰富的实践教学经验,但也难免有疏漏之处,希望读者多提意见与建议。

编著者

2006年8月



目 录

第一章 计算机组成原理实验仪概述	1
第一节 基本功能	1
第二节 指令系统	2
第三节 系统硬件构成	9
第二章 课程实验	36
实验一 实验台基本操作	36
实验二 算术逻辑运算实验	40
实验三 进位与判零控制实验	45
实验四 移位控制实验	48
实验五 存储器读写实验	53
实验六 总线数据传输控制实验	57
实验七 脱机方式下微代码装入与执行实验	61
实验八 简单模型计算机实验	69
第三章 综合实验	79
实验一 机器指令设计实验	79
实验二 带中断模型机实验	83
实验三 外接并行口实验	92
实验四 外接定时计数器实验	97
实验五 基于 CPLD 的硬布线逻辑实验	101
参考文献	115



第一章 计算机组成原理实验仪概述

第一节 基本功能

一、系统的功能特点

计算机组成原理实验仪主要是为配合《计算机组成原理》课程的教学而研制的,具有丰富的实验项目,其主要特点是:

(1) 系统硬件设计合理、可靠,解决了同类实验仪所存在的时钟电路产生毛刺现象和控制信号的竞争冒险等问题;具有硬件自动保护功能。

(2) 系统硬件组成完备、简洁,尽量明细复杂指令系统和复杂体系结构,旨在体现计算机基本硬件系统的组成原理;微程序控制器、存储器、运算器、寄存器、中断向量、地址、指令译码、输入输出及总线各单元电路排列整齐、清晰;学生在实验中通过将各单元之间有关的信号线进行连接,理解和掌握各单元的工作原理及整个计算机系统的组成原理。

(3) 系统是 8 位指令系统,简单易学。24 位的微指令满足整机的控制信号需要,且易于编写,学生可根据对硬件组成原理的理解自行设计指令和微指令系统。

(4) 系统提供了强有力的 Windows 软件支持,通过采集实验仪各单元的控制信号和数据,使上位机(PC 机)可以实时监测组成原理实验仪的工作过程和状态,并反映在各个界面上。学生可通过操作界面来观察实验仪的指令运行过程、数据流向、信号状态和时序波形等,并可在界面上设置、修改、下装指令码和微指令码,可对实验仪的工作进行单步、连续、快慢及指定地址执行等控制。丰富的软件功能大大提高了学生学习计算机组成原理的兴趣。

(5) 实验仪在设计组成原理实验项目时采取循序渐进的方法引导学生逐渐熟悉、掌握实验仪的组成原理及功能。首先,安排脱机方式实验,用手动开关给出控制信号来控制运算器、寄存器、存储器、输入/输出各单元的运行,通过观察数据灯、地址灯、状态灯来了解运行情况,使学生了解各单元的工作原理。然后,安排联机方式,从少数指令类型设置到全部指令类型设置,使学生逐渐掌握整机部件的工作原理。

(6) 实验仪具有中断响应、中断允许、中断禁止和中断向量的读入等中断处理控制功能。

(7) 实验仪具有接线错误诊断功能。

(8) 实验仪还可选择配置 CPLD 芯片,通过学生应用 EDA 设计环境对硬件电路单元进行设计编程,下载到 CPLD 芯片,通过连接线来取代实验仪上的某个单元电路,这样可以锻炼学生对计算机组成原理硬件的设计能力。

(9) 系统配备了 CAI 虚拟实验仪的教学软件,它仿真现实实验仪的操作过程和实验结果状态。将仿真界面投影在屏幕上,可使教师在课堂上指导学生如何做实验,这即使学生





能充分了解实验仪的原理和组成,又给教师的讲解带来很大的方便。

(10) 该系统提供了最齐全的技术资料,包括全部图纸、器件说明、可编程器件的逻辑编程序、编排合理的实验指导书等。

二、技术指标

(1) 机器字长 8 位,即运算器、存储器、寄存器和数据总线均为 8 位。地址总线也是 8 位。

(2) 指令系统,指令字长 8 位,其中基本操作码 4 位,即当寄存器地址为两个时,这些指令操作码为 4 位,源寄存器地址为 2 位,目标寄存器地址为 2 位。而当寄存器地址为单个时,可实现指令操作码的扩展,这些指令操作码为 6 位,寄存器地址 2 位。指令条数可达 28 条。指令寻址方式有直接寻址、间接寻址、变址寻址、相对寻址。指令类型有传送指令、算术逻辑运算指令、条件转移和无条件转移指令、输入/输出指令、调用子程序指令、返回指令、停机指令。还可以根据硬件组成自己设计各种指令。

(3) 采用 6116RAM 芯片作为指令主存,使用低 8 位地址寻址,256 个字节单元可存放用户程序和数据。可在 RAM 中设置堆栈区,由堆栈指针 SP 指向。

(4) 由两片 74LS181 芯片串连形成 8 位算术和逻辑运算器,再由 74LS299 组成移位运算器,并由 GAL 芯片组成进位控制和判零电路。由 4 片 74LS374 组成 4 个 8 位的通用寄存器,其中 R3 可作为堆栈指针 SP,R2 可作为变址寄存器 SI。

(5) 控制器采用微程序控制,由 3 片 2816EEPROM 组成 128×24 位的控存。控存中的微指令可根据指令的功能及微指令的格式自行设计。

(6) 指令可由实验仪上手动 8 位数据开关及相应的操纵台微指令将指令输入主存。微指令可在实验仪上由手动 7 位微地址和 24 位微指令开关及相应的编程控制信号,来将微指令手动输入控存。指令和微指令均可在 PC 机上 Windows 界面输入及修改,并下装到实验仪上。

(7) 实验仪上的时钟产生电路产生 300 Hz 左右的时钟信号及 T1、T2、T3、T4 时钟周期,以提供整个实验仪电路的时序所需。在执行指令和微指令期间,上位机界面可实时显示整机所有的控制信号时序状态。

(8) 实验仪上提供指令地址灯(8 位)、控制信号开关及灯 18 个、数据总线灯(8 位)、微地址灯(7 位)、微指令灯(24 位)。

(9) 具有中断响应、中断允许、中断禁止和中断向量的读入等中断处理控制功能,在当前指令结束时,若中断信号有效,则转中断子程序执行,中断子程序入口地址由中断向量单元提供。

(10) 具有到总线的控制信号线错接的报警功能。

第二节 指令系统

由于本实验仪的开放型结构,它的指令系统也相对具有可重设计性,因此,在控制器实验中,每个模型机的指令系统设计都是不同的。

一、指令格式框架

下面的指令格式,是实验仪所能实现的指令系统的格式框架;按照下面提供的框架,并





参照全机的功能结构,可自行设计指令系统并实现它。

1. 格式 1: 一般指令格式

$I_7 I_6 I_5 I_4$	$I_3 I_2$	$I_1 I_0$
OP	SR	DR
DATA		

OP——指令操作码,4 位,用于对 12 条机器指令进行编码,是识别指令的标志,可通过 J1 方式实现散转。

SR——源寄存器号,2 位,用于对 4 个通用寄存器 R0、R1、R2、R3 的选择,其内容送总线,只作源操作数。

DR——目的寄存器号,2 位,用于对 4 个通用寄存器 R0、R1、R2、R3 的选择,其内容可送总线,也可以从总线上接收数据,通常作为目的操作数。

DATA——指令的第二个字节,可有可无,其含义可由用户自定义,可以是立即数,可以是直接或间接地址,也可以是其他寻址方式用到的地址信息,如相对偏移量、形式地址等。

2. 格式 2: 带寻址方式码的指令格式

$I_7 I_6$	$I_5 I_4$	$I_3 I_2$	$I_1 I_0$
OP ₁	MOD	OP ₂	DR
ADDR/DISP/X			

OP₁——第一指令操作码,2 位,是带寻址方式码的指令(4 条)的特征位,与 MOD 一起,可通过 J1 方式实现散转。

MOD——寻址方式码,2 位,用于对 4 种寻址方式的编码,至于 4 种寻址方式的定义,可以自行设计,通常为直接、间接、变址、相对寻址。

OP₂——第二指令操作码,2 位,是 4 条带寻址方式码的指令本身的编码,可通过 J2 方式实现散转。

DR——目的寄存器号,2 位,用于对 4 个通用寄存器 R₀、R₁、R₂、R₃ 的选择,其内容可送总线,也可以从总线上接收数据,通常作为目的操作数。

ADDR/DISP/X——指令的第二个字节,为寻址方式中所用到的直接/间接地址 ADDR,或者是相对寻址的偏移量 DISP,或者是变址寻址的形式地址 X。

3. 格式 3: 三字节指令

$I_7 I_6$	$I_5 I_4$	$I_3 I_2$	$I_1 I_0$
OP ₁	MOD	OP ₂	XX
ADDR1/DISP/X			
ADDR2/DISP/X			

该指令格式为双存储器地址的指令,既指令的两个操作数均在存储器内。其余同格





式 2。

4. 格式 4: 操作码扩展指令格式

$I_7 I_6$	$I_5 I_4 I_3 I_2$	$I_1 I_0$
1 1	OP	SR/DR
ADDR/DISP/X		

OP——指令操作码,4 位,是单寄存器地址指令(16 条)的操作码,可通过 $I_7 I_6$ 为 11 的方式实现散转。

SR/RD——源或目的寄存器号,2 位,用于对 4 个通用寄存器 R_0 、 R_1 、 R_2 、 R_3 的选择,其内容可送总线,也可以从总线上接收数据。

ADDR/DISP/X——指令的第二个字节,为寻址方式中所用到的直接/间接地址 ADDR,或者是相对寻址的偏移量 DISP,或者是变址寻址的形式地址 X。

二、寻址方式

本实验仪的指令系统,可实现寄存器、寄存器间接、直接、相对、变址、立即数等 7 种基本的寻址方式。对于其中相对复杂的寻址方式(直接、间接、相对、变址),可以由指令中的 MOD 字段来定义,其他相对简单的寻址方式可以直接由指令操作码指定。但是注意,任何一种寻址方式,均可以直接由指令操作码隐含指定。

另外,用户也可以根据需求,自行设计一些特殊的寻址方式,例如相对 SR 的偏移量寻址方法,即 $EA = (SR) + ADDR$ 。

对于上一节中的指令格式 2,即带寻址方式 MOD 的指令格式,假设定义:

- (1) MOD=00: 直接寻址,则有效地址 $EA = ADDR$,操作数 = $[ADDR]$ 。
- (2) MOD=01: 间接寻址,则有效地址 $EA = [ADDR]$,操作数 = $[[ADDR]]$ 。
- (3) MOD=10: 变址寻址,则有效地址 $EA = (SI) + X$,操作数 = $[(SI) + X]$;其中 SI 隐含为 R_2 。
- (4) MOD=11: 相对寻址,则有效地址 $EA = (PC) + DISP$,操作数 = $[(PC) + DISP]$ 。

三、指令系统设计

(一) 指令设计原则

(1) 指令的格式必须按照上面所规定的格式设计,即操作码 OP、源寄存器号 SR、目的寄存器号 DR 必须按格式规定固定长度和位置,若按照格式 2 设计指令,则操作码 OP 分为两段。

(2) 寻址方式的设计,可以根据需求,或由 MOD 字段定义,或由操作码隐含指定。

(3) 指令类型及功能的设计,只需满足程序设计的要求和需求即可。

(4) 指令操作码的分配设计,要注意规范性、完整性。

(二) 指令系统设计举例一

共 16 条指令,各条指令的格式、功能、寻址方式如下:





1. 五条双寄存器算术逻辑运算类指令

(1) 格式:

$I_7 I_6 I_5 I_4$	$I_3 I_2$	$I_1 I_0$
OP	SR	DR

(2) 操作码及功能: 见表 1-1。

2. 三条单寄存器指令

(1) 格式:

$I_7 I_6$	$I_5 I_4 I_3 I_2$	$I_1 I_0$
1 1	OP	DR

(2) 操作码及功能: 见表 1-1。

3. 四条存储器访问类指令

(1) 格式:

$I_7 I_6$	$I_5 I_4$	$I_3 I_2$	$I_1 I_0$
1 0	MOD	OP ₂	DR
ADDR/DISP/X			

(2) 寻址方式定义:

MOD=00: 直接寻址, 则有效地址 $EA=ADDR$ 。

MOD=01: 间接寻址, 则有效地址 $EA=[ADDR]$ 。

MOD=10: 变址寻址, 则有效地址 $EA=(SI)+X$; 其中 SI 隐含为 R_2 。

MOD=11: 相对寻址, 则有效地址 $EA=(PC)+DISP$ 。

(3) 操作码及功能: 见表 1-2。

注意: 助记符中没有操作数, 是因为寻址方式有 4 种, 例如 LDA 指令可写成:

LDA DR, [ADDR]; 直接寻址。

LDA DR, [[ADDR]]; 间接寻址。

LDA DR, [(SI)+X]; 变址寻址, SI 为变址寄存器, 并默认为 R_2 。

LDA DR, [(PC)+DISP]; 相对寻址。

另外, JZC 指令的转移条件是 $FC+FZ=1$, 其中, $FC=1$ 表明有进位或者有借位; 而 $FC=0$ 表明无进位或者无借位; $FZ=1$ 表明结果为零; $FZ=0$ 表明结果不为零。

表 1-1 算术逻辑运算类指令操作码及功能

助 记 符	操 作 码 OP	功 能
MOV DR, SR	0000	$(SR) \rightarrow DR$
ADD DR, SR	0001	$(SR) + (DR) \rightarrow DR$
SUB DR, SR	0010	$(DR) - (SR) \rightarrow DR$
AND DR, SR	0011	$(SR) \wedge (DR) \rightarrow DR$
RRC DR, SR	0100	(SR) 进行带进位循环右移 $\rightarrow DR$



(续 表)

助记符	操作码 OP	功 能
INC DR	110100	$(DR) + 1 \rightarrow DR$
DEC DR	111000	$(DR) - 1 \rightarrow DR$
CLR DR	111100	$0 \rightarrow DR$

表 1-2 存储器访问类指令操作码及功能

助记符	操作码 OP ₂	功 能
LDA	00	$[EA] \rightarrow DR$
STA	01	$(DR) \rightarrow EA$
JMP	10	$EA \rightarrow PC$
JZC	11	若 $FC + FZ = 1$, 则 $EA \rightarrow PC$; 否则, 结束指令

4. 两条 I/O 指令

1) IN DR, [PORTAR]

(1) 格式:

$I_7 I_6$	$I_5 I_4 I_3 I_2$	$I_1 I_0$
11	0000	DR
PORTAR		

(2) 功能: $(IN) \rightarrow DR$; 从输入口数据开关 (OUTPUT/INPUT UNIT-INPUT PORT) 上读入数据至 DR 寄存器, PORTAR 为口地址 (实验一般用其中的一位 A_i 线选该单元)。

2) OUT DR, [PORTAR]

(1) 格式:

$I_7 I_6$	$I_5 I_4 I_3 I_2$	$I_1 I_0$
11	0001	DR
PORTAR		

(2) 功能: $(DR) \rightarrow LED$; 将 DR 寄存器的内容送至输出口并在发光管 (OUTPUT/INPUT UNIT-OUTPUT PORT) 上显示, PORTAR 为输出口地址 (实验一般用其中的一位 A_i 线选该单元)。

5. 两条过程控制类指令

1) CALL ADDR

(1) 格式:

$I_7 I_6$	$I_5 I_4 I_3 I_2$	$I_1 I_0$
11	0010	$\times \times$
ADDR		





(2) 功能: 调用子程序, 子程序首地址 ADDR 在指令的第二个字节。它实现的具体操作是: 先实现 $(SP) - 1 \rightarrow SP$, 再将 $(SP) \rightarrow AR$, 然后再实现 PC 中的内容送入地址为 AR 的存储单元中。

2) RET

(1) 格式:

$I_7 I_6$	$I_5 I_4 I_3 I_2$	$I_1 I_0$
11	0011	××

(2) 功能: 子程序返回。它实现的具体操作是: 将存储器堆栈内容(由 SP 指向)读出, 送 PC, 同时 $(SP) + 1 \rightarrow SP$ 。

(三) 指令系统设计举例二

共 10 条指令, 各条指令的格式、功能、寻址方式如下:

1. MOV DR, SR

(1) 格式:

$I_7 I_6 I_5 I_4$	$I_3 I_2$	$I_1 I_0$
0000	SR	DR

(2) 功能: $(SR) \rightarrow DR$

2. MOV₁[DR], SR

(1) 格式:

$I_7 I_6 I_5 I_4$	$I_3 I_2$	$I_1 I_0$
0001	SR	DR

(2) 功能: $(SR) \rightarrow [(DR)]$; 寄存器间接寻址, 将 SR 的内容送 DR 所指向的存储器单元。

3. MOV₂ DR, [ADDR]

(1) 格式:

$I_7 I_6 I_5 I_4$	$I_3 I_2$	$I_1 I_0$
0010	××	DR
ADDR		

(2) 功能: $[ADDR] \rightarrow DR$; 直接寻址, 将存储器单元地址 ADDR 的内容送 DR 寄存器。

4. MOV₃ DR, #DATA

(1) 格式:

$I_7 I_6 I_5 I_4$	$I_3 I_2$	$I_1 I_0$
0011	××	DR
DATA		

(2) 功能: $DATA \rightarrow DR$; 立即数寻址, 立即数 DATA 送 DR 寄存器。

5. ADD DR, SR

(1) 格式:

$I_7 I_6 I_5 I_4$	$I_3 I_2$	$I_1 I_0$
0100	SR	DR





(2) 功能: $(SR) + (DR) \rightarrow DR$

6. SUB DR, SR

(1) 格式:

$I_7 I_6 I_5 I_4$	$I_3 I_2$	$I_1 I_0$
0101	SR	DR

(2) 功能: $(SR) - (DR) \rightarrow DR$

7. IN DR, [PORTAR]

(1) 格式:

$I_7 I_6$	$I_5 I_4 I_3 I_2$	$I_1 I_0$
11	0000	DR
PORTAR		

(2) 功能: $(IN) \rightarrow DR$; 从输入设备数据开关 (OUTPUT/INPUT 单元的 INPUT PORT) 上读入数据至 DR 寄存器, PORTAR 为输入设备的地址。

8. OUT [PORTAR], [ADDR]

(1) 格式:

$I_7 I_6$	$I_5 I_4 I_3 I_2$	$I_1 I_0$
11	0001	$\times \times$
ADDR		
PORTAR		

(2) 功能: $[ADDR] \rightarrow LED$; 将存储器单元 ADDR 的内容送至输出设备数码管 (OUTPUT/INPUT 单元的 OUTPUT PORT) 上显示, PORTAR 为输出设备的地址。

9. JMP DISP

(1) 格式:

$I_7 I_6 I_5 I_4$	$I_3 I_2 I_1 I_0$
1001	$\times \times \times \times$
DISP	

(2) 功能: $(PC) + DISP \rightarrow PC$; 转至距离当前指令 DISP 个单元处继续执行。

10. HLT

(1) 格式:

$I_7 I_6 I_5 I_4$	$I_3 I_2 I_1 I_0$
1111	$\times \times \times \times$

(2) 功能: 动态停机, 即反复执行本指令, 或反复执行该指令中的微指令。前者通过操作 $(PC) - 1 \rightarrow PC$ 来实现, 后者通过设置一条空操作的微指令的下址字段为自身来实现。

四、程序设计

对于开放型结构的实验仪, 指令系统的设计灵活性很大, 没有相应固定的汇编语言。





所有的程序设计,均应按照已设计好的指令系统,手工编写机器码,这样可以让学生更真切、更感性认识到计算机的工作过程和原理。

表 1-3 的这段程序是按照“指令系统”编写的,功能是将存储单元 20H 开始的 10 个数据累加,并将和送至存储单元 2AH 中。阅读时,请注意观察并学习机器码的编写方法。

表 1-3 程序机器码

地 址	机 器 码	助 记 符	备 注
00H	11110000B	CLR R_0	R_0 当作累加器
01H	10000010B	LDA R_2 , [2BH]	R_2 当作计数器/变址寄存器,其初值 0AH 存放在单元 2BH 中
02H	00101011B	直接地址 2BH	
03H	10100001B	L_1 : LDA R_1 , [SI+1FH]	取出需要累加的数据;采用变址寻址方式;第 1 次地址 = 1FH + 0AH = 29H
04H	00011111B	形式地址 1FH	
05H	00010100B	ADD R_0 , R_1	加
06H	11100010B	DEC R_2	计数器递减,并影响标志 FZ、FC
07H	10111100B	JZC L_2	FC+FZ=1(有借位或者为零)循环, FC+FZ=0(无借位不为 0)退出循环
08H	00000011B	L_2 的相对位移量 04H	
09H	10000100B	STA [2AH], R_0	存储累加和,采用直接寻址方式
0AH	00101010B	直接地址 2AH	
0BH	10001000B	JMP L_1	无条件转移,采用直接寻址方式
0CH	00000011B	直接地址 03H	
0DH	00000000B	L_2 : JMP [00H]	转移至 00H 单元
.....			
20H		N1	数据 1
21H		N2	数据 2
.....			
29H		N10	数据 10
2AH		$N1 + N2 + \dots + N10$	累加和
2BH	00001010B	计数值 0AH	

第三节 系统硬件构成

一、总框图及总线等介绍

实验仪硬件的基本组成如图 1-1 所示。



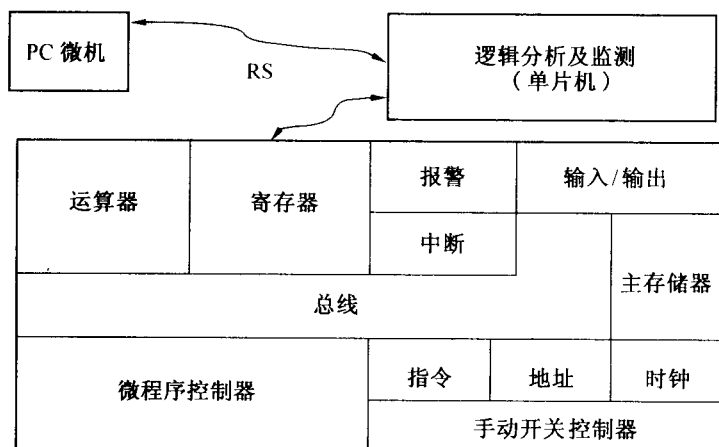


图 1-1 实验仪基本组成框图

图 1-1 粗方框是计算机组成原理实验仪,做在一块大印刷电路板上,它包括计算机主机的 3 个重要组成部件:运算器、控制器(包括指令译码)、主存储器。此外,单片机监测单元放在电路板背面,负责和 PC 机进行通讯,采集信号使上位机能实时反映实验仪状态。实验仪上的手动开关单元、输入/输出显示单元能支持手动方式的实验。

如图 1-2 所示为实验仪的简化逻辑框图。从图中可看出,时钟单元产生整机所需的 T1、T2、T3、T4 时钟信号。实验仪各单元的数据传递均通过总线。指令的执行过程是:用手动单元的 CLR 开关将 PC 程序计数器、控存地址寄存器和微指令寄存器清零,使程序从 00 地址单元读取指令,微指令从控存 00 微地址开始执行。微程序控制器在 01 微地址的微指令执行时的 T2 时刻发出控制信号, T3 时刻将 PC 程序计数器的内容打入 AR 地址寄存器, T4 时刻 PC 程序计数器的内容自动加 1;在 02 微地址的微指令执行时的 T3 时刻将存储器单元内容(指令)取出送到 IR 指令寄存器;在 03 微地址的微指令执行的 T2 时刻将 IR 指令寄存器的内容由指令译码器转换成控存地址寄存器的输出置 1 信号,使之形成下一条微指令地址(即该指令的微程序入口地址),然后从控存中取出指令的第一条微指令送到微指令寄存, μ IR 发出控制信号,并由该微指令的下址字段 MA6—MA0 经控存地址寄存器再到控存取下一条微指令,每一条微指令的控制信号控制各单元(如运算器单元、输入单元、输出单元、寄存器单元等)完成相应的操作,直到一条指令的所有微指令执行完,即完成一条指令的功能,此时,先判测有无中断,若中断信号有效,则将下一条指令的 PC 压入堆栈,并从中断向量单元中取出中断子程序入口地址,再回到 01 微地址执行取指令的微指令,即转入中断子程序执行。若中断信号无效,则回到 01 微地址执行取指令的微指令,继续执行指令。

二、运算器部件

(一) 运算器及进位和零标志控制电路

实验仪的运算单元(ALU UNIT)由两片 74LS181 芯片组成 8 位算术逻辑运算器,一片 74LS299 组成移位器。其运算器电路原理如图 1-3 所示。参加运算的数据分别从总线经



图 1-2 实验仪简化逻辑框图



过 DA1 和 DA2 暂存器输入运算器, 运算器再将运算后的数据输出到总线。移位器是将总线上的数据经移位器移位后再输出到总线。

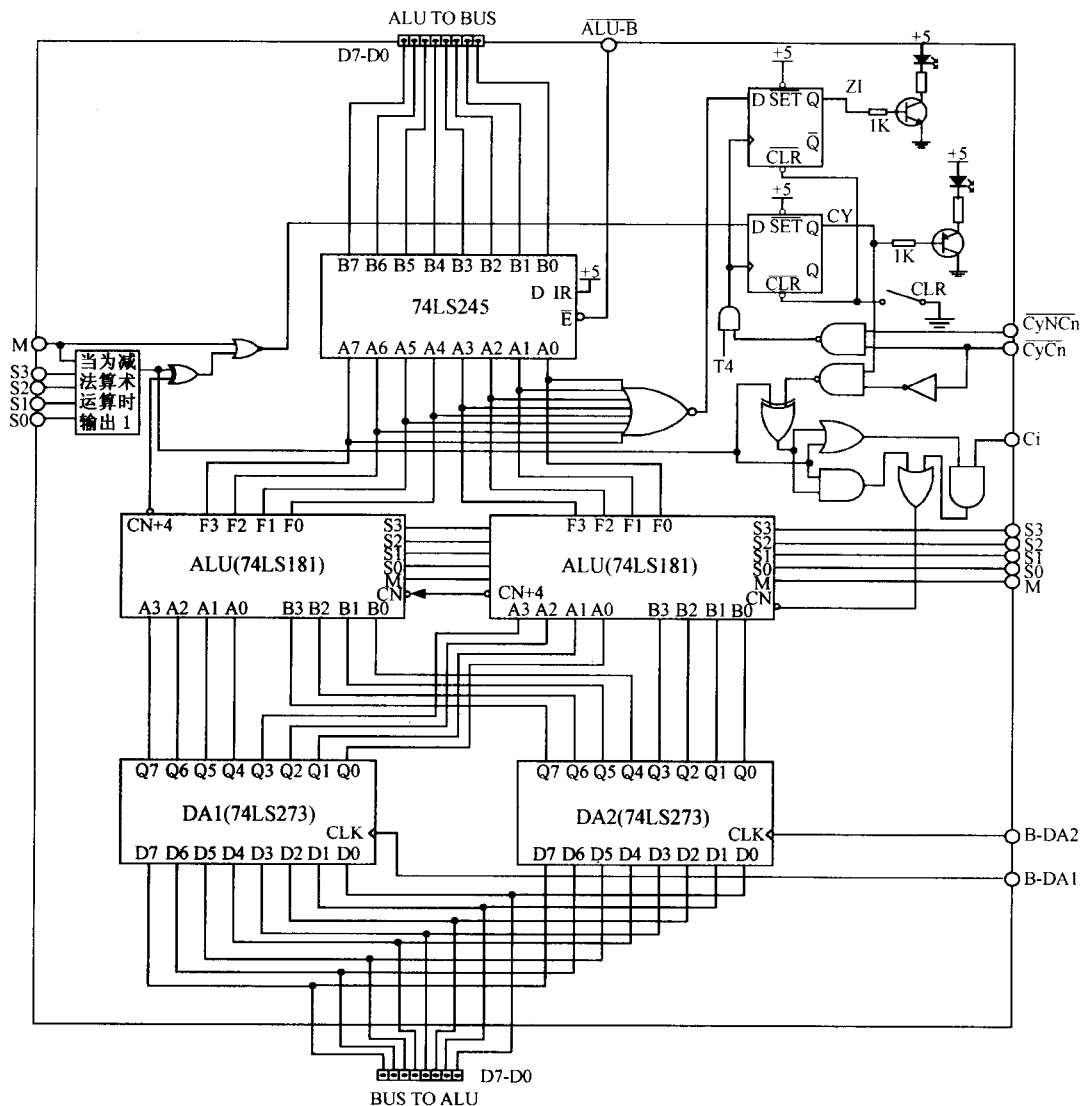


图 1-3 运算器及进位和零标志控制电路

数据暂存器 DA1 和 DA2 是由 74LS273 组成的, 由 B-DA1 和 B-DA2 作为其打入脉冲。B-DA1 和 B-DA2 是由微指令寄存器发出的控制信号, 实验时通过接线将 MAIN CONTROL UNIT 单元的 B-DA1 和 B-DA2 端连接到 ALU UNIT 单元的 B-DA1 和 B-DA2 端。

74LS181 运算器由 S3、S2、S1、S0、M、CN 控制来进行各种逻辑运算和算术运算。CyCn# 和 CyNCn# 信号控制最高进位位 CN+4 和零标志位 Zi 是否锁存为 Cy(FC) 和 Zi(FZ), 并在发光二极管上显示, 若 CyCn#=0, 或者 CyNCn#=0, 则 CN+4 和零标志 Zi 在 T4 时刻锁存入 D 触发器; M=1, 为逻辑运算, FC 标志总是清零。若 CyCn#=1 且 CyNCn#=1,