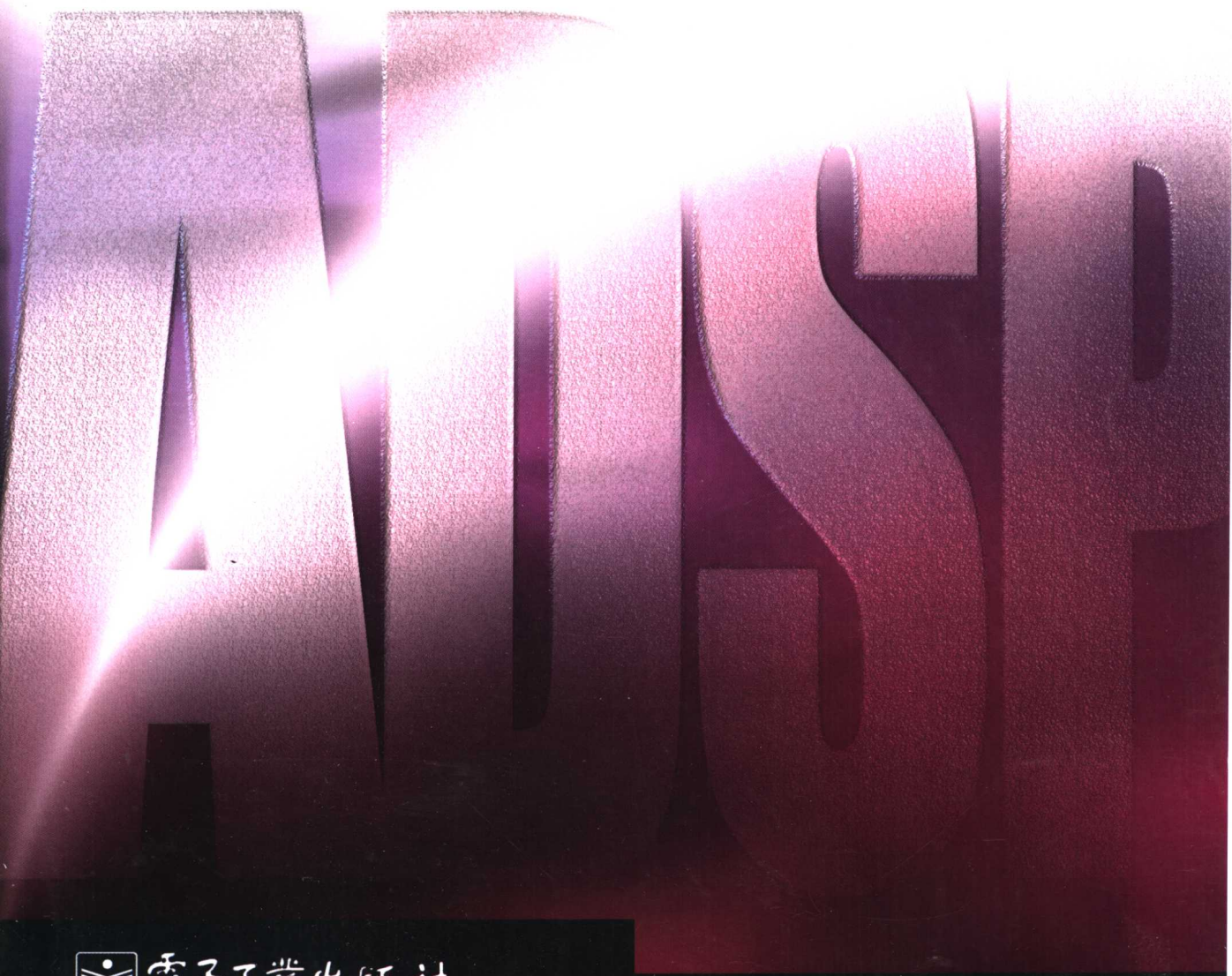


DSP应用丛书

ADSP TS20XS系列 DSP原理与应用设计

刘书明 罗勇江 编著



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

DSP 应用丛书

ADSP TS20XS 系列 DSP 原理与应用设计

刘书明 罗勇江 编著

電子工業出版社
Publishing House of Electronics Industry
北京 · BEIJING

内 容 简 介

本书主要介绍美国模拟器件公司 (ADI) 最新高档 DSP 系列——ADSP TS20XS 的硬件组成原理, 指令系统及软件设计, 应用系统设计技术等方面的内容。主要包括处理器内核结构、存储器组织结构以及 I/O 资源; ADSP TS20XS 指令系统组成、系统程序优化设计以及多 DSP 系统的软件设计; 应用系统设计中包括功耗及散热设计、电源设计、高速时钟系统设计、多 DSP 系统设计和 ADSP TS20XS 设计实例等内容。

本书面向广大电子工程设计人员, 大专院校通信工程、电子工程、计算机应用、工业自动化等专业的教师、研究生和高年级学生, 还可以作为相关专业高年级学生和研究生教材。

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有, 侵权必究。

图书在版编目 (CIP) 数据

ADSP TS20XS 系列 DSP 原理与应用设计 / 刘书明, 罗勇江编著. —北京: 电子工业出版社, 2007.1

(DSP 应用丛书)

ISBN 7-121-03353-4

I. A… II. ①刘…②罗… III. ①数字信号 - 信号处理②数字信号 - 微处理器 IV. ①TN911.72②TP332

中国版本图书馆 CIP 数据核字 (2006) 第 127595 号

责任编辑: 万子芬 (wzf@phei.com.cn)

印 刷: 北京季蜂印刷有限公司

装 订: 三河市鹏成印业有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1092 1/16 印张: 29.75 字数: 762 千字

印 次: 2007 年 1 月第 1 次印刷

印 数: 5 000 册 定价: 48.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系电话: (010) 68279077; 邮购电话: (010) 88254888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

前 言

2003 年, 美国 ADI 公司发布了新的 TigerSHARC 系列处理器 ADSP TS20XS, 其成员有 ADSP TS201S, ADSP TS202S, ADSP TS203S。新系列较 2001 年推出的 ADSP TS101S 在性能上有了很大的提高, 主要有以下几方面:

- 内核时钟 (CCLK) 由 300 MHz 提高到 600 MHz。
- 片内存储器由 6 Mbit SRAM 提高到 24 Mbit DRAM。
- 链路口由单端驱动改为差分驱动, 并采用 LVDS 标准。通信由半双工改为全双工, 链路口最高工作时钟由 CCLK/2 提高到 CCLK。发送数据宽度 4 位和 1 位可选。
- 在双运算块内增加了独立的通信逻辑处理单元和通信逻辑处理指令。

上述措施大大提高了 ADSP TS20XS 系列处理器的运算速度、存储能力和通信逻辑处理性能, 更是大幅度地提高了 ADSP TS20XS 链路口的传输速度、可靠性和灵活性, 使 ADSP TS20XS 单个链路口数据速率已经达到甚至超过了并行总线口的数据速率。

从 2004 年初开始, 我们陆续采用 ADSP TS201S 设计了几个信号处理机, 分别用于图像处理、通信基站设备和测风雷达。在此基础上, 我们编写本书, 希望对广大读者学习新的 TigerSHARC 系列处理器 ADSP TS20XS 有所帮助。

本书包含 ADSP TS20XS 三方面的内容: 硬件组成原理, 指令系统及软件设计, 应用系统设计。硬件组成原理部分包含处理器内核结构、处理器存储组织结构以及处理器的 I/O 资源等内容; 指令系统及软件设计部分包含处理器指令系统的组成、系统程序优化设计以及多 DSP 系统的软件设计等内容; 应用系统设计部分包含处理器系统功耗及散热设计、系统电源设计、高速时钟系统设计、多 DSP 系统设计和 ADSP TS20XS 设计实例等内容。需要说明的是, 为了避免产生可能的错误, 书中的一些线路图保留了英文技术资料的原状。

本书由刘书明和罗勇江合作完成。第 1, 2, 4, 7, 9 章由刘书明编写, 第 3, 5, 6, 8, 10 章由罗勇江编写, 最后由刘书明对全书统稿。在编写过程中, 引用了 ADI 公司提供的资料, 也引用了西安电子科技大学研究生的论文和成果, 在此对他们的慷慨支持表示衷心感谢; 感谢西安电子科技大学硕士研究生王红旭、徐嵘和项圣文等同学, 他们对本书的出版提供了许多有用的素材和无私的帮助; 还要特别感谢 ADI 公司上海办事处的李川工程师、杨烨工程师、陆磊工程师, 他们在本书编写和 ADSP TS20XS 应用系统设计过程中给予了大力支持与帮助。

衷心希望能得到读者的反馈意见, 你们提出的问题对编著者是鞭策、鼓励与前进的动力。联系方式: 029-88202268, smhliu@xidian.edu.cn 或 liushuming_0@163.com

刘书明

2006 年 5 月于西安电子科技大学

目 录

第 1 章 概述	(1)
1.1 TigerSHARC 系列 DSP 简介	(1)
1.1.1 ADSP TS101S DSP 简介	(1)
1.1.2 ADSP TS20XS 系列 DSP 简介	(6)
1.2 ADSP TS20XS 系列 DSP 的特点及应用	(9)
1.2.1 ADSP TS20XS 系列 DSP 的结构特点	(9)
1.2.2 ADSP TS201S 指令系统的特点	(17)
1.2.3 ADSP TS202S 与 ADSP TS203S	(17)
1.3 ADSP TS201S 的引脚说明	(18)
第 2 章 ADSP TS20XS 系列 DSP 硬件组成原理	(25)
2.1 ADSP TS20XS 系列 DSP 结构	(25)
2.1.1 ADSP TS201S DSP 结构与应用	(25)
2.1.2 ADSP TS202S, ADSP TS203S DSP 结构	(31)
2.2 ADSP TS20XS 系列 DSP 计算内核	(31)
2.2.1 ADSP TS201S 的算术逻辑运算单元 (ALU)	(32)
2.2.2 ADSP TS201S 的通信逻辑处理单元 (CLU)	(39)
2.2.3 乘法器	(56)
2.2.4 移位器	(63)
2.3 ADSP TS20XS 系列 DSP 寻址	(69)
2.4 ADSP TS20XS 系列 DSP 程序控制	(86)
2.4.1 程序控制器操作	(90)
2.4.2 指令排队缓冲 (IAB) 和分支目标缓冲 (BTB)	(96)
2.4.3 影响指令流水延迟的因素	(102)
2.4.4 程序控制器的实例	(110)
2.5 ADSP TS20XS 内部总线	(111)
2.5.1 ADSP TS20XS 的内部总线	(111)
2.5.2 ADSP TS20XS 的 SOC 接口	(112)
第 3 章 ADSP TS20XS 系列 DSP 存储器组织	(115)
3.1 ADSP TS20XS 的寻址空间	(115)
3.1.1 全局寻址映射空间	(115)
3.1.2 主机寻址空间	(116)

3.1.3	外部存储器寻址空间	(117)
3.1.4	多处理器寻址空间	(117)
3.1.5	处理器内部存储空间	(118)
3.2	ADSP TS20XS 的存储器组织	(119)
3.2.1	存储块物理结构	(120)
3.2.2	存储块逻辑组织	(121)
3.2.3	存储器缓冲	(123)
3.2.4	存储访问	(125)
3.3	ADSP TS20XS 系列 DSP 寄存器	(132)
3.3.1	计算块寄存器组	(135)
3.3.2	未映射的计算块寄存器	(135)
3.3.3	整数型 ALU 寄存器组	(136)
3.3.4	程序控制器寄存器组	(137)
3.3.5	Cache 寄存器组 (存储器控制寄存器)	(139)
3.3.6	中断寄存器组	(141)
3.3.7	DMA 控制和状态寄存器组	(146)
3.3.8	链路口寄存器组	(149)
3.3.9	外部总线接口寄存器组	(152)
3.3.10	JTAG 测试和仿真寄存器组	(154)
3.3.11	调试寄存器组	(155)
第 4 章	ADSP TS20XS 系列 DSP 的 I/O 资源	(159)
4.1	ADSP TS20XS 系列 DSP 的中断	(159)
4.1.1	ADSP TS20XS 的中断源	(159)
4.1.2	ADSP TS20XS 的中断向量	(162)
4.1.3	ADSP TS20XS 可编程的中断控制寄存器	(163)
4.1.4	ADSP TS20XS 的中断处理过程	(163)
4.1.5	中断返回与异常	(166)
4.1.6	中断服务程序实例	(167)
4.2	DMA 传输	(168)
4.2.1	ADSP TS20XS DMA 控制器与传输控制块	(169)
4.2.2	DMA 控制与状态寄存器	(173)
4.2.3	链式 DMA 与二维 DMA	(173)
4.2.4	外部口 DMA 与飞越传输	(176)
4.2.5	AutoDMA 与链路口 DMA	(179)
4.2.6	DMA 的几个问题	(182)
4.3	ADSP TS20XS 系列 DSP 的差分链路口	(184)
4.3.1	ADSP TS20XS 链路口结构	(184)
4.3.2	链路口通信协议	(188)

4.3.3	链路口传输延迟	(190)
4.3.4	链路口的故障检测机制	(190)
4.3.5	链路口数据缓冲寄存器、控制及状态寄存器	(192)
第 5 章	ADSP TS20XS 系列 DSP 指令系统	(193)
5.1	ADSP TS20XS 系列 DSP 指令集简介	(193)
5.1.1	指令结构与特点	(193)
5.1.2	指令行结构	(194)
5.1.3	TigerSHARC 处理器指令速查	(199)
5.2	ADSP TS20XS 系列 DSP 指令集	(206)
5.2.1	ALU 指令	(206)
5.2.2	CLU 指令	(233)
5.2.3	乘法器指令	(238)
5.2.4	移位器指令	(257)
5.2.5	IALU 指令	(266)
5.2.6	IALU 加载/存储/传输指令	(271)
5.3	ADSP TS20XS 系列 DSP 指令并行规则和约束条件	(274)
5.3.1	指令并行规则	(274)
5.3.2	并行指令的通用约束	(279)
5.3.3	计算块指令约束	(279)
5.3.4	IALU 指令约束	(281)
5.3.5	程序控制指令约束	(283)
第 6 章	ADSP TS20XS 系列 DSP 接口设计	(285)
6.1	外部总线接口	(285)
6.1.1	外部端口数据传输	(285)
6.1.2	流水线协议接口	(286)
6.1.3	慢速设备协议接口	(291)
6.1.4	EPROM 和 Flash 接口	(293)
6.1.5	典型外部总线接口实例	(295)
6.2	SDRAM 接口	(307)
6.2.1	SDRAM 控制	(308)
6.2.2	SDRAM 编程	(311)
6.2.3	SDRAM 接口上电过程	(313)
6.2.4	SDRAM 接口吞吐量	(314)
6.3	链路口	(320)
6.3.1	链路口接口	(321)
6.3.2	链路口控制与协议	(323)
6.4	ADSP TS20XS 与 FPGA 接口举例	(323)
6.4.1	用 FPGA 实现 ADSP TS20XS 的复位电路	(323)

6.4.2	FPGA 采用锁存电路实现与 ADSP TS20XS 的数据通信	(325)
6.4.3	FPGA 采用双口 RAM 电路实现与 ADSP TS20XS 的数据通信	(326)
6.4.4	FPGA 与 ADSP TS20XS 的链路口通信电路	(326)
第 7 章	ADSP TS20XS 系列 DSP 系统设计	(342)
7.1	ADSP TS20XS 系列 DSP 系统功耗及散热设计	(342)
7.1.1	器件的功耗	(342)
7.1.2	散热设计	(348)
7.2	ADSP TS20XS 系列 DSP 系统电源设计	(354)
7.2.1	电源供电要求	(354)
7.2.2	电源滤波要求	(355)
7.2.3	电源设计	(357)
7.3	ADSP TS201S 系统时钟要求及高速时钟系统设计	(358)
7.3.1	ADSP TS201S 的系统时钟	(358)
7.3.2	ADSP TS201S 系统时钟 SCLK 设计	(359)
7.4	JTAG 接口有关问题	(363)
7.4.1	JTAG 连接	(364)
7.4.2	ICE 配置与测试	(369)
第 8 章	ADSP TS20XS 系列 DSP 系统程序优化设计	(371)
8.1	程序优化设计思路	(371)
8.1.1	复数基 2FFT 算法程序优化实现	(372)
8.1.2	复数求模算法程序优化实现	(381)
8.1.3	算法程序的优化步骤总结	(392)
8.2	引起处理器流水线操作延时和影响的因素	(392)
8.3	存储器优化配置	(400)
第 9 章	多 DSP 系统设计及实例	(405)
9.1	多 DSP 系统组成模型	(405)
9.2	简化多 DSP 系统的复杂度	(406)
9.3	多 DSP 系统的设计实例	(409)
9.3.1	ADSP TS201S WCDMA 基带处理板功能	(409)
9.3.2	ADSP TS201S WCDMA 基带处理板时序要求	(410)
9.3.3	ADSP TS201S WCDMA 基带处理板硬件方案	(411)
9.4	ADSP TS201S WCDMA 基带处理板的 PCB 设计	(419)
9.4.1	分层结构设计	(420)
9.4.2	高速信号线设计	(421)
9.4.3	高速信号线过孔设计	(421)
9.4.4	ADSP TS201S WCDMA 基带处理板时钟线设计	(423)
9.4.5	串扰及减少串扰的方法	(423)
9.4.6	ADSP TS201S WCDMA 基带处理板 PCB 上主要技术参数	(426)

第 10 章 多 DSP 系统的软件设计	(427)
10.1 多 DSP 系统引导程序设计	(427)
10.1.1 EPROM 引导方式及其内核引导程序	(427)
10.1.2 主机引导方式及其内核引导程序	(430)
10.1.3 链路口引导方式及其内核引导程序	(433)
10.1.4 无引导方式启动处理器	(436)
10.1.5 多 DSP 系统引导程序设计	(437)
10.2 多 DSP 系统的数据传输方式和系统工作模式字的应用	(446)
10.2.1 多 DSP 系统的数据传输方式	(447)
10.2.2 系统工作模式字的建立	(452)
附录 A ADSP TS20XS 系列 DSP 引脚分配与封装	(454)
参考文献	(464)

第 1 章 概 述

1.1 TigerSHARC 系列 DSP 简介

ADI 公司的高性能数字信号处理器 TigerSHARC 系列成员包含 ADSP TS101S, ADSP TS201S, ADSP TS202S 和 ADSP TS203S。它们广泛应用于视频和通信市场,包括 3G 蜂窝和宽带无线基站,以及国防军事装备,如战场雷达、航空器、声呐等,还有医疗图像和工业仪器等领域,使得 ADI 公司在高性能数字信号处理器方面取得了重大突破,成为提供高性能浮点和定点处理器的重要厂商。

ADI 公司 DSP 的产品发展历程如下:

- 1984 推出第一款采用 CMOS 工艺的工业标准乘法累加 (MAC) 的 DSP;
- 1990 推出第一款浮点 DSP;
- 1994 推出第一款 SHARC 带 4 Mbit 片内存储器的 DSP;
- 2000 推出当时世界上速度最快的 32 位 DSP;
- 2001 推出第一款应用广泛的 TigerSHARC 处理器;
- 2003 推出存储器集成度最高的新一代 TigerSHARC 处理器。

TigerSHARC 高性能数字信号处理器现在已成为多个 DSP 并行处理应用的实际标准,对加快数字信号处理技术的发展和扩大 DSP 的应用起到十分突出的促进作用。

1.1.1 ADSP TS101S DSP 简介

2001 年末,ADI 公司推出了高性能数字信号处理器 ADSP TS101S,它成为新一代浮点 DSP 产品的标志。

ADSP TS101S 的主要性能有以下几点:

- 指令执行速度 300 MHz,指令周期 3.3 ns。
- 片内有容量为 6 Mbit 的 SRAM,并分为 3 个模块,每个模块都有单独的地址总线 and 数据总线相连,可以同时进行访问。核内有双运算模块,每个运算模块都包含 1 个算术逻辑单元 (ALU)、1 个乘法器、1 个移位器和 1 个寄存器组。核内有双整数 ALU,提供数据寻址和指针操作功能。
- I/O 部分含 14 个直接内存访问 (DMA) 通道、4 个链路口、1 个 SDRAM 控制器等,片上仲裁系统还可以构成 8 个 DSP 共享总线无缝连接的多 DSP 系统。
- ADSP TS101S 有 3 套独立的地址总线和数据总线。内部数据总线宽度扩展为 128 位,外部数据总线宽度扩展为 64 位。

图 1.1 为 ADSP TS101S 的结构框图。

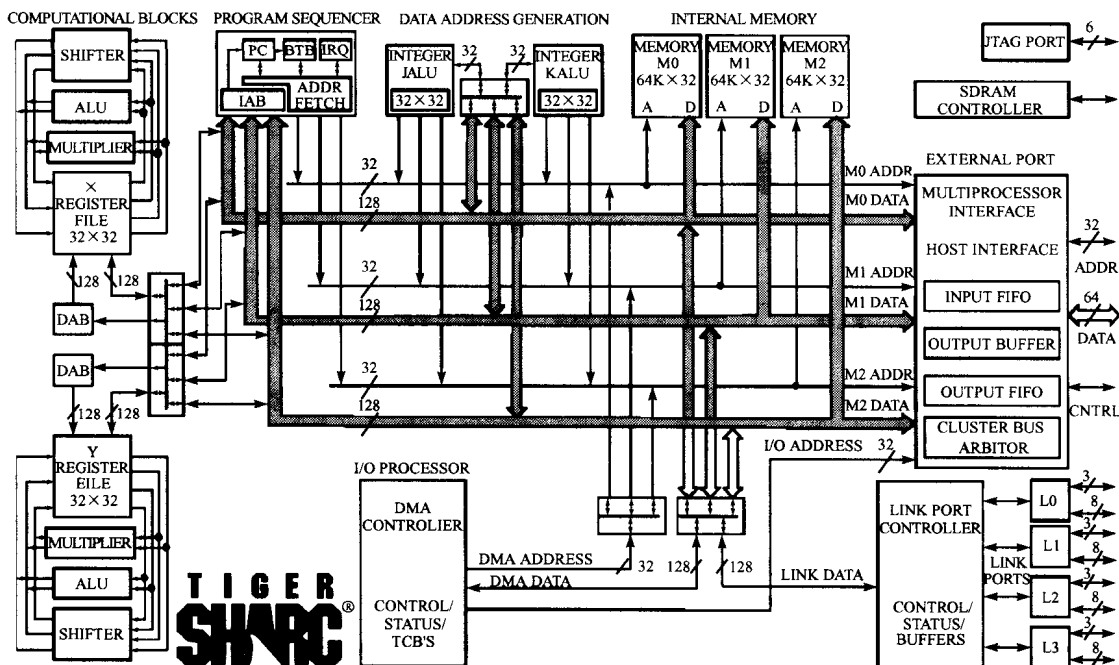


图 1.1 ADSP TS101S 的结构框图

其片内结构的功能模块主要包括：

- 双运算模块，每个模块包含 ALU、乘法器、64 位移位器和 32 字的寄存器组及相关的对齐缓冲器（DAB）；
- 双整数 ALU（IALU），每个 IALU 有独立的 31 个字的寄存器组用于数据寻址；
- 1 个有指令对齐缓冲器（IAB），分支目标缓冲器（BTB）和中断控制器的程序控制器；
- 3 条相互独立的 128 位宽度的内部数据总线，每条连接 3 个 2 Mbit 内部存储器块中的 1 个；
- 片内 SRAM（6 Mbit）；
- 1 个提供与主机处理器、多处理器空间、片外存储器映射外设、外部 SRAM 和 SDRAM 相连的外部端口；
- 1 个 14 通道 DMA 控制器；
- 4 个链路口；
- 2 个 64 位定时器；
- 1 个 IEEE 1149.1 兼容动态联合测试（Joint Test Action Group, JTAG）接口，用于在线仿真。

TigerSHARC DSP 使用静态超标量体系结构，其内核能通过 2 个运算单元同时执行 1~4 条 32 位指令。由于 DSP 在运行期间并不重新排列指令顺序，用户需要在运行周期以前选择哪几条指令并行执行，故程序指令执行的顺序是静态的。

除了少数例外，指令行中无论包含 1 条、2 条、3 条还是 4 条 32 位指令，ADSP TS101S 皆使用一个周期执行完毕。

为了优化 DSP 程序的执行，程序员必须遵从指令并行执行规则。总的来说，DSP 能否在单周期完成并行执行，依赖于每条指令行资源和指令中使用的源和目标寄存器。程序员

能够直接控制 3 个内核模块——IALU、运算模块和程序控制器。

在大多数情况下, ADSP TS101S 具有一个两周期完全互锁的指令流水线, 因此, 在任何情况下, 当一个运算结果对于另一个操作来说是不能使用的时候, DSP 会自动地插入一个或多个延迟周期。使用独立指令高效地编程, 能够去除大部分的运算和内存传输依赖。

另外, ADSP TS101S 通过两种方法来支持单指令多数据操作 (SIMD) 运算模块和 SIMD 运算。程序员能够使两个运算模块操作相同的数据 (广播发布) 或不同的数据 (合并发布)。另外, 每个运算模块能同时执行 4 个 16 位或 8 个 8 位 SIMD 运算。

ADSP TS101S 的主要优点是:

- 提供高性能静态超标量 DSP 操作, 专门优化适用于通信和大的需要多 DSP 的应用;
- 杰出的 DSP 算法和 I/O 性能表现;
- DMA 控制器支持 14 个 DMA 通道, 可完成片内存储器、片外存储器、存储器映射外设、链路口、主机处理器与其他 (多处理器) DSP 间的低开销传输;
- 非常灵活的指令集和支持高级语言的 DSP 结构便于 DSP 编程;
- 可扩展的多处理器系统仅需较低通信开销。

ADSP TS101S 的综合处理能力较 SHARC 系列的 ADSP21060 系列提高了很多, 例如: 它的峰值运算能力达 1 600 MFLOPS, 1024 点复数 FFT 仅需 32.78 μ s, 外部总线的数据传输速率达 800 MB/s。每个链路口的数据传输速率达 250 MB/s。估计, 一片 ADSP TS101S 的处理能力相当于 8~10 片 ADSP21060。

TigerSHARC 汇编语言的代数风格与原来 SHARC DSP 的汇编编程风格十分相似, 汇编代码也易于阅读和编写, 并且像 C 语言一样用分号来表示指令的结束。SHARC 系列 DSP 的循环是用专门的循环指令来处理的, 能实现零开销循环。TigerSHARC 系列 DSP 中, 循环中没有 DO UNTIL 结构; 相反, 除了第一次循环和最后一次循环外, 循环的分支目标缓冲 (BTB) 为循环体中的所有指令提供了零开销的循环。对于简单的循环, 使用两个自动的循环计数器就能实现。两个计算块能提供早期的 SHARC 系列 DSP 两倍的浮点数乘法效率。处理时钟由 40 MHz 变到 300 MHz, 总的处理速度性能比 SHARC 系列处理器提高约 12 倍。

与其他公司生产的同档次 DSP 比较可知, ADSP TS101S 也是一个综合性能更为优异、性价比更高的产品。

1. ADSP TS101S 与 TMS320C6416 比较

TI 公司和 ADI 公司是 DSP 芯片的两大主要供货商, 也代表了 DSP 领域的最高技术。TMS320 处理器主要基于 VLIW (超长指令字) 结构, 而 TigerSHARC 系列 DSP 在结构设计时更强调系统的平衡性。表 1.1 给出了 ADI 与 TI 公司性能基本相当的 DSP 的部分性能比较。

可以看出, 如果看一片 DSP 的某些运算能力的话, ADSP TS101S 显然不如 TMS320C6416。但是 ADSP TS101S 具备浮点功能, 这对于一些数据动态范围大, 或者要求软件开发周期较短的应用来说比较有用。

从存储器方面看, 两者差不多, 都有较大的片内存储器和丰富的外接存储器接口。

从多片互联来看, ADSP TS101S 有很大的优势, 它除了有完善的总线仲裁机制外还有 4 个链路口。可以用各种拓扑结构连接 DSP, 满足一些大运算量的要求。另外它提供的 Flag 信号对于测试非常方便。尽管 TI 的 DSP 也可以互联, 但是机制比较复杂。

表 1.1 ADSP TS101S 与 TMS320C6416 性能比较

	ADSP TS101	TMS320C6416
Q 时钟/(MHz)	300	600
定点处理能力	1 000 MIPS	4 800 MIPS
浮点处理能力	每个指令周期可完成 2 个浮点指令	无
片内 RAM	6 Mbit	68 Mbit
总线	64 位宽的数据总线 可使用信号 WRL 和 WRH 分别对 32 位进行操作, 有主机接口	64 位宽的 EMIF 接口 32 位的扩展总线 (主机接口)
总线仲裁机制	完善	没有
支持的存储器	同步异步的存储器 (包括 SDRAM)	同步异步的存储器 (包括 SDRAM)
链路口	4 个, 方便进行片间级连	无
Flag 信号	4 个, 方便调试	无
串口	无	3 个, 可以灵活配置 McBSP
软件开发环境	Visual DSP++ 完善	CCS, 较为成熟, 帮助文档较好
指令系统	较好入手, 指令可读性好	助记符式的指令, 学习较为困难
支持 3G 方面	有一些通信专用指令	有 VCP, TCP 两个通信用协处理器

串口对于通信领域的应用来说非常重要, ADSP TS101S 没有集成串口, 应该说这是一个遗憾。而 TMS320C6416 集成了 3 个多通道串口。

对指令系统而言, ADSP TS101S 的指令容易学习记忆, TI 的 DSP 指令比较难以掌握。

2. ADSP TS101S 与 PowerPC 比较

目前已有的处理器在结构上有很大的差别, 且应用于不同场合的高性能计算。TigerSHARC DSP 代表了 DSP 的传统应用, 延迟小, 采用 DMA 引擎, 主要针对嵌入式实时应用, 如雷达、声呐、无线通信和图像处理。与此相反, PowerPC 处理器采用 RISC, 主要应用于苹果计算机的高性能 G4 工作站, 由于其很高的时钟率和功能强大的 AltiVec 向量处理引擎, 它在某些嵌入式信号处理应用中也取得了较大的成功。

显然, 采用 AltiVec 核的 G4 PowerPC 有更高的时钟频率, 如表 1.2 所示, PowerPC 的时钟频率是 ADSP TS101S 时钟频率的 3.3 倍。当然, ADI 公司随后发布的 ADSP TS201S 和 ADSP TS202S 也采用了更高的时钟频率。

在每个周期中, AltiVec 核对由 4 个分离的 32 位数据元素组成的 128 位向量执行一条单指令, 这也就是所谓的 SIMD 结构。当对向量执行乘累加 (MAC) 指令时, 能到达峰值处理能力, 对于 1GHz 的 MPC7455, 每周期产生 8 个浮点操作, 峰值处理能力达 8 000 MFLOPS (每秒执行百万次浮点操作数)。此外, AltiVec 每周期可以执行 8 个整数操作, 达 8 000 MOPS (每秒百万次操作) 的峰值整数性能。

与之相对应, TigerSHARC DSP 有两个独立的 32 位处理器核, 或者多指令多数据流 (MIMD) 结构。每个处理单元都能在单周期执行一次乘法, 以及加法, 对于 300 MHz 的 ADSP TS101S, 每个周期能产生 6 个 FLOP, 峰值处理器能力到达 1 800 MFLOPS。当执行 16 位整数运算时,

TigerSHARC 能够将两个独立的 32 位计算单元分成两个 16 位的 SIMD 单元，这样，每个周期每个 SIMD 单元都可以对两个操作数进行操作，总共每周期可以实现 12 次操作，实现其超标量结构。此外，TigerSHARC 还有另外两个 16 位的整数引擎，每周期能实现 12 个以上的操作，因此，TigerSHARC 每个周期可以实现 24 个整数操作，共 7 200 MOPS。

表 1.2 ADSP TS101S 和 PowerPC 处理器性能优点与比较

参 数	TigerSHARC	PowerPC	
	ADSP TS101S	MPC7410	MPC7455
时钟频率/MHz	300	500	1000
峰值浮点性能	1 800 MFLOPS	4 000 MFLOPS	8 000 MFLOPS
峰值 16 位整数性能	7 200 MOPS	4 000 MOPS	8 000 MOPS
存储器总线宽/频率	64 位/100 MHz	64 位/125 MHz	64 位/133 MHz
外部链路口/(MB/s)	4 个@250	无	无
I/O 带宽/(MB/s)	1 800	1 000	1 064
带宽与处理性能比	1.00 B/FLOP	0.25 B/FLOP	0.13 B/FLOP
片内 RAM/KB	786	64	320
外部缓存/MB	无	L2: 1 或 2	L3: 1 或 2
功耗 (典型值)/W	1.9	5.5	21.3
单位功耗的处理能力	947 MFLOPS/W	727 MFLOPS/W	376 MFLOPS/W

由于大部分信号处理应用都是受到数据输入/输出处理流的限制，而不是处理器的数据处理能力的限制，这样，充分理解处理器的 I/O 能力和向量处理器传输数据的能力，就显得十分重要。衡量这种关系的一个重要指标就是 I/O 带宽与处理性能比 (BPR)，即处理器的峰值 I/O 带宽 (MB/s) 除以处理器的峰值处理能力。对于连续信号处理结构，1 BPR (1B/FLOP) 意味着对于处理器执行的每个浮点操作，处理器可以从片内/外移动一个字节。如果 BPR 比较高或者小于 1B/FLOP，表示该处理器结构更适合数据移动，而不是连续的信号处理。

PowerPC 处理器支持缓冲的共享存储器结构，有较高的处理带宽。然而，所有的处理器 I/O 都必须流经 MPC 核控制芯片之间的 64 位系统总线。对于 MPC7410，流经任意一个节点的峰值 I/O 带宽是 1 000 MB/s，而 MPC7544 是 1 064 MB/s，如表 1.2 所示。Altivec 功能强大，然而这么高的 I/O 带宽仍然赶不上处理器核。MPC7544 的峰值处理能力达 8 000 MFLOPS，然而它只能移动 1 064 MB/s 的数据，其 BPR 只有 0.13 B/FLOP，这就说明该结构不具备平衡的 I/O 处理能力。因此，PowerPC 对于块数据处理（例如相对低速的数据流计算）十分有效，但对于连续的信号处理（高速数据流，少量计算）就不是很有效。

TigerSHARC 为多种信号处理设计，提供了 64 位的共享系统总线和 4 个链路口。数据在外部总线上的传输率可以到达 800 MB/s。此外，数据也可以通过链路口传输，每个链路口的传输率到达 250 MB/s。整个 TigerSHARC 芯片的 I/O 带宽到达 1 800 MB/s。TigerSHARC 的 BPR 是 1.0 B/FLOP，表示该芯片有一个平衡的结构，适用于连续的信号处理。

1 024 点复数 FFT 运行时间是最普遍使用的性能指标，通常用于评估处理器的信号处理性能，如表 1.3 所示。采用这个指标，是因为它易于量化，且 FFT 是普遍的信号处理算法，在很多领域中都使用，它能评估处理器的数据处理能力和数据传输 I/O 能力。

表 1.3 32 位浮点 1 024 点复数 FFT 性能比较

参 数	Tiger SHARC	PowerPC	
	ADSP TS101S	MPC740	MPC7455
时钟频率/MHz	300	500	1 000
1 024 点复数 FFT 指标/ μ s	33	22	13
1 024 点复数 FFT 近似周期数	9 750	11 000	13 000
连续的 1 024 点复数 FFT/片	30 769 次/s	26 053 次/s	64 941 次/s

由于 PowerPC 有高的时钟频率，其 1 024 点复数 FFT 的性能指标更高。然而，TigerSHARC 在实现完美的信号处理算法时更有效。这是因为它移动数据的能力很好，具有平衡性，能在单周期内执行蝶形运算。AltiVec 核时钟比 TigerSHARC 处理器快 3.3 倍，但在实现 1 024 点复数 FFT 时，只快 2.4 倍。因为 TigerSHARC 能在 9 750 个周期能完成 1 024 点复数 FFT 计算，而 PowerPC 需要 13 000 个周期。因此，在处理 1 024 点复数 FFT 时，TigerSHARC 的处理效率比 PowerPC 高 33%。

实际应用时，数据必须首先输入，然后处理，最后输出，通常希望能同时进行。在连续的 1 024 点复数 FFT 中，处理器应尽可能在每秒进行更多次 1 024 点复数 FFT。连续的复数 FFT 通常用于频谱分析，脉冲压缩和频域滤波。

每个 1 024 点复数 FFT 需要 8 KB 的数据输入和 8 KB 的数据输出，总共 16 KB 的数据流。通过将 I/O 处理器的带宽与 1 024 点复数 FFT 的性能指标进行比较，就能确定处理器是否受到带宽和处理性能的限制。

PowerPC 有很高的时钟频率和功能更强大的处理器，更适合于后端数据处理。对于连续的实时信号处理，比如图像、雷达、声呐、信息情报和其他需要高速数据吞吐率的应用，TigerSHARC 能动态超过 PowerPC，是更好的选择。

1.1.2 ADSP TS20XS 系列 DSP 简介

随着半导体技术的飞跃发展，TigerSHARC 处理器也在进一步发展。新一代 TigerSHARC 处理器继续致力于更高的性能密度，更强大的运算性能，集成更大容量的片内存储器，并在更高 I/O 处理带宽方面得到更好的平衡。2003 年，ADI 公司发布了 TigerSHARC 的新成员，它们是 ADSP TS201S，ADSP TS202S，ADSP TS203S，其内核工作频率已高达 600 MHz，片内存储器已增加到 24 Mbit。不断提高处理器时钟频率，采用更合理的结构性和新的存储器技术，以及高带宽的 I/O 接口，将使新一代基于 TigerSHARC 的产品增加了系统级性能，同时大大降低开发成本，功耗和芯片尺寸。因而在无线通信、军事、工业、图像和医疗市场的应用也将更加广泛。

新一代 TigerSHARC 系列的推出以及更高性能处理的研究，将使 ADI 公司的高性能数字信号处理器得到更多用户的青睐。

ADSP TS201S 的主要性能：

- 高达 600 MHz 运行速度，1.6 ns 指令周期；
- 24 Mbit 片内 DRAM；
- 25 mm × 25 mm (576-Ball) PGBA 封装；

- 双运算模块，每个计算块包含 1 个 ALU，1 个乘法器，1 个移位器，1 个寄存器组和 1 个通信逻辑运算单元（CLU）；
- 双整数 ALU，提供数据寻址和指针操作功能；
- 集成 I/O 接口，包括 14 通道的 DMA 控制器，外部端口，4 个链路口，SDRAM 控制器，可编程标志引脚，2 个定时器和定时器输出引脚等用于系统连接；
- IEEE 1149.1 兼容的 JTAG 端口用于在线仿真；
- 通过共享总线可无缝连接多达 8 个 TigerSHARC DSP。

ADSP TS201S 的主要优点有：

- 提供高性能静态超标量 DSP 操作，专门优化适用于通信和需要多 DSP 处理器的应用；
- 优异的 DSP 算法和 I/O 性能表现；
- DMA 控制器支持 14 个 DMA 通道，可完成片内存储器，片外存储器，存储器映射外设，链路口，主机处理器和其他多处理器之间的低开销的高速传输；
- 非常灵活的指令集和支持高级语言的 DSP 结构便于 DSP 编程；
- 可扩展的多处理器系统，连接时仅需很低的通信开销。

ADSP TS201S TigerSHARC DSP 是一款性能极高的静态超标量处理器，专对大的信号处理任务和通信结构进行了优化。该处理器将非常宽的存储器宽度和双运算模块（支持 32 位和 40 位浮点及 8 位、16 位、32 位和 64 位定点处理）组合在一起，建立了数字信号处理器性能的新标准。TigerSHARC 静态超标量结构使 DSP 每周期能够执行多达 4 条指令，24 个 16 位定点运算和 6 个浮点运算。

4 条相互独立的 128 位宽度的内部数据总线，每条总线分别连接 6 个 4 Mbit 内部存储器块（Bank）中的 1 个，提供四字的数据、指令及 I/O 访问和 33.6 GB/s 的内部存储器带宽。运行在 600 MHz 时，ADSP TS201S 内核的指令周期为 1.67 ns。若发挥其单指令多数据（SIMD）的特点，ADSP TS201S 可以提供 48 亿次 40 位 MAC 运算或者 12 亿次 80 位 MAC 运算。表 1.4 显示了 ADSP TS201S 的性能指标。

表 1.4 600 MHz 运行时通用算法性能（ADSP TS201S）

性能指标	速度	时钟周期数
32 位算法，12 亿次 MAC/s 峰值性能		
1 024 点复数 FFT（基 2）	15.7 μ s	9 419
64 K 点复数 FFT（基 2）	2.33 ms	1 397 544
FIR 滤波器（每个抽头）	0.83 ns	0.5
[8 × 8] [8 × 8] 矩阵乘（复浮点数）	2.3 μ s	1 399
16 位算法，48 亿次 MAC/s 峰值性能		
256 点复数 FFT（基 2）	1.5 μ s	928
I/O DMA 传输速率		
外部端口	1 GB/s	N/A
链路口（每个）	1 GB/s	N/A

图 1.2 是 ADSP TS201S 内部结构框图。

ADSP TS202S 内部结构与 ADSP TS201S 基本相同，只是 DRAM 模块只有 ADSP TS201S 的 1/2，在运算块内没有 CLU 模块。另外工作时钟频率最高为 500 MHz。

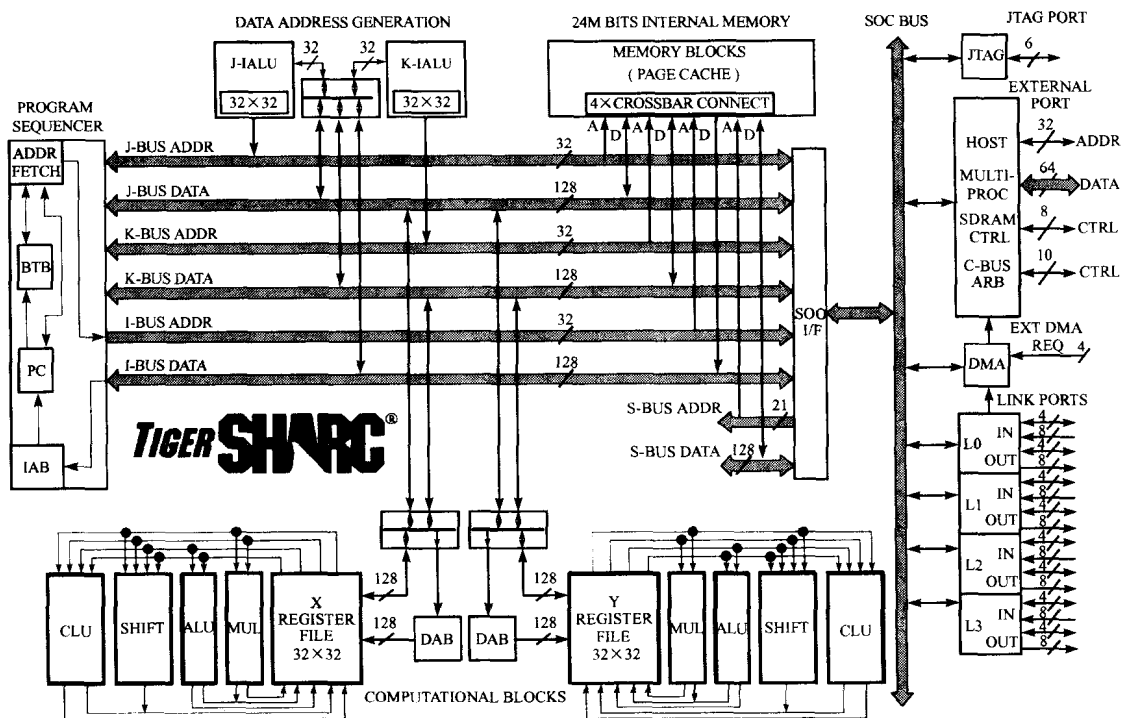


图 1.2 ADSP TS201S 内部结构框图

在 ADSP TS202S 内部 4 条相互独立的 128 位宽度的内部数据总线，每条连接 6 个 2 Mbit 内部存储器块中的一个，提供四字的数据、指令及 I/O 访问和 28 GB/s 的内部存储器带宽。运行在 500 MHz 时，ADSP TS202S 内核的指令周期为 2 ns。发挥其单指令多数据特点 (SIMD)，ADSP TS202S 可以提供 40 亿次 40 位 MAC 运算或者 10 亿次 80 位 MAC 运算。表 1.5 显示了 ADSP TS202S 的性能指标。

表 1.5 500 MHz 运行时通用算法性能 (ADSP TS202S)

性能指标	速 度	时钟周期数
32 位算法, 10 亿次 MAC/s 峰值性能		
1 024 点复数 FFT (基 2)	18.8 μ s	9 419
64K 点复数 FFT (基 2)	2.8 ms	1 397 544
FIR 滤波器 (每个抽头)	1 ns	0.5
[8x8] [8x8] 矩阵乘 (复浮点数)	2.8 μ s	1 399
16 位算法, 48 亿次 MAC/s 峰值性能		
256 点复数 FFT (基 2)	1.9 μ s	928
I/O DMA 传输速率		
外部端口	1 GB/s	N/A
链路口 (每个)	1 GB/s	N/A

ADSP TS203S 内部结构也与 ADSP TS201S 基本相同，只是 DRAM 模块只有 ADSP TS201S 的 1/6，4 Mbit，在运算块内也没有 CLU 模块，链路口只有 2 个，DMA 控制器少了 4 个，只能提供 10 个 DMA 通道。另外工作时钟频率最高为 500 MHz。