



普通高等教育“十一五”国家级规划教材
电子信息科学与工程类专业

集成电路设计

● 王志功 朱 恩 陈莹梅 编著



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>



普通高等教育“十一五”国家级规划教材

电子信息科学与工程类专业

集成电路设计

王志功 朱 恩 陈莹梅 编著

电子工业出版社

Publishing House of Electronics Industry

北京 • BEIJING

内 容 简 介

本书是普通高等教育“十一五”国家级规划教材。本书遵循集成电路设计的流程,介绍集成电路设计的一系列基础知识。主要内容包括集成电路的材料、制造工艺和器件模型,集成电路模拟软件 SPICE 的基本用法,集成电路版图设计,模拟集成电路基本单元,数字集成电路基本单元,VLSI 集成数字系统设计,以及集成电路的测试与封装等。

本书可作为电子、通信与信息学科高年级本科生和硕士研究生的教材,也可作为集成电路设计工程师的参考用书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有,侵权必究。

图书在版编目(CIP)数据

集成电路设计 / 王志功, 朱恩, 陈莹梅编著. —北京: 电子工业出版社, 2006.11
普通高等教育“十一五”国家级规划教材
ISBN 7-121-03227-9

I. 集… II. ①王…②朱…③陈… III. 集成电路—电路设计—高等学校—教材 IV. TN402
中国版本图书馆 CIP 数据核字 (2006) 第 119167 号

责任编辑: 王羽佳

印 刷: 北京市通州大中印刷厂

装 订: 三河市万和装订厂

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1 092 1/16 印张: 17.25 字数: 411.6 千字

印 次: 2006 年 11 月第 1 次印刷

印 数: 4 000 册 定价: 24.50 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系电话: (010) 68279077; 邮购电话: (010) 88254888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

前 言

人类已进入信息化社会, 硅器时代! 过去十多年来, 我国信息产业迅猛发展, 但作为支撑的集成电路产业却相对落后。我国目前生产的集成电路只能满足国内市场需求 20%, 更重要的是, 关系我国信息安全和信息产业需求的关键集成电路如计算机的核心芯片 CPU, 光纤通信系统中的高速电路, Internet 的网关网卡电路, 多媒体中的信息处理电路等大多都是从外国进口的。这无疑极大地威胁着我国信息网络乃至整个国家的安全, 制约着我国微电子行业乃至整个信息行业的发展, 限制着我国微电子产品在国内外市场上的竞争力。

在这样的形势下, 我国的集成电路的技术发展和产业面临着巨大的挑战和机遇。其挑战来自于以下几个方面:

- 世界范围内信息技术和集成电路技术的高速发展;
- 我国加入 WTO 后, 信息产业市场开放带来的外国信息产品的强力推销;
- 国外信息技术和集成电路技术的继续垄断;
- 我国集成电路工艺和技术的相对落后;
- 我国集成电路设计人才的绝对缺少。

事实上, 集成电路设计和制造水平的高低已成为衡量一个国家技术水平的一个重要标准, 同时成为一个国家经济实力和国防实力的一个重要标志。可以预料, 在 21 世纪的前半叶, 集成电路技术将会更加迅速地发展。在我国, 发展集成电路技术以加速社会信息化进程、加强国防力量和保证国家安全已经刻不容缓。

面临挑战的同时, 我国集成电路设计和制造技术的发展面临着一个关键的机遇。这种机遇表现在以下几方面:

- 国家的高度重视。“集成电路及关键元器件核心技术”的掌握已被列入 2006—2020 年“国家中长期科学和技术发展规划纲要”。
- 国防和国家信息安全对集成电路的迫切需求。
- 国内外半导体制造现代化工艺线的不断建设和扩展, 很大程度上已经形成的“等米下锅”(等待高技术含量的电路投入大批制造)或“找米下锅”的局面。
- 我国多条先进(0.18 μm)工艺线在上海、北京和天津等地的兴建为我国先进集成电路的制造提供了条件。
- 我国有数量庞大、可再塑或尽快培育的、支付费用低的集成电路设计与制造技术队伍和智力资源。我国重点大学大多都设有电子、通信、计算机、自动化等学科, 每个学科每年都招收上百名学生, 这些学生有很大一部分(全国超过数十万名)可以通过课程调整和技术实践培养成为集成电路设计人才。
- 至 2004 年 8 月, 教育部和科技部已批准了 17 所高校为国家集成电路人才培养基地的建设单位。

在这种形势下, 集成电路设计人才的培养任务艰巨, 为培养集成电路设计人才所需要的、适应当前技术发展的教材成为急需。

本教材的基础内容来自《VLSI 设计》讲义。已按照该讲义为多届研究生进行了讲授。讲课过程中发现: 研究生大多在本科阶段没有系统学习过集成电路设计; 当前更多需要模拟和模数混合集成电路设计人才; 学生基本上没有接触过集成电路设计工具。

因此在已使用多年的讲义的基础上,根据教育部高等学校电子信息与电气信息类基础课程教学分指导委员会制定的平台课程教学基本要求修订了本教材。

本书的主要内容遵循集成电路设计的流程,讨论集成电路设计的一系列基础知识,共分12章。第1章追溯了集成电路发展的历史,讨论当前集成电路设计流程和环境,了解集成电路制造途径等的有关问题。第2章介绍了集成电路制造相关的材料、结构和理论。第3章为集成电路制造的基本工艺。第4章介绍以双极型硅、CMOS、BiCMOS、MESFET、HEMT等各种有源元件为代表的集成电路器件工艺。第5章介绍MOS场效应管特性。第6章介绍了集成电路器件及SPICE模型。第7章介绍了集成电路版图设计的基本过程和知识。第8章和第9章分别为模拟集成电路和数字集成电路基本单元设计和版图设计。第10章为VLSI集成数字系统设计基础知识。第11章简要叙述了集成电路测试和封装方面的有关问题。第12章为集成电路发展展望。通过这12章的学习,可以使读者能够基本了解集成电路设计和制造的全过程,掌握集成电路设计的基本知识。

本书可以作为电子科学和通信与信息等学科高年级本科生和硕士生的教材,也可作为集成电路设计工程师的参考书。

本教材由王志功教授主编。在王志功的主持下,通过广泛的调查研究,确定了本书的基本大纲。书中第1~9章和第11章由陈莹梅编写,第10章和第12章由朱恩编写,王志功教授完成了其他初稿的准备,并对所有初稿做了全面调整和大量修改并最终定稿。

鉴于集成电路技术一方面发展迅速,另一方面涉及众多技术领域,使得编写一本既能覆盖基础技术,又能跟踪前沿技术的教材变得十分困难。我们虽然尽了力,仍感到难以满意,对于教材中的遗漏和错误,恳望读者批评指正。

作 者

2006年6月12日于东南大学

目 录

第 1 章 集成电路设计概述	1
1.1 集成电路的发展	1
1.2 集成电路设计流程及设计环境	4
1.3 集成电路制造途径	5
1.4 集成电路设计的知识范围	6
思考题	8
第 2 章 集成电路材料、结构与理论	9
2.1 了解集成电路材料	9
2.1.1 硅	10
2.1.2 砷化镓	10
2.1.3 磷化铟	11
2.1.4 绝缘材料	11
2.1.5 金属材料	12
2.1.6 多晶硅	13
2.1.7 材料系统	14
2.2 半导体基础知识	15
2.2.1 半导体的晶体结构	15
2.2.2 本征半导体与杂质半导体	15
2.3 PN 结与结型二极管	16
2.3.1 PN 结的扩散与漂移	16
2.3.2 PN 结型二极管	17
2.3.3 肖特基结二极管	18
2.3.4 欧姆型接触	18
2.4 双极型晶体管基本结构与工作原理	18
2.4.1 双极型晶体管的基本结构	18
2.4.2 双极型晶体管的工作原理	19
2.5 MOS 晶体管的基本结构与工作原理	20
2.5.1 MOS 晶体管的基本结构	20
2.5.2 MOS 晶体管的工作原理	21
2.5.3 MOS 晶体管的伏安特性	21
思考题	25
本章参考文献	25
第 3 章 集成电路基本工艺	27
3.1 外延生长	27
3.2 掩膜版的制造	28
3.3 光刻原理与流程	31
3.3.1 光刻步骤	31

3.3.2 曝光方式	32
3.4 氧化	34
3.5 淀积与刻蚀	34
3.6 掺杂原理与工艺	35
思考题	37
本章参考文献	37
第4章 集成电路器件工艺	39
4.1 双极型集成电路的基本制造工艺	40
4.1.1 双极型硅工艺	40
4.1.2 HBT 工艺	41
4.2 MESFET 和 HEMT 工艺	43
4.2.1 MESFET 工艺	43
4.2.2 HEMT 工艺	44
4.3 MOS 和相关的 VLSI 工艺	46
4.3.1 PMOS 工艺	47
4.3.2 NMOS 工艺	49
4.3.3 CMOS 工艺	52
4.4 BiCMOS 工艺	54
思考题	57
本章参考文献	57
第5章 MOS 场效应管的特性	59
5.1 MOS 场效应管	59
5.1.1 MOS 管伏安特性的推导	59
5.1.2 MOS 电容的组成	60
5.1.3 MOS 电容的计算	62
5.2 MOS 管的阈值电压 V_T	63
5.3 体效应	66
5.4 MOSFET 的温度特性	66
5.5 MOSFET 的噪声	67
5.6 MOSFET 尺寸按比例缩小	67
5.7 MOS 器件的二阶效应	70
5.7.1 L 和 W 的变化	70
5.7.2 迁移率的退化	72
5.7.3 沟道长度的调制	73
5.7.4 短沟道效应引起的门限电压的变化	74
5.7.5 狭沟道效应引起的门限电压的变化	74
思考题	75
本章参考文献	75
第6章 集成电路器件及 SPICE 模型	76
6.1 无源器件结构及模型	76

6.1.1	互连线	76
6.1.2	电阻	76
6.1.3	电容	79
6.1.4	电感	80
6.1.5	分布参数元件	82
6.2	二极管电流方程及 SPICE 模型	85
6.2.1	二极管的电路模型	85
6.2.2	二极管的噪声模型	86
6.3	双极型晶体管电流方程及 SPICE 模型	87
6.3.1	双极型晶体管的 EM 模型	87
6.3.2	双极型晶体管的 GP 模型	90
6.4	结型场效应 JFET (NJF/PJF) 模型	90
6.5	MESFET (NMF/PMF) 模型 (SPICE3.x)	91
6.6	MOS 管电流方程及 SPICE 模型	92
6.7	SPICE 数模混合仿真程序的设计流程及方法	95
6.7.1	采用 SPICE 的电路设计流程	95
6.7.2	电路元件的 SPICE 输入语句格式	96
6.7.3	电路特性分析语句	102
6.7.4	电路特性控制语句	104
6.7.5	SPICE 电路输入文件举例	106
	思考题	107
	本章参考文献	108
第 7 章	集成电路版图设计	109
7.1	工艺流程的定义	109
7.2	版图几何设计规则	110
7.3	图元	113
7.4	电学设计规则	118
7.5	布线规则	119
7.6	版图设计	120
7.7	版图验证	123
7.8	版图数据提交	124
	思考题	124
	本章参考文献	125
第 8 章	模拟集成电路基本单元	126
8.1	电流源电路设计	126
8.1.1	双极型镜像电流源	126
8.1.2	MOS 电流镜	128
8.2	基准电压源设计	129
8.2.1	双极型三管能隙基准源	130
8.2.2	MOS 基准电压源	131

8.3	单端反相放大器电路设计	132
8.3.1	基本放大电路	132
8.3.2	改进的 CMOS 推挽放大器	136
8.4	差分放大器电路设计	137
8.4.1	BJT 差分放大器	137
8.4.2	MOS 差分放大器	138
8.5	运算放大器电路	139
8.5.1	性能参数	140
8.5.2	套筒式共源共栅运放	141
8.5.3	折叠式共源共栅运放	143
8.5.4	两级运放	146
8.6	振荡器	147
8.6.1	多谐振荡器	147
8.6.2	环形振荡器	148
8.7	D/A 与 A/D 转换	149
8.7.1	数模转换 (D/A)	149
8.7.2	模数转换 (A/D)	151
	思考题	152
	本章参考文献	153
第 9 章	数字集成电路基本单元与版图	154
9.1	TTL 基本电路	154
9.1.1	TTL 反相器	154
9.1.2	TTL 与非门	155
9.1.3	TTL 或非门	156
9.2	CMOS 基本门电路及版图实现	157
9.2.1	CMOS 反相器	157
9.2.2	CMOS 与非门和或非门	166
9.2.3	CMOS 传输门和开关逻辑	168
9.2.4	三态门	170
9.2.5	驱动电路	171
9.3	数字电路标准单元库设计	172
9.3.1	基本原理	172
9.3.2	库单元设计	173
9.4	焊盘输入/输出单元	174
9.4.1	输入单元	174
9.4.2	输出单元	175
9.4.3	输入/输出双向三态单元 (I/O PAD)	182
9.5	了解 CMOS 存储器	183
9.5.1	动态随机存储器 (DRAM)	185
9.5.2	静态随机存储器 (SRAM)	190

9.5.3 闪存	193
思考题	195
本章参考文献	195
第 10 章 数字 VLSI 系统设计基础	196
10.1 HDL 语言简介	196
10.1.1 VerilogHDL 语言介绍	196
10.1.2 硬件描述语言 VHDL	205
10.2 数字系统结构设计	211
10.2.1 主要设计方法	212
10.2.2 设计流程中的重点问题	212
10.3 逻辑综合	214
10.3.1 逻辑综合的流程	216
10.3.2 Verilog HDL 与逻辑综合	219
10.4 数字系统的 FPGA/CPLD 硬件验证	222
10.4.1 GA 概述	223
10.4.2 PLD 概述	224
10.4.3 现场可编程门阵列 (FPGA)	225
10.4.4 PLD 的开发	230
10.5 自动布局布线	231
思考题	235
本章参考文献	235
第 11 章 集成电路的测试和封装	236
11.1 集成电路在芯片测试技术	236
11.2 集成电路封装形式与工艺流程	238
11.3 芯片键合	240
11.4 高速芯片封装	242
11.5 混合集成与微组装技术	243
11.6 数字集成电路测试方法	243
11.6.1 可测试性的重要性	243
11.6.2 测试基础	244
11.6.3 可测试性设计	245
思考题	247
本章参考文献	247
第 12 章 集成电路发展展望	249
12.1 先进集成电路工艺展望	249
12.2 SoC、SoPC、IP 和嵌入式系统概念	252
12.2.1 SoC、SoPC 和 IP 的概念	252
12.2.2 嵌入式系统概念	257
12.3 SoC 发展的新增长点: 生物芯片和微机电系统	262
思考题	263
本章参考文献	263

第 1 章 集成电路设计概述

1.1 集成电路的发展

微电子技术是当代信息技术的一大基石。1947 年美国贝尔实验室的 William B. Shockley、Walter H. Brattain 和 John Bardeen 发明了晶体管,为此他们获得了 1956 年的诺贝尔物理学奖。图 1.1 所示为代表这一具有划时代意义的点接触式晶体管的照片。

1958 年 12 月 12 日,在德州仪器公司(TI)从事研究工作的 Jack Kilby 发明了世界上第一块集成电路(IC, Integrated Circuit),为此他在 42 年之后获得了 2000 年的诺贝尔物理学奖。图 1.2 所示为 Jack Kilby 发明的世界上第一块集成电路的照片。

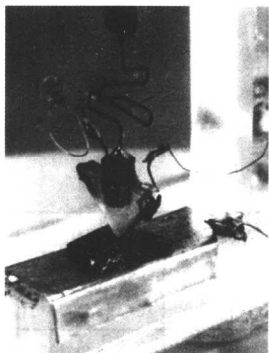


图 1.1 最原始的点接触式晶体管

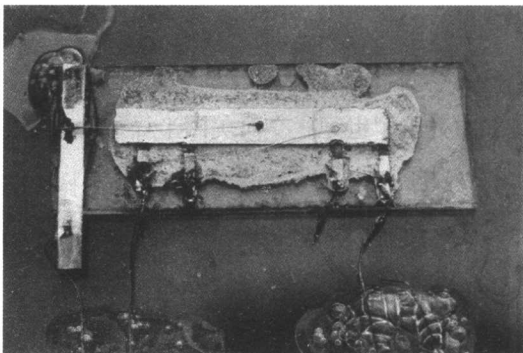


图 1.2 Jack Kilby 发明的世界上第一块集成电路

以上两项革命性的发明推进人类社会进入微电子时代和信息时代。表 1.1 所示为 1947 年以来集成电路相关工艺技术、电路规模和产品的发展概况。

表 1.1 集成电路工艺技术、电路规模和产品的发展概况

年份	1947	1950	1961	1966	1971	1980	1990	2000	2003
工艺	晶体管	分立元件	SSI	MSI	LSI	VLSI	ULSI	GSI	SOC
产品芯片上晶体管大约数目	1	1	10	100~1000	$1 \times 10^3 \sim 2 \times 10^4$	$2 \times 10^4 \sim 1 \times 10^6$	$1 \times 10^6 \sim 1 \times 10^7$	$>1 \times 10^7$	$>5 \times 10^7$
典型产品	结型晶体管	结型晶体管和二极管	平面器件、逻辑门、触发器	计数器、复接器、加法器	8 位微处理器、ROM、RAM	16 位、32 位微处理器、复杂外围电路	专用处理器、虚拟现实机、灵巧传感器	PIII	P4、手机、芯片等

尽管英文中有 VLSI、ULSI 和 GSI 之分,但 VLSI 使用最频繁,其含义往往包括了 ULSI 和 GSI。而中文中把 VLSI 译为超大规模集成,更是包含了 ULSI 和 GSI 的意义。

1965 年英特尔 (Intel) 公司创始人 Gorden E. Moore 提出了著名的摩尔 (Moore) 定律: 集成电路的集成度, 即芯片上晶体管的数目, 每隔 18 个月增加一倍或每 3 年翻两番。由图 1.3 可以看出, 30 多年来, 以动态随机存储器 and 英特尔公司的微处理器为代表的两大类集成电路的规模几乎都是准确地按照 Moore 定律发展的。

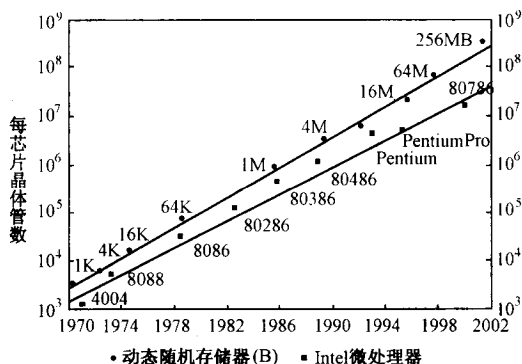


图 1.3 集成电路规模按摩尔定律发展的趋势

表 1.2 中列出了世纪之交时美国半导体协会制定的集成电路制造技术进程路标 (Roadmap)。

表 1.2 集成电路制造技术进程路标

年 份	1999	2001	2003	2006	2009
工 艺	0.18 μm	0.15 μm	0.13 μm	0.1 μm	0.07 μm
晶体管数/个	21M	40M	76M	200M	520M
面积/ mm^2	340	385	430	520	620
时钟/MHz	1 200	1 400	1 600	2 000	2 500
金属层数/个	6~7	7	7	7~8	8~9
V_{dd}/V	1.65	1.35	1.35	1.05	0.75
布线长度/m	1 480		2 840	5 140	10 000
缓存器	25k		54k	230k	797k

下面结合表 1.2 对集成电路技术发展趋势给出几点概括。

① 集成电路的特征尺寸向深亚微米发展。目前的规模化生产是 0.18 μm 工艺, 0.15/0.13 μm 工艺开始向规模化生产迈进, 90 nm 工艺正在推出。图 1.4 从左到右所示为按比例画出的宽度为 4 μm ~70 nm 的线条。由此, 可以对特征尺寸的按比例缩小建立一个直观的印象。

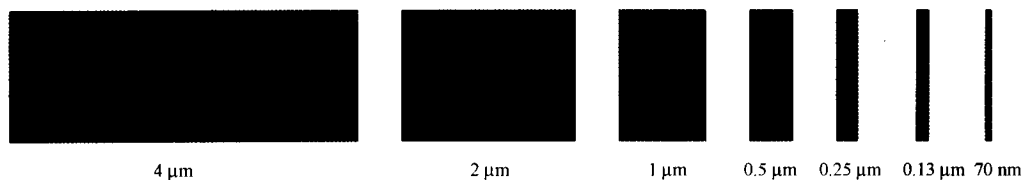


图 1.4 特征尺寸从 4 μm ~70 nm 的成比例减小的线条

② 晶圆的尺寸增加。当前的主流晶圆的尺寸为 8 英寸, 正在向 12 英寸晶圆迈进。图 1.5

从左到右所示为按比例画出的2~12英寸的圆。由此，可以对晶圆尺寸的增加建立一个直观的印象。通过图1.6中一个12英寸晶圆与人脸大小的对比，可以对一个12英寸晶圆的大小建立一个直观的印象。

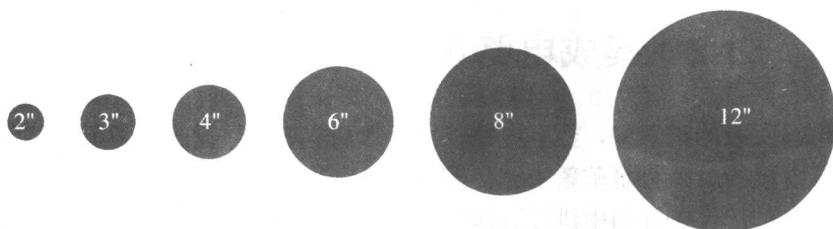


图 1.5 2~12 英寸成比例增加的晶圆



图 1.6 一个12英寸晶圆与人脸大小的对比

- ③ 集成电路的规模不断提高。CPU (P4) 已超过4 000万晶体管，DRAM已达Gb规模。
- ④ 集成电路的速度不断提高。采用0.13 μm CMOS工艺实现的CPU主时钟已超过2 GHz，实现的超高速数字电路速率已超过10 Gb/s，射频电路的最高工作频率已超过6 GHz。
- ⑤ 集成电路复杂度不断增加。系统芯片，或称芯片系统 SoC (System-on-Chip)，成为开发目标。
- ⑥ 模拟数字混合集成向电路设计工程师提出挑战。
- ⑦ 集成电路器件制造能力按每3年翻两番，即以每年增长58%的速度提升，而电路设计能力每年只以增长21%的速度提升，电路设计能力明显落后于器件制造能力，且其鸿沟 (Gap) 呈现越来越宽的趋势。
- ⑧ 集成电路产业连续几十年的高速增长和巨额利润导致世界范围内集成电路生产线的大量建设，目前已经出现过剩局面。
- ⑨ 工艺线建设投资费用越来越高。目前一条8英寸0.35 μm 工艺线的投资约20亿美元，但在几年内一条12英寸0.09 μm 工艺线的投资将超过100亿美元。如此巨额的投资已非单独一个公司，甚至一个发展中国家所能单独负担的。
- ⑩ 制造集成电路的掩膜很贵。根据SemaTech报告，“一套130 nm逻辑器件工艺的掩膜大约需75万美元，一套90 nm的掩膜将需160万美元，一套65 nm的掩膜将高达300万美元”。然而，每套掩膜的寿命有限，一般只能生产1 000个晶圆。
- ⑪ 工艺线投资的高成本和设计能力的普遍落后，导致多数工艺线走向代工（代客户加

工, Foundry) 的经营道路。

⑫ 电路设计、工艺制造、封装的分立运行为发展无生产线 (Fabless) 和无芯片 (Chipless) 集成电路设计提供了条件, 为微电子领域发展提供了条件。

1.2 集成电路设计流程及设计环境

在集成电路发展的过程中, 数字电路曾经以其基本单元数量少、易于大规模集成而占据主导地位。其发展的总趋势是革新工艺、提高集成度和速度。在此过程中, 电路设计大多在工艺制造单位内部的设计部门中进行。这样的设计是有生产线集成电路设计。在这一阶段, 无生产线单位一方面难以加入花巨额投资才有可能参与的工艺革新竞争行列, 另一方面难以参与芯片设计和实现。

随着集成电路规模的爆炸式扩展, 以及模拟数字混合集成系统的广泛需要, 知识密集型的芯片设计变得比技术密集型的芯片制造重要起来。另一方面, 集成电路生产的高利润前景引发了众多生产线在世界各地的建造, 从而导致了集成电路产业生产能力的剩余, 即生产线“无米下锅”局面的出现。人们需要更多的功能芯片设计, 从而促进了集成电路设计的发展并使得不少设计公司应运而生。这些设计公司拥有设计人才和技术, 但不拥有生产线, 成为无生产线 (Fabless) 集成电路设计公司。在国外, 现在已有众多这样的公司在运作, 如美国硅谷就有 200 多家 Fabless 集成电路设计公司, 其中有 50 多家上市公司。中国台湾有这样的大中型公司 100 多家。芯片设计单位和工艺制造单位的分离, 即芯片设计单位可以不拥有生产线而存在和发展, 而芯片制造单位致力于工艺实现 (代客户加工, 简称代工), 已成为集成电路技术发展的一个重要特征。

图 1.7 形象地示出集成电路的无生产线设计与代工制造之间的关系。可以沿着图中从代工单位左上行到设计单位, 再右直行到代工单位, 最后左下行到设计单位的 S 曲线, 对整个集成电路设计和制造过程加以描述。

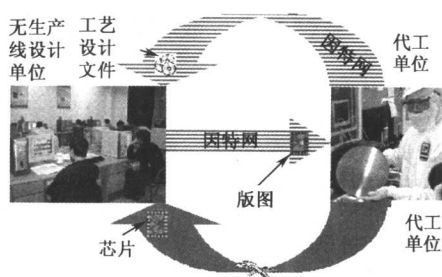


图 1.7 集成电路的无生产线设计与代工制造之间的关系

首先, 代工单位将经过前期开发确定的一套工艺设计文件 (PDK, Process Design Kits) 通过因特网传送 (或光盘等媒介邮寄) 给设计单位, 这是一次信息流过程。PDK 文件包括工艺电路模拟用的器件的 SPICE 参数, 版图设计用的层次定义, 设计规则, 晶体管、电阻、电容等元件和通孔 (Via)、焊盘等基本结构的版图, 与设计工具关联的设计规则检查 (DRC, Design Rule Check)、参数提取 (EXtraction) 和版图电路图对照 (LVS, Layout-Vs-Schematic) 用的文件。

设计单位根据研究项目提出的技术指标,在自己掌握的电路和系统知识基础上,利用 PDK 提供的工艺数据和 CAD/EDA 工具,进行电路设计、电路仿真(或称为“模拟”)和优化、版图设计、设计规则检查 DRC、参数提取和版图电路图对照 LVS,最终生成以 GDS-II 格式保存的版图文件,然后通过因特网传送给代工单位。这也是一次信息流过程。

代工单位根据设计单位提供的 GDS-II 格式的版图数据,首先制作掩膜(Mask),将版图数据定义的图形固化到由铬板等材料制成的一套掩膜上。一张掩膜一方面对应于版图设计中的一层图形,另一方面对应于芯片制作中的一道或多道工艺。正是在一张张掩膜的参与下,工艺工程师完成芯片的流水式加工,将版图数据定义的图形最终有序地固化到芯片上。这一过程通常简称为“流片”。根据掩膜的数目和工艺的自动化程度,一次流片的周期约为 2 个月。代工单位完成芯片加工后,根据路程远近,利用飞机等不同的快速运输工具寄送给设计单位。

设计单位对芯片进行参数测试和性能评估,符合技术要求时,进入系统应用,从而完成一次集成电路设计、制造和测试与应用的全过程。否则就需进行改进和优化,才能进入下一次循环。

1.3 集成电路制造途径

国内近几年建立的 Foundry(代工)厂家和转向为代工的厂家有:无锡上华,拥有 0.6/0.5 μm CMOS 工艺和 4 μm BiCMOS 工艺;上海先进半导体公司,拥有 1 μm CMOS 工艺;首钢 NEC,拥有 1.2/0.8 μm CMOS 工艺;上海华虹 NEC,拥有 0.35 μm CMOS 工艺;上海中芯国际,拥有 8 英寸晶圆 0.25/0.18 μm CMOS 工艺。国内在建、筹建的代工厂家有:宏力 8 英寸晶圆 0.25/0.18 μm CMOS 工艺,华虹 NEC 的 8 英寸晶圆 0.25 μm CMOS 工艺,台积电(TSMC)在松江筹建的 8 英寸晶圆 0.18 μm CMOS 工艺,联华(UMC)在苏州筹建的 8 英寸晶圆 0.18 μm CMOS 工艺,等等。

表 1.3 所示为境外主要代工厂家所在的地区和其主导工艺。

表 1.3 境外主要代工厂家所在的地区和其主导(特有)工艺

中国台湾	新加坡	韩国	欧洲	美国
TSMC(台积电) (CMOS/BiCMOS)	Chartered(特许) (CMOS/BiCMOS)	Dongbu (东部)	STM (CMOS/BiCMOS)	Orbit
UMC(联华) (CMOS/BiCMOS)			AMS (CMOS/BiCMOS)	Agilent (CMOS)
Win(稳懋) (GaAs)			OMMIC (GaAs)	IBM/Jazz (SiGe)
				Vitesse (GaAs/InP)
				Peregrine (SOI/SOS)

上述集成电路无生产线设计与代工制造的 F&F (Fabless and Foundry) 模式体现着分工合作的现代大生产潮流。但是,要采用这种模式开展集成电路设计人才培养、技术研究和小规模

创业, 仍有一系列问题需要解决。首先 F&F 模式是一条很长的技术和管理的链, 链中存在着各种环节。同时, 如上所述, 无生产线 IC 设计与代工制造之间需要建立信息流和物流的渠道。要连通技术和管理的各个环节, 要开辟信息流和物流的全部渠道, 需要投入巨大的人力、物力和财力。这无疑不是每一个教育和研究单位, 或一个中小公司所能够和值得去做的。

因此, 工业发达国家通过组织无生产线 IC 设计的芯片计划来促进集成电路设计的专业发展、人才培养、技术研究和中小企业产品开发, 已经取得成效。其做法是, 由政府有关部门资助; 由一至几所大学或研究所作为龙头单位, 负责人员培训、技术指导、版图汇总、组织芯片的工艺实现、性能测试和封装; 各大学微电子学科的教师、本科生和研究生, 研究机构的课题组及中小电子企业作为工程直接受益群体, 以自愿的形式参加, 按占用芯片面积支付芯片制造费, 并支付必要的人员培训、芯片测试与封装等费用; 工艺实现单位按协议参加芯片工程, 从芯片制造和日后的批量生产中得到利益; 电路设计自动化软件提供单位按协议参加芯片工程, 优惠提供软件产品, 通过扩大产品销量和开辟潜在市场得到利益。

在这样的芯片工程中, 除了 IC 设计工具代购和人才培养之外, 芯片工程组织单位的一项重要任务, 就是开展多项目晶圆 MPW (Multi-Project Wafer) 技术服务。

MPW 技术最初是集成电路研发机构为降低芯片开发成本而引入的芯片制造技术。我们知道, 现在国际上主流的硅片直径为 8 英寸。如果在同一硅片上只试制一种集成电路, 这样芯片研发的成本可能就非常高。例如, 单纯制作 $0.35\ \mu\text{m}$ CMOS 工艺的一套掩膜就需要支付数十万美元, 一次流片又要支付上万美元。如果将 5~10 万美元的费用仅用于一种芯片的试制, 如果不是一次流片成功, 那费用和 risk 就太高了, 不要说一个学校或研究所的研究课题, 就是一个大型公司的项目, 都难以承担。如图 1.8 所示, MPW 技术是把几到几十种工艺上兼容的芯片拼装到一个宏芯片 (Macro-Chip) 上, 然后以步进的方式排列到一到多个晶圆上。这样可使昂贵的制版和硅片加工费用由几十种芯片分担。如果同时加工 50 种芯片, 则每种芯片的制造费用就大约减少到单独制造时的 $1/50$, 从而极大地降低了芯片研制成本。事实上, 在一个晶圆上还可以通过变换版图数据交替地布置多种宏芯片。

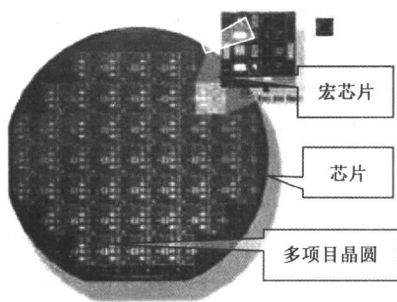


图 1.8 芯片、宏芯片和以宏芯片为单元步进构成的多项目晶圆

1.4 集成电路设计的知识范围

集成电路发展到现在的 SoC, 既不再是模拟的“放大器”或数字的“与非门”一类的基本单元电路的概念, 也不再是模拟的“锁相环”或数字的“全加器”一类的功能电路的概念, 甚至不再是模拟的“接收机”或数字的“CPU”一类子系统的概念, 而是变成了包含多种模

拟和数字子系统、硬件和软件功能的复杂的信息处理系统。因此,集成电路设计需要的知识范围已大大扩展。概括起来可分为以下4个方面。

(1) 系统知识

这里的系统范围很广:对于计算机学科,有计算机的软件系统和硬件系统;对于通信学科,有程控电话系统、无线通信系统、光纤通信系统等;对于信息学科,有各种信息处理系统;对于控制学科,有各种控制系统。如果说以往从事系统研究的工程师是在器件和电路工程师完成的工作基础上构建系统的话,到了 SoC 时代,系统工程师必须亲自参与 SoC 级别集成电路的设计。另一方面,以往的器件和电路工程师在 SoC 时代必须熟悉系统,以实现 SoC 的设计。这就是说,所有的集成电路设计工程师都必须掌握一定的系统知识。这些知识包括软件和硬件两个方面。对于从事前端设计的工程师来讲,则对系统的理解必须达到精通的程度。

(2) 电路知识

既然是集成电路设计,电路知识就是核心知识。集成电路设计工程师,特别是在逻辑门级、晶体管级和版图级从事设计的工程师,必须对各类功能电路和基本单元电路的原理和设计技术达到融会贯通的程度。集成电路设计相对于数字电路、模拟电路和模数混合电路设计而言,需要更多的知识、技术和经验。射频电路 RFIC、微波单片集成电路 MMIC、毫米波单片集成电路 M³IC、Gb/s 速度级超高速集成电路的设计,更需要特殊的知识、技术和经验。

(3) 工具知识

从 VLSI 到 SoC,芯片上晶体管的数目达到了数千万量级,它们形成的网络方程的阶数可能达到同样量级。我们知道,小于 10 阶的线性方程也许还可以用手工求解,10 阶以上就很难想像用手工计算了。何况晶体管本身是非线性器件,由它们组成的网络方程是高度复杂的非线性方程。另外,系统级芯片不仅包含硬件部分,还包含软件部分。这样的芯片绝非用手工可以分析和设计的。事实上,从小规模集成电路开始,人们就引入了计算机辅助设计(CAD, Computer-Aided Design)技术,开发了一系列 CAD 软件工具。SPICE 程序就是著名的集成电路分析程序,经过 30 余年的发展,如今已成为集成电路设计的工业标准。

随着设计自动化程度的提高,出现了如 Cadence、Synopsys 和 Mentor Graphics 等开发电子设计自动化(EDA, Electronic Design Automation)软件的专业公司,开发出一系列 EDA 软件工具。现在,从功能验证,逻辑分析和综合,电路分析到版图设计都有多家公司提供的多种类型软件工具的支持。

因此,集成电路设计工程师必须根据所从事的设计任务和内容掌握相应的软件工具。例如,在逻辑电路级从事设计的工程师就需要掌握 VHDL 或 Verilog HDL 等硬件描述语言及相应的分析和综合工具。在晶体管级从事电路设计的工程师就需要掌握 SPICE 或类似的电路分析工具。设计版图时则需要版图设计工具。

(4) 工艺知识

集成电路的设计,特别是涉及后端(Back-end)即物理层(Physical Layer)的设计与工艺制造息息相关。无生产线加代工模式的 IC 设计工程师虽然不需要直接参与集成电路的工艺流程,掌握工艺的每一个细节,但掌握 IC 设计所用元器件的特性和物理数学模型,了解制造工艺的基本原理和过程,对于 IC 的成功设计是大有帮助的。事实上,集成电路设计工程师最好是熟悉集成电路制造过程中,从芯片外延和掩膜制作,一步步光刻,材料淀积和刻蚀,杂质扩散或注入,一直到滑片封装的全过程,关心每一步工艺对元器件和电路性能的影响。