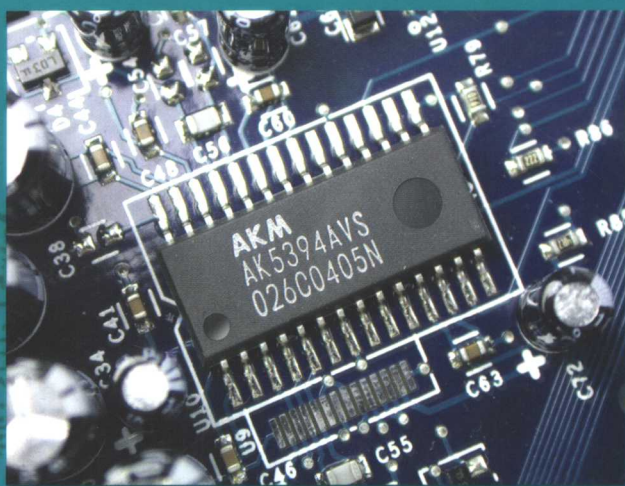


DSP

综合应用技术

张家田 严正国 刘峰 编著



本书介绍了 DSP 技术的发展概况和现状;介绍了 DSP 组成的应用系统的一般结构和工作原理;以 TMS320C3X 为例,详细论述了其硬件结构、指令系统、集成开发环境 (CCS) 的使用方法、数字信号处理常用算法的理论基础及 C 语言的实现、硬件接口方法及应用系统实例。本书内容全面、实用性强,应用实例全部来自科研实践。

本书可作为高等院校工科电子类本科和研究生教材,也可作为 DSP 应用系统设计的参考书,供工程技术人员参考。

图书在版编目 (CIP) 数据

DSP 综合应用技术/张家田等编著. —北京:机械工业出版社, 2007. 1

ISBN 7-111-20267-8

I. D... II. 张... III. 数字信号 - 信号处理 IV. TN911.72

中国版本图书馆 CIP 数据核字 (2006) 第 128370 号

机械工业出版社 (北京市百万庄大街 22 号 邮政编码 100037)

责任编辑:于苏华 版式设计:张世琴 责任校对:李秋荣

封面设计:鞠 杨 责任印制:杨 曦

北京机工印刷厂印刷

2007 年 1 月第 1 版第 1 次印刷

184mm × 260mm · 16.25 印张 · 402 千字

定价:23.00 元

凡购本书,如有缺页、倒页、脱页,由本社发行部调换

销售服务热线电话:(010) 68326294

购书热线电话:(010) 88379639 88379641 88379643

编辑热线电话:(010) 88379711

封面无防伪标均为盗版

前 言

随着微电子科学的发展、信息技术的不断进步，DSP 技术得到飞速发展及应用。DSP 理论和技术已经深入到各个工业领域之中，是本世纪初各种新技术的一个基础支持。

数字信号处理（DSP）相对于模拟信号处理有很大的优越性，表现在精度高、灵活性强、可靠性高、集成度高、存储方便等方面。电路系统中可以采用多种性能优良的数字信号处理方法和算法。随着人们对实时信号处理要求的不断提高和大规模集成电路技术的迅速发展，数字信号处理技术也发生着日新月异的变革。

数字信号处理技术的工程应用，包含基本理论和应用理论，也包括应用技术。DSP 泛指数字信号处理（Digital Signal Processing）与数字信号处理芯片（Digital Signal Processor）。工程上关心的是 DSP 应用技术，所以该学科实际上要求学好两个基础，即数字信号处理的理论基础与数字信号处理器的硬件基础。多年来，DSP 技术的这种理论与技术、软件与硬件的结合应用被看成是高深的理论与技术。实际上掌握该门技术并不难，只要把上面提到的两个基础学好，结合工程应用背景进行深入的理解，就能达到应用 DSP 技术的目的。

全书共分六章。第 1 章 DSP 应用技术综述，主要讲述了数字信号处理的发展历程及主要内容、数字信号处理器（DSP）概述、DSP 实现方案及设计流程等内容；第 2 章 TMS320C3x 系列 DSP 硬件，主要以 TMS320C3x 系列为例讲解了 DSP 的硬件结构及各部分的工作原理；第 3 章 DSP 汇编编程基础，主要讲述了汇编语言的指令系统；第 4 章 CCS 集成开发环境的使用方法，主要讲述 DSP 的开发工具环境；第 5 章数字滤波器与傅里叶变换，主要讲述 DSP 的基本应用，侧重数字信号处理方法；第 6 章 TMS320C3x 应用实例，简要介绍应用方法。

本书由张家田编写第 1 章，严正国编写第 2 章、第 6 章，刘峰编写第 4 章、第 5 章的 5.1、5.2 节，苏娟编写第 3 章、第 5 章的 5.3、5.4 节。闫相国教授审阅了书稿。苏娟负责整理全书的图表，并对全文进行了校对。研究生李惠玲、雷燕、季静、邓程华和孙宝权也为本书的编写作了大量工作。

由于编者的水平有限，书中难免存在错误，希望读者批评指正。

编 者
2006 年 8 月
于西安石油大学

目 录

前言

第1章 DSP 应用技术综述..... 1

- 1.1 数字信号处理的发展历程及主要内容 ... 1
- 1.2 数字信号处理器概述 1
- 1.3 DSP 实现方案及设计流程 4
- 1.4 现代 DSP 设计流程概述 12
- 1.5 两类 DSP 解决方案的比较 16

第2章 TMS320C3x 系列 DSP 硬件..... 22

- 2.1 TMS320C3x 系列简介 22
- 2.2 TMS320C3x 系列 DSP 硬件结构 25
- 2.3 存储器和高速缓存 45
- 2.4 外设 51
- 2.5 DMA 控制器 69

第3章 DSP 汇编编程基础 78

- 3.1 TMS320C3x 数据格式 78
- 3.2 寻址方式 90
- 3.3 汇编语言指令 104
- 3.4 程序流程控制 113
- 3.5 程序加载 131

第4章 CCS 集成开发环境使用方法 ... 137

- 4.1 CCS 的安装和设置 138

- 4.2 CCS 的基本操作 140

- 4.3 CCS 集成编辑器 150

- 4.4 CCS 工程管理工具 159

- 4.5 CCS 的断点和探测点 165

- 4.6 文件输入和输出 173

- 4.7 图形窗口 175

- 4.8 存储器映射 177

- 4.9 监视窗口 179

- 4.10 CCS 的评价器 181

- 4.11 通用扩展语言 GEL 186

第5章 数字滤波器与傅里叶变换 196

- 5.1 数字滤波器概述 196

- 5.2 IIR 滤波器 201

- 5.3 FIR 滤波器 215

- 5.4 傅里叶变换分析 225

第6章 TMS320C3x 应用实例 243

- 6.1 处理器初始化 243

- 6.2 外部接口及应用实例 248

- 6.3 利用 TMS320C3x 实现软件 UART 252

参考文献 256

第1章 DSP 应用技术综述

数字信号处理 (DSP, Digital Signal Processing) 相对于模拟信号处理有很大的优越性,表现在精度高、灵活性大、可靠性高、集成度高、存储方便等方面。电路系统中可以采用多种性能优良的数字信号处理方法和算法。随着人们对实时信号处理要求的不断提高和大规模集成电路技术的迅速发展,数字信号处理技术也发生着日新月异的变革。

1.1 数字信号处理的发展历程及主要内容

数字信号处理亦称信号的数字处理。从信号的数字处理技术的研究史来看,可以归纳为几个阶段:信号解析手段的研究阶段,各种模拟信号的数字化阶段,信号数字处理技术本身发展阶段,现代数字信号处理阶段。前两个阶段在时间上处于17世纪到18世纪离散数学诞生再到20世纪60年代之间,第三阶段是以1965年 Colley-Tukey 提出快速傅里叶变换算法为标志,数字信号处理技术主要用于图像处理、快速数据传输、生物医学系统等领域。现代数字信号处理阶段,其特点是随着数字信号处理的飞速发展,新理论、新算法不断涌现,而数字信号处理的应用领域也正在飞速发展。

数字信号处理理论经过30多年的发展已经形成了比较完善的理论体系。主要内容有:

- 1) 信号的采集 (A/D 技术、抽样定理、多抽样率、量化噪声分析等)。
- 2) 离散信号的分析 (时域及频域分析、多种变换技术、信号特征的描述等)。
- 3) 离散系统分析 (系统的描述、系统的单位抽样响应、转移函数及频率特性等)。
- 4) 信号处理中的快速算法 (快速傅里叶变换、快速卷积与相关等)。
- 5) 信号的估值 (各种估值理论、相关函数与功率谱估计等)。
- 6) 滤波技术 (各种数字滤波器的设计与实现)。
- 7) 信号的建模 (最常用的是 AR、MA、ARMA、PRONY 等各种模型)。
- 8) 信号处理中的特殊算法 (如抽取、插值、奇异值分析、反卷积、信号重建)。

现在,信号处理进入了一个新的发展时期。信号处理在优化、自适应、高分辨率、多维多通道等一些主要领域内的理论和方法日趋系统化。对系统的分析已不再限于理想模型,而是考虑到各种实际因素,研究其鲁棒性;对性能的描述也不仅仅停留在定性的水平,而是要做出系统的统计性能评价。

1.2 数字信号处理器概述

1.2.1 DSP 的功能特点

实时数字信号处理技术的核心和标志是数字信号处理器。自第一个微处理器问世以来,处理器技术水平得到了迅速提高,而快速傅里叶变换等实用算法的提出也促进了专门实现数

字信号处理的一类微处理器的分化和发展。数字信号处理有别于普通的科学计算与分析,它强调运算处理的实时性,因此 DSP 除了具备普通微处理器所强调的高速运算、控制功能外,还针对实时数字信号处理,在处理器结构、指令系统、指令流程上做了很大的改动,其结构特点如下:

- 1) DSP 普遍采用了数据总线和程序总线分离的哈佛结构及改进的哈佛结构,比传统处理器的冯·诺依曼结构(数据与程序共用一套总线)有更高的指令执行速度。
- 2) DSP 大多采用流水技术,即每条指令都有片内多个指令单元分别完成取指、译码、取数、执行等步骤,从而在不提高时钟频率的条件下减少了每条指令的执行时间。
- 3) 针对滤波、相关、矩阵运算等需要大量乘法累加运算的特点, DSP 大都配有独立的乘法器和加法器,使得在同一时钟周期内可以完成相乘、累加两个运算。有的 DSP 可以同时完成乘、加、减运算,大大加快了 FFT 的蝶形运算速度。
- 4) 片内有多条总线可以同时进行取指令和多个数据存取操作,并且有辅助寄存器用于寻址,它们可以在当前访问前后自动修改内容,以指向下一个要访问的地址(自动变址),并且支持循环寻址和位反序寻址。
- 5) 具有软、硬件功能,能与各种存储器接口。
- 6) 许多 DSP 带有 DMA 通道控制器,以及串行通信口等,配合片内多总线结构,数据块传送速度将大大提高。
- 7) 配有中断处理器和定时控制器,可以很方便地构成一个小规模系统。
- 8) 低功耗,一般为 $0.5 \sim 4\text{W}$,采用低功耗技术的 DSP 只有 0.05W ,可用电池供电,对嵌入式系统很适合,而一般的微处理的功耗要 $20 \sim 50\text{W}$ 。

DSP 面向高速、重复性、数值运算密集型的实时处理,以 FFT、相关为例,高性能 DSP 不仅处理速度快,而且可以不间断地完成数据的实时输入输出。DSP 结构相对单一,普遍采用汇编编程,其处理完成时间的可预测性要比结构指令复杂、依赖于编译系统的普通微处理器强得多。以设计一个 FIR 滤波器为例,每输入一个数据,对应每阶滤波器系数,需要的操作是:一次乘、一次加、一次取指、二次取指,有时还需专门的数据移动操作。DSP 可以单周期完成这些乘加并行操作以及三四次数据存取操作,而普通微处理器则需要至少四个指令周期。

正是基于 DSP 的这些优势,在高性能普通微处理器(如 Pentium MMX、Power PC604e 等)片内已经融入了 DSP 的功能,以这种通用微处理器构成的计算机在网络通信、图像处理、实时数据处理等方面的效率大大提高了。

自 1985 年第一片数字信号处理器 TMS320C10 问世以来, DSP 发展大致经历了几个阶段,形成了目前 DSP 产品的三个档次:最早是以 TMS320C10/C2x 为代表的 16 位定点 DSP,目前这类 DSP 仍在广泛使用,但代之以更为先进的 TMS320C2XX/C54XX、ADSP218X 等型号;20 世纪 80 年代末推出了 32 位浮点 DSP,目前代表产品有 ADSP21020、TMS320C3X 等型号;最近几年推出了性能更高的并行 DSP 和超级性能 DSP,如 ADSP2106X、TMS320C4X 和 TMS320C67X、ADSP21160 等型号。

不同型号的 DSP 适用于不同场合。定点 DSP 可以胜任大多数数字信号处理场合,但在某些场合,如雷达、声纳信号处理中,数据的动态范围很大,按定点处理会发生数据溢出或下溢出,严重时使得处理无法进行。如果用移位定标或用定模拟浮点运算,程序执行速度将

大大降低。浮点 DSP 的出现解决了这些问题,大大提高了数据动态范围,常见的 16 位定点 DSP 动态范围仅为 96dB,每增加 1bit,动态范围随之增加 6dB。而 32bit 浮点数据的动态范围为 1536dB。动态范围越大,则数据溢出的可能性越小,处理精度也越高。

32bit 浮点 DSP 除了速度、功耗、成本外的各项指标上都好于定点 DSP,它还可以完成 32bit 定点数运算,其编程要比定点 DSP 简单、方便,目前的高级语言(如 C 语言)编译器主要面向浮点 DSP,这使得在普通计算机上的源码程序无需大的修改就可以移植到 DSP 设计中。

尽管目前已经有了峰值运算能力达每秒 10 亿次的 DSP,但相对于人们要求的每秒几百亿次、上千亿次的运算速度来说还远远不够。而且 VLSI 技术的发展已经受到其开关速度极限的限制,进一步提高 DSP 主频所遇到的难度和付出的成本越来越大,单处理器性能的提高空间受到限制。为此,在 DSP 技术中引入了并行处理技术。许多 DSP 的多级流水处理、相乘/累加同时进行等功能已经引入了片内并行处理技术。TMS320C6X 进一步发展了超长指令(VLIW)和多流水线技术。在每条长达 256bit 的指令字中规定了多条流水线、多个处理单元的并行操作。DSP 并行技术的主流则是向片内/片间并行发展,因为这种并行可以不受限制地扩大规模。以 DSP320C4X 和 ADSP2106X 为代表的 DSP 为用户提供了设计规模并行系统的硬件基础。它们提供了六个通信接口,可以组成松耦合的分布式并行系统。同时为共享总线系统的设计提供了相应的总线控制信号线,可以组成紧耦合的总线共享式并行系统。这些 DSP 在为设计者提供更高性能的同时,其软硬件设计的复杂度和难度也大大增加了。

1.2.2 DSP 的应用领域

随着 DSP 性能的迅速提高和成本的大幅度下降,其应用范围不断扩大,成为当前产量和销售增长最快的电子产品之一。DSP 应用几乎遍及整个电子领域,其常见的典型应用有如下几种:

1) 通用数字信号处理:数字滤波、卷积、相关、FFT、希尔伯特变换、自适应滤波、窗函数、波形发生等。

2) 通信:高速调制解调、编/译码器、自适应均衡器、传真、程控交换机、蜂窝移动电话、数字基站、数字留言机、回音消除、噪声抑制、电视会议、保密通信、卫星通信、TD-MA/FDMA/CDMA 等各种通信制式。随着互联网的迅猛发展,DSP 又在网络管理/服务、信息转发、IP 电话等新领域扮演着重要角色,而软件无线电的提出和发展进一步增强了 DSP 在无线电通信领域的作用。第三代移动通信和软件无线电为高速 DSP 提供了更高水平的应用领域。

3) 语音处理:语音识别、合成、矢量编码、语音信箱等。

4) 图形/图像处理:三维图像变换、模式识别、图像增强、动画、电子出版、电子地图等。

5) 自动控制:磁盘、光盘、打印机伺服控制、发动机控制等。

6) 仪器仪表:测量数据谱分析、自动监测及分析、动态分析、勘探、模拟试验等。

7) 生物医学电子:助听器、CT 扫描、超声波、心电图、核磁共振、医疗监护等。

8) 军事与尖端科学:雷达和声纳信号处理、雷达成像、自适应波束合成、阵列天线信

号处理、导弹制导、火控系统、导航、GPS 目标搜索跟踪、尖端武器试验、航空航天试验、宇宙飞船、侦察卫星等。

9) 计算机与工作站: 阵列处理机、计算加速卡、图形加速器、多媒体计算机等。

10) 日用电子: 数字电视、高清晰度电视、图像/声音压缩解压器、VCD/DVD/CD 播放机、电子玩具、游戏机、数字留言/应答机、汽车电子装置、音响合成、楼宇电子安全系统、家电电脑控制装置等。

1.3 DSP 实现方案及设计流程

不断发展的数字信号处理 (DSP) 技术迅速地扩展到了其应用领域, 如 3 G 移动通信、网络会议、多媒体系统、雷达卫星系统、医学仪器、实时图像识别与处理、联合战术无线电系统、智能基站以及民用电器等, 所有这一切在功能实现、性能指标与成本方面都在不断增加其要求。

在过去很长一段时间, DSP 处理器 (如 TI 的 TMS320 系列) 是 DSP 应用系统核心器件的惟一选择。尽管 DSP 处理器具有通过软件设计能适用于实现不同功能的灵活性, 但面对当今迅速变化的 DSP 应用市场, 特别是面对现代通信技术的发展, DSP 处理器早已显得力不从心。例如其硬件结构的不可变性导致了其总线的不可改变性, 而固定的数据总线宽度, 已成为 DSP 处理器一个难以突破的瓶颈。DSP 处理器的这种固定的硬件结构特别不适合于当前许多要求能进行结构特性随时变更的应用场合, 即所谓面向用户型的 DSP 系统, 或者说是用户可定制型, 或可重配置型的 DSP 应用系统 (Customized DSP 或 Reconfigurable DSP 等), 如软件无线电、医用设备、导航、工业控制等方面。至于在满足速度要求方面, 由于采用了顺序执行的 CPU 架构, DSP 处理器则更加不堪重负。

面向 DSP 的各类专用 ASIC 芯片虽然可以解决并行性和速度的问题, 但是高昂的开发设计费用、耗时的设计周期及不灵活的纯硬件结构, 使得 DSP 的 ASIC 解决方案日益失去其实用性。

现代大容量、高速度的 FPGA 的出现, 克服了上述方案的诸多不足。在这些 FPGA 中, 一般都内嵌有可配置的高速 RAM、PLL、LVDS、LVTTTL 以及硬件乘法累加器等 DSP 模块。用 FPGA 来实现数字信号处理可以很好地解决并行性和速度问题, 而且其灵活的可配置特性, 使得 FPGA 构成的 DSP 系统非常易于修改、易于测试及硬件升级。

在利用 FPGA 进行 DSP 系统的开发应用上, 已有了全新的设计工具和设计流程。DSP Builder 就是 Altera 公司推出的一个面向 DSP 开发的系统级工具, 它是作为 MATLAB 的一个 Simulink 工具箱 (ToolBox) 出现的。MATLAB 是功能强大的数学分析工具, 广泛应用于科学计算和工程计算, 可以进行复杂的数字信号处理系统的建模、参数估计、性能分析。Simulink 是 MATLAB 的一个组成部分, 用于图形化建模仿真。

DSP Builder 作为 Simulink 中的一个工具箱, 使得用 FPGA 设计 DSP 系统完全可以通过 Simulink 的图形化界面进行, 只要简单地进行 DSP Builder 工具箱中的模块调用即可。值得注意的是, DSP Builder 中的 DSP 基本模块是以算法级的描述出现的, 易于用户从系统或者从算法级进行理解, 甚至不需要了解 FPGA 本身和硬件描述语言。

为了满足 DSP 技术领域中的各种需求以及顺应 DSP 市场的发展, DSP 应用系统的实现

方式和目标器件的品种类型、结构特点乃至开发技术本身都经历着不断的改进和变革。

1.3.1 常用 DSP 应用器件及其性能特点

如前所述, DSP 作为数字信号的算法的实现方案有多种, 对于不同的应用领域、适用范围和指标要求, 可以选用不同的解决方案和 DSP 系统的实现器件。目前, 为了完成 DSP 的开发与应用, 可选的目标器件有如下四类:

- DSP Processor DSP 处理器;
- ASICs (Application-Specific Integrated Circuits) 专用集成电路;
- ASSPs (Application-Specific Standard Products) 专用标准电路模块;
- FPGA。

DSP Processor 主要是指目前最常用的基于 CPU 架构的器件, 通过软件指令的方式完成 DSP 算法。早期的 DSP 处理器 (如大多数 DSP 实验室中采用的 TMS320VC5402) 中只有一个乘法器, 而现在的处理器 (如 C6000 系列) 中, 有的已达八个乘法器, 工作性能有了很大的提高。

Processor 在硬件结构上的不断改进, 并没有摆脱传统 CPU 的工作模式。因而, 尽管拥有多个硬件乘法器, 使用了环形叠代的方法进行乘法操作, 且许多 DSP 处理器还拥有使用多乘法器的并行指令, 用于加速算术运算。然而由于其顺序的工作方式、较低的数据处理速率, 以及缺乏实时工作的性能, 使其至今仍只适合于低端的数字信号处理。

传统的 DSP 开发者通常都选用 DSP 处理器来构成 DSP 应用系统。DSP 处理器的优势主要是具有很好的通用性和灵活性, 有适用于各种 DSP 算法实现的通用硬件结构。图 1-1 所示的是一种比较典型的 DSP 系统电路图, 除了选用的是 DSP 处理器以及应用程序加载工作方式外, 与普通单片机应用系统十分相似, 只要将调试好的机器码放在程序 ROM 中, 就能使系统正常工作。因此通过这种硬件结构, 能对实现各种数据处理的程序进行有效地执行。由此可知, 这种灵活性几乎是没有限制的。因为, 只要能用对应指令程序表达出 DSP 算法, 其硬件结构便能接受并执行。

然而, 各种算法可实现的灵活性与各种技术指标的可实现性, 以及硬件结构的可变性完全是两回事。

ASSP 和 ASIC 是专门针对完成某种 DSP 算法的集成电路器件, 因此在性能指标、工作速度、可靠性和应用成本上优于 DSP 处理器。如卷积相关器 IMSA100、FFT 处理器 A41102、复乘加器组 PDSP16116、求模/相角器 PDSP16330、下变频/信号解调器 HSP50214 等。其优秀的工作性能主要源于特定的算法全部由 ASSP 和 ASIC 中的硬件电路完成。ASSP 是半定制集成电路, 在许多 DSP 算法的实现方面 (如 FIR、IIR 滤波器) 都优于 DSP 处理器, 但在功能重构以及应用性修正方面缺乏灵活性; ASIC 虽然有一定的可定制性, 但开发周期长, 而且有一个最小定制量, 因此应用风险和开发成本过高, 正在逐渐失去其实用性。

但若直接使用 FPGA 完成 DSP 功能, 则能在许多实用领域综合 DSP 处理器与 ASIC/ASSP 器件的优点, 再加上 FPGA 本身的诸多优势, 即能有效克服传统 DSP 系统的弱点。

由 FPGA 构成的 DSP 电路可以同样以并行或顺序方式工作。如图 1-2 所示, 在并行工作方面, FPGA 与 ASIC/ASSP 相当, 远优于 DSP 处理器。对 DSP 处理器需要大量运算指令完成的工作, FPGA 只需一个时钟周期的时间就能完成。而在顺序执行方面, FPGA 也比 DSP

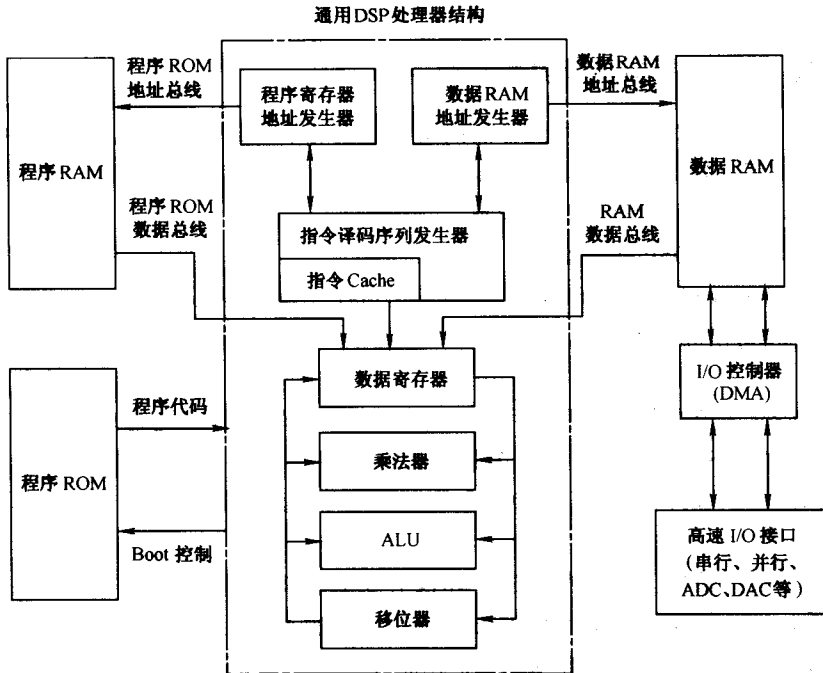


图 1-1 基于通用 DSP 处理器的 DSP 系统

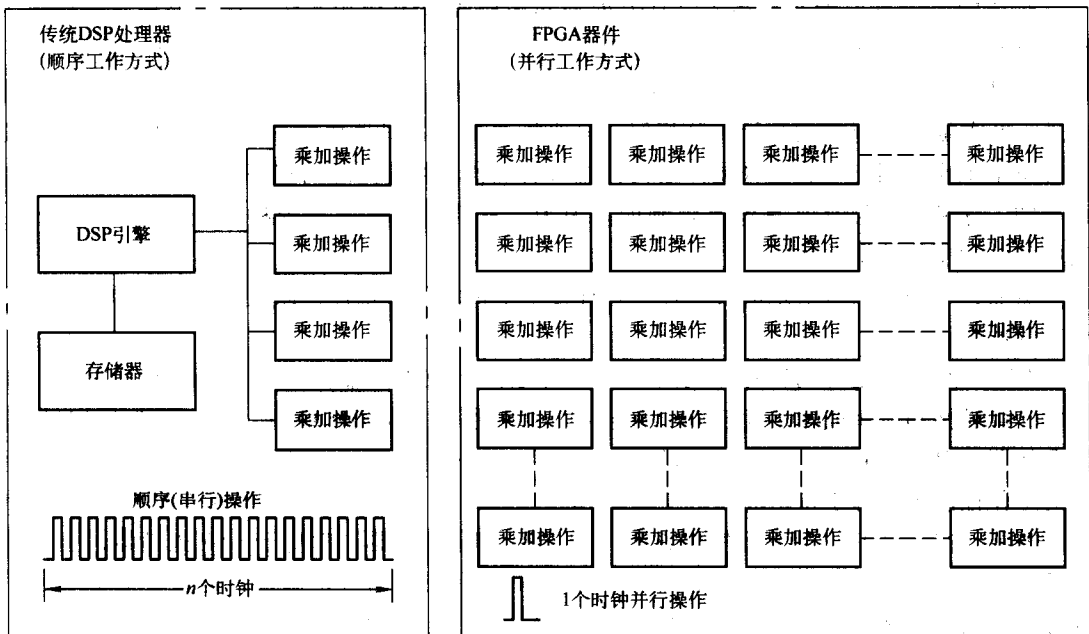


图 1-2 DSP 处理器顺序工作方式与 FPGA 的并行工作方式

处理器快，因为 FPGA 中可以使用各种状态机，或使用嵌入式微处理器来完成，并且每一顺序工作的时钟周期中都能同时并行完成许多执行，而 DSP 处理器却不能。就灵活性而言，FPGA 的灵活性远胜于 ASIC/ASSP，也胜于 DSP 处理器。

DSP 处理器的灵活性主要表现在软件更改的容易性以及对各种算法的处理和复杂算法的实现上,而对于系统硬件本身的更改,DSP 是没有任何灵活性可言的。

现代大容量 FPGA 以其相关的开发技术在可重配置的 DSP 应用领域,以及 DSP 数据大吞吐量和数据的纯硬件处理方面,有独特的优势。FPGA 面对传统的 DSP 处理器诸多难以克服的技术瓶颈,已有了突破性的应用。在各种 DSP 应用场合,FPGA 具有全硬件的用户可定制性以及重配置性,即可根据需要随时通过改变 FPGA 中构成 DSP 系统的硬件结构来改变系统的功能、技术指标、通信方式、硬件加密算法、编解码方式等。

这种结构变化可以由 DSP 开发者在开发时完成,也能在 DSP 系统投入实用中随时“在系统”更改,这就是所谓的可重配置特性。所以,基于 FPGA 实现的 DSP 系统,具有完全的硬件结构可定制性,包括总线结构的可定制性、存储器的可定制性、硬件加速器模块的结构与数量的可定制性以及大量的 MAC (乘加器)模块的可选性(系统设计中的硬件结构可变性称为可定制性,即 Customized;系统设计完成后、成为产品后仍能随开发者甚至用户的要求随时进行硬件结构重构的,称为可重配置性,即 Reconfigurable)。

1.3.2 DSP 处理器结构与性能的发展

DSP 处理器与普通处理器的基本差异是 DSP 处理器中有硬件乘加模块(MAC)、专用的存储器以及适用于高速数据运行的总线结构。

MAC 的工作性能通常是 DSP 处理器性能的关键所在。DSP 应用系统主要是完成一些诸如 FFT、FIR、IIR、矩阵相乘、卷积等算法。大部分的算法涉及到乘加结构的数学计算(如 $y = a(b + c(d))$),这称为乘法累加操作(MAC)。为了提高 DSP 的性能,DSP 处理器生产厂商在提高 MAC 模块硬件性能的同时增加它们的数量,以提高乘加的位宽与速度。例如,TI 的 TM320C6411 中有八个 MAC,能在一个时钟周期中完成八个乘法运算。

尽管在 DSP 处理器中增加更多的 MAC 单元能进一步提高 DSP 的吞吐量,但对于某些一般数据处理量比较大的 DSP 算法,其通用性能却下降了,例如 Viterbi 编译码器和 FIR 滤波器就属于这种情况。为了解决这个问题,DSP 生产厂商又将一些专用的硬件加速器类的协处理器模块加入处理器结构。如 Viterbi 协处理器、Turbo 协处理器和增强型滤波器协处理器等。由于这些处理器本身的非通用性,即主要是倾向于某种或某些算法的协处理器,从而导致了 DSP 处理器无法适用于多种类型的 DSP 算法和 DSP 应用。结果成本增加了,通用性下降了。

因此,大部分 DSP 应用场合并没有从这种增加了各种硬件加速器的 DSP 结构的变化中得到扩大。不但如此,这种硬件加速器模块是一种固定的硬件结构,无法根据特定的设计需要来作任何更改,特别是面向当今通信领域中不断发生的各种技术标准和协议的变更,这种加速器模块容易很快过时,从而导致整个 DSP 应用系统的过时。

针对这种情况,DSP 处理器生产商又试图在 DSP 中增加一些可定制的指令,以便能对结构功能根据要求作一定的改变。然而这些修补并没有从根本上解决问题。

为了弥补速度及吞吐量的不足,实用的 DSP 系统使用多片 DSP 处理器进行并行工作已经是十分普遍的事,但这同时导致了系统在灵活性、功耗、成本、体积、可靠性等技术性能上的进一步变差。

1.3.3 FPGA 的结构与性能的发展

FPGA 器件是由大量逻辑宏单元构成的。通过配置,可以使这些逻辑宏单元形成不同的硬件结构,从而构成不同的电子系统,完成不同的功能。正是 FPGA 的这种硬件重构的灵活性,使得设计者能够将硬件描述语言(如 VHDL 或 Verilog)描述的电路在 FPGA 中实现。这样一来,同一块 FPGA 能实现许多完全不同的电路结构和功能。如 DSL 布线器、数字调制解调器、JPEG 编码器、数字通信系统以及网络接口等。

随着达数百万门高密度的 FPGA 的出现,FPGA 在原有高密度的逻辑宏单元的基础上嵌入了许多面向 DSP 的专用硬核模块,结合大量可配置于 FPGA 硬件结构中的参数化的 DSP IP 软核,DSP 开发者能十分容易地将整个 DSP 应用系统实现在一片 FPGA 中,从而实现了所谓的可编程 SOC 系统,即 SOPC。

FPGA 中的面向 DSP 的嵌入式模块有可配置 RAM、DSP 乘加模块和嵌入式处理器等,使 FPGA 能很好地适用于 DSP 功能的实现。例如 Altera 的 Stratix 系列器件中含有丰富的 DSP 功能块,包括能完成诸如累加、加/减、并行加等通用算法的功能模块,有多达 224 个乘法器,在一个时钟周期中就能完成 224 次乘法操作。

乘法器的带宽决定了整个 DSP 的带宽,而 FPGA 的 DSP 带宽比 DSP 处理器要宽得多。例如,Stratix 器件的 DSP 模块能提供 70GMACs 的吞吐量,而目前主流的 DSP 处理器只能达到 4.8 GMACs。

此外,绝大部分 DSP 处理器应用系统是用外部存储器来解决大数据量处理的。然而 FPGA 的嵌入式高速可配置存储器在大多数情况下都能满足相类似的数据处理要求。例如,Stratix 系列的 FPGA 可提供速率达 10 Mbit/s 的嵌入式 RAM。

FPGA 中的嵌入式处理器进一步提高了 FPGA 的系统集成性和灵活性,使之成为一个软件与硬件联合开发及灵活定制的结合体,可使设计者既能在嵌入式处理器中完成系统软件模块的开发和利用,也能利用 FPGA 的通用逻辑宏单元完成硬件功能模块的开发。Altera 的 FPGA 器件还为用户提供了嵌入式处理器软核与硬核的选择。

嵌入式处理器软核是由网表文件表达的硬件结构,当与其他设计一同配置于 FPGA 中后,就成为 FPGA 芯片中的一个硬处理器核。高效率的 SOPC 设计能很容易地将软核(如 Nios 嵌入式处理器)连同与该核相关的外围接口系统一同编程下载进同一片 FPGA 中。设计者能根据实际应用的需要定制 Nios 软核,使之满足不同的总线数量、总线宽度和总线功能要求,优化总线设计,排除传统 DSP 中许多常见的问题,还能定制处理器的指令,此时 Nios 的开发软件编译器将自动作相应的变化。这种结构可变(可定制)的 DSP 处理器能很好地根据实际的需求,在性能/功能与结构大小之间作最好的平衡,以适用于不同的 DSP 应用领域。

硬核处理器主要指在 Excalibur 系列 FPGA 中的 ARM 核。这种核已预先嵌入在 FPGA 中,含有完整的外围接口系统,如 SDRAM、存储器控制单元、UART 等。

现代的 FPGA 中含有十分灵活的、针对特定算法的加速器模块。与传统 DSP 处理器中的加速器模块不同,FPGA 中实现的硬件加速器是可以针对不同应用的,这可以使设计者针对不同的 DSP 任务实现硬件功能。设计者针对具体任务在 FPGA 中实现硬件加速器模块的途径很多,主要有下述几种:

- 用硬件描述语言 HDL 完成;
- 基于通用逻辑宏单元 LCs 的 HDL 设计;
- 基于可配置的 DSP 硬核模块: 存储器、乘法器、并行加法器、累加器等;
- 基于全参数可设置的 DSP 软 IP 核的应用 (进入 FPGA 后其将成为性能优良的硬件模块);
- Nios 软核处理器;
- ARM 硬核处理器。

在基于 FPGA 的 DSP 开发中, 面向 DSP 的 IP 核的应用是最方便的设计方案。由 Altera 与其 AMPP 合作伙伴 (Altera Megafunction Partner Program) 提供针对 DSP 设计的各种用于硬件加速的 IP 核, 大致可分为以下五类:

- 1) 通用 IP 核 (如 FIR、IIR、NCO、FFT 等)。
- 2) 图像处理 IP 核 (如 JPEG、DCT 等)。
- 3) 调制 IP 核 (如 QPSK、Equalizer 等)。
- 4) 编码 IP 核 (如 DES、Rjindael 等)。
- 5) 纠错 IP 核 (如 Viterbi、Turbo、CRC 等)。

以上的每一个核都可以利用 Quartus II 中的 “MegaWizard Plug-In Manager” 管理器进行参数设置以构成针对特定应用的硬件功能模块。这种通过软件设置能随意改变专用硬件模块功能的技术, 极大地提高了 FPGA 在 DSP 设计方面的灵活性。IP 核的利用, 可以使设计者将 IP 核加入到任何标准硬件描述语言中, 完成特定的功能而不改变原来的设计程序; 即使在设计和设计完成后, 也能根据实际需要改变嵌入的 IP 核的技术参数, 而不改变整体设计综合得来的代码, 从而改变 DSP 系统的技术指标和硬件功能。此外, IP 核本身基本不依赖于某种特定的 FPGA 硬件结构, 即具有硬件通用性 (这一点与 DSP 处理器及其库程序有很大不同), 因此可以在更新、更廉价的 FPGA 中实现。

显然, FPGA 与软 IP 核的巨大灵活性能适应通信领域中各种应用, 诸如 Wireless802.11a、Wireless Broadband Working Group 802.16 及 HiperLAN12 等新标准的要求, 而不必像使用传统 DSP 处理器那样, 要等待很长时间才能有适用的器件出现, 或是在开发前期必须针对某种通信的标准, 而费时费力地确定某款合适的 DSP 处理器型号。

1.3.4 基于 DSP 处理器的 DSP 设计流程

图 1-3 是传统的 DSP 系统的典型开发流程。大致步骤如下:

1) DSP 开发者首先使用诸如 MATLAB 这样的数学开发工具对 DSP 算法进行优化设计和仿真测试, 或用 Simulink 进行 DSP 系统建模, 以获得满足功能要求和适应硬件特点的算法模型。

尽管现在已有可将 Simulink 的 DSP 模型直接转换成 DSP 处理器的 C 程序, 但由于器件通用性问题, 特别由于 C 程序的运行效率问题, 通过 MATLAB 途径获得的 C 程序几乎没有实用价值。

2) 根据 DSP 目标系统的功能要求、技术指标、系统升级可行性、性能标准可能的变化以及成本限度等因素, 具体确定 DSP 处理器 (并行使用的) 数量和型号。这时必须十分熟

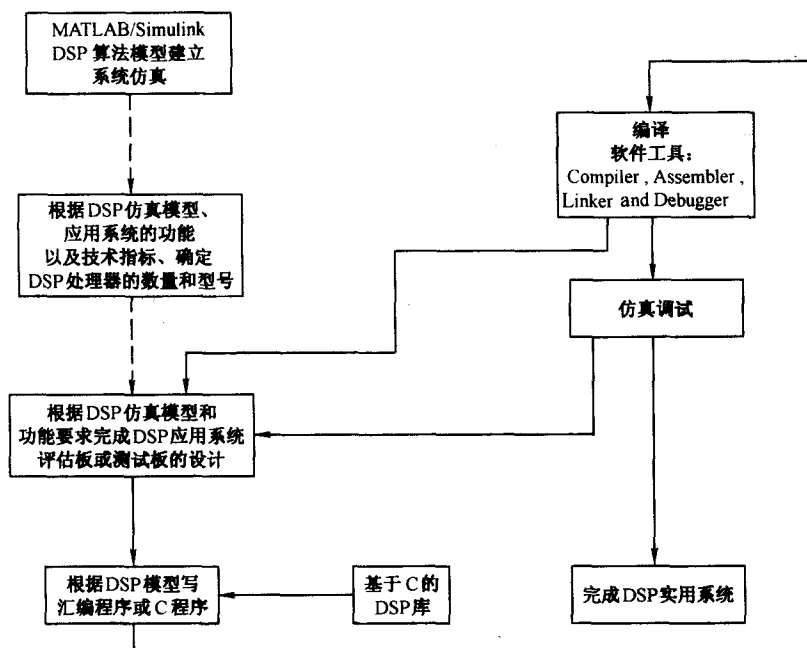


图 1-3 基于 DSP 处理器的开发流程

悉当前主流 DSP 器件的详细硬件特性与价格范围，同时还要与手头的 DSP 开发软硬件工具和功能块程序库结合起来考虑。由于目前 DSP 处理器的厂商、品种、系列、功能、适用面以及价格等因素差异较大，准确无误地确定 DSP 处理器的品种不但十分棘手，同时也事关重大。因为如果当系统最终设计并调试完成后，若发现由于 DSP 处理器导致的某项技术指标不能达到，或在以后的某项技术规范的升级要求中无法实现，将出现必须重新开发整个硬件系统的严重局面。

3) 根据选定的 DSP 处理器和系统功能要求，完成应用系统评估板或测试板的设计，否则无从调试 DSP 软件程序，更无法验证实际系统中各项技术指标的可实现性及应用系统的可行性。

4) 根据 MATLAB 的算法模型和 DSP 评估板的硬件结构，编写 C、C++ 程序，或汇编程序。在 DSP 标准开发环境中（如 TI 的 CCS）进行编译、仿真，然后通过 DSP 硬件仿真器在应用板或评估板上进行调试和实时仿真。这一过程中，还能使用基于 C 的标准 DSP 功能块库来加速开发进程。

但是如果考虑到系统的实时性，包括数据运算、采样和输出的高速高效性，就必须使用汇编语言来完成设计，这时就必须严格考虑具体的器件型号和对应的指令系统，因为不同系列的 DSP 器件的指令系统通常是不兼容的。

在仿真调试过程中，可能出现的问题是各方面的，最棘手的当属硬件系统从设计一开始在可行性上就出现问题，这时只能重新进行 DSP 应用系统的设计。

5) 最后实现实用硬件系统。

1.3.5 基于 FPGA 的 DSP 设计流程

在早些时候, DSP 开发者只能直接使用 VHDL 或 VerilogHDL 语言进行 FPGA 的 DSP 系统设计, 难度比较大。现在已经出现了许多新的基于 FPGA 的 DSP 开发工具, 如 DSP Builder、SOPC Builder、System Generator 等以及完整的软件开发平台, 从而使得设计者能遵循一条类似于软件设计流程的开发方法进行 FPGA 的 DSP 设计, 设计效率大为提高。

图 1-4 ~ 图 1-7 概括了基于 FPGA 的几种不同的 DSP 系统设计流程。

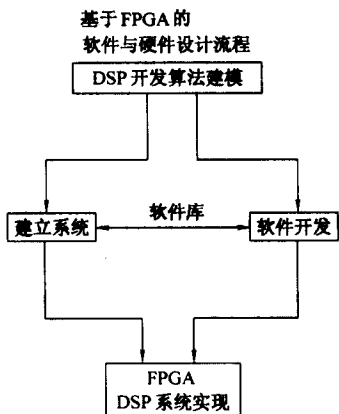


图 1-4 基于 FPGA 的软件与硬件开发流程

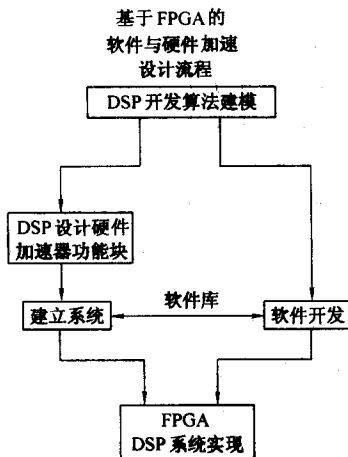


图 1-5 基于 FPGA 的软件与硬件加速设计流程

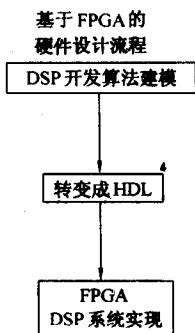


图 1-6 基于 FPGA 的硬件开发流程

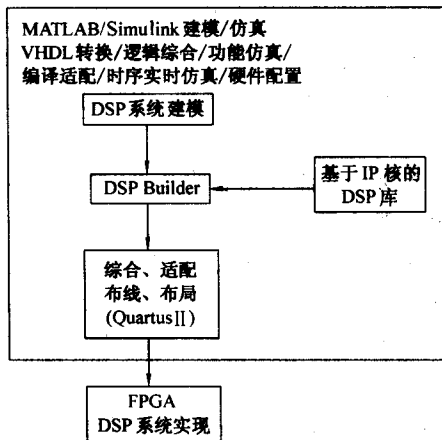


图 1-7 基于 FPGA 的系统级开发流程

1. 基于 FPGA 的软件与硬件的设计流程

图 1-4 所示的是含有嵌入式处理器的 FPGA 支持软件设计流程。Altera 提供的软件开发工具有 GNUPro 套件, 可用于编译、调试、汇编和连接。设计前可将编译好的软件下载到 FPGA 中的内部 RAM 上或是外部存储器中。

2. 应用硬件加速单元 (IP 核) 的 FPGA 软件与硬件的设计流程

图 1-5 所示流程与以上的设计流程比较相似, 这种流程除了要求有嵌入式处理器外, 还要有硬件加速器, 从而可以使 DSP 系统在灵活性、功能和成本方面都有很好的提高。

DSP 开发者可以将软件设计流程与硬件加速模块结合起来。可以首先进行 C 程序的编程, 并且将其中必须的部分形成专用、高效的功能块, 使用 DSP IP 核或直接开发定制指令, 在 FPGA 中可以加速系统功能的高效实现, 而其他一些要求不高的 DSP 算法以及系统控制程序则可在嵌入式 Nios 中完成。此外, Altera 还提供了系统级的设计工具, 即 SOPC Builder。设计者可以通过将嵌入式处理器 (如 Nios)、系统接口模块以及 IP 核结合起来完成整个硬件系统的设计。

DSP Builder 也提供了一个从 MATLAB/Simulink 直接到 FPGA 硬件实现的设计接口。DSP Builder 极大地简化了 DSP 功能的硬件实现流程, 并提供了系统级仿真测试功能, 设计者甚至可以不了解硬件描述语言 HDL 的设计流程, 不必懂硬件描述语言本身, 也能进行 DSP 应用系统的 FPGA 开发。

3. 基于 FPGA 的硬件设计流程

如图 1-6 所示, DSP 设计者还能使用基于 HDL 的设计流程完成纯硬件的 DSP 系统开发。Altera 提供了一套完整的 FPGA 开发工具, 包括 Quartus II 以及其他第三方 EDA 工具, 如 Modelsim、Synplify 以及 LeonardoSpectrum 等, 这些工具能完成硬件设计建模、仿真、综合、调试和在系统中进行 DSP 测试等。如果使用已得到良好优化的基于 HDL 的 DSP IP 核, 则能大大简化整个开发过程。

4. 基于 FPGA 的系统级硬件设计流程

图 1-7 所示的流程就是本书将重点介绍的 DSP 开发流程。

与图 1-3 相比, 一个重要的区别在于 DSP 处理器的设计流程中 MATLAB 工具的使用仅是作 DSP 算法的建模和基于纯数学的仿真, 其数学模型无法为硬件 DSP 应用系统直接产生实用的程序代码, 其仿真测试的结果也仅仅是基于数学的算法结果, 既非系统仿真, 也非功能仿真, 更非实时时序仿真, 因而只能起到计算机辅助设计和辅助分析的作用 (所以在流程转换中用虚线表示)。

图 1-7 所示的流程则表明基于 FPGA 的 DSP 开发流程中, 顶层的开发工具就是 MATLAB/Simulink, 整个开发流程几乎完全可以在同一环境中完成! 真正实现了自上向下的设计流程, 包括 DSP 系统的建模、系统级仿真、设计模型向 VHDL 硬件描述语言的代码转换、RTL 级功能仿真测试、编译适配和布局布线、时序实时仿真, 直至对 DSP 目标器件的编程配置。整个设计流程一气呵成地将系统描述和硬件实现有机地融为一体, 充分显示了现代电子设计自动化开发的特点和优势。

图 1-7 的设计流程将在下一节给予进一步的说明。

1.4 现代 DSP 设计流程概述

本节简要介绍基于 MATLAB/Simulink、DSP Builder 和 Quartus II 等工具软件的 DSP 开发流程。由图 1-7 可见, 整个设计流程, 包括从系统描述直至硬件实现, 可以在一个完整的设计环境中完成, 同时构成了一个自上向下的典型 EDA 流程。因此这个流程不仅仅适用于 DSP 开发, 同样适用于 EDA 技术和 SOPC 设计。

如图 1-8 所示, 设计流程从利用 MATLAB 建立 DSP 电路模型开始。电路模型的建立可以是图形化的, 可以方便地利用 Simulink 与 DSP Builder 中提供的丰富的功能块和 IP 核进行设计。DSP Builder 包括比特和周期精度的 Simulink 模块, 还涵盖了诸如算术和存储功能的基本设计模块以及 IP 库中的许多复杂的功能模块。电路中的功能模块和 IP 的技术参数、数据格式、数据类型和总线宽度等都可以直接设置。电路模型设计完成后, 可以进行系统级的模型仿真, 属于系统功能仿真, 与目标器件和硬件系统没有关系, 是基于算法的仿真。图 1-9 是 Simulink 中的一个幅度调制设计模型电路和仿真结果。

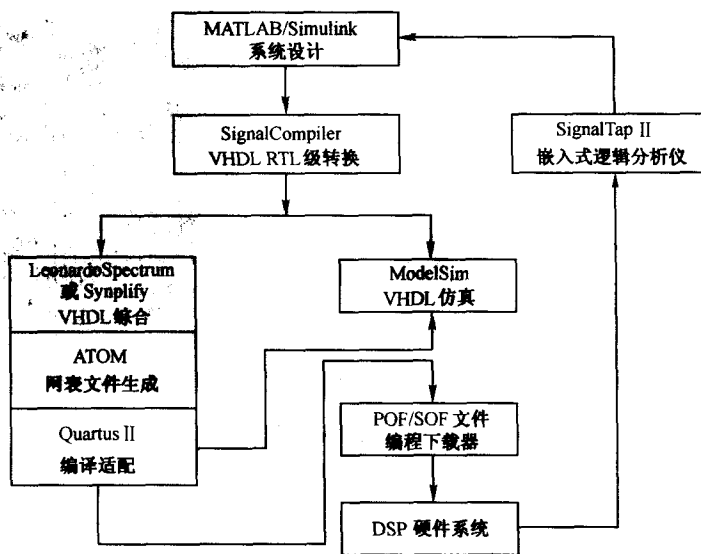


图 1-8 DSP Builder 设计流程

在图 1-8 中还能看到利用嵌入式逻辑分析仪的一个测试流程。SignalTap II 嵌入式逻辑分析仪的应用是现代 DSP 技术中最有特色的测试技术之一, 这项技术只能在 FPGA 的开发中使用。SignalTap II 必须能够随心所欲地嵌入目标器件或从中撤走。SignalTap II 可以直接插在 Simulink 模型电路中任何一处或多处, 并可随该电路一同编译、适配和下载到 DSP 硬件系统的目标芯片中。在目标芯片指定的通道上, 嵌入的 SignalTap II 能根据给定的触发条件采集电路信号, 并通过目标芯片的 JTAG 下载口将信号回送到 PC 机, 然后在 MATLAB 界面上显示出来。一旦完成测试, 可以通过模型修正和编译, 将 SignalTap II 从目标器件中撤消。图 1-9 所示为 DSP 电路模型和系统功能的仿真。

接下来是利用置于 Simulink 电路模型界面的 DSP Builder 的 SignalCompiler, 将电路模型文件即 Simulink 模块文件 (.mdl) 转换成 RTL 级的 VHDL 代码表述和 Tcl (工具命令语言) 脚本。这种转换是基于 Simulink 模型的结构化分析的。RTL 级 VHDL 代码通俗的解释就是在 FPGA 中完成硬件电路实现的 VHDL 程序 (因为并非所有的 VHDL 语句都能对应实际的硬件电路)。Tcl 脚本主要是用于对后续 VHDL 综合与仿真的控制及规范 (注意, 就目前基于 FPGA 的 DSP 设计工具而言, 包括 Altera 的 DSP Builder 和 Xilinx 的 System Generator, 都只能将 Simulink 模型转换成 VHDL, 而非 Verilog HDL)。