

高等学校电子科学与工程教材

EDA技术与VHDL(第2版)

潘 松 黄继业 编著

0806 电气信息科学类

- 080601 电气工程及其自动化
- 080602 自动化
- 080603 电子信息工程
- 080604 通信工程
- 080605 计算机科学与技术
- 080606 电子科学与技术
- 080607 生物医学工程



清华大学出版社

内 容 简 介

本书系统地介绍了 EDA 技术和 VHDL 硬件描述语言, 将 VHDL 的基础知识、编程技巧和实用方法与实际工程开发技术在先进的 EDA 设计平台——Quartus II 上很好地结合起来, 使读者能通过本书的学习迅速了解并掌握 EDA 技术的基本理论和工程开发实用技术, 并为后续的深入学习和发展打下坚实的理论与实践基础。

依据高校课堂教学和实验操作的规律与要求, 并以提高学生的实际工程设计能力和自主创新能力为目的, 全书内容作了恰当的编排, 共分 6 个部分: EDA 技术的概述; FPGA/CPLD 器件的结构原理; VHDL 实用技术; Quartus II 及 IP 核的详细使用方法; 基于 VHDL 的 16 位 CPU 设计技术; 基于 MATLAB 和 DSP Builder 平台的详细的 EDA 设计技术和大量实用系统设计示例。除个别章节外, 各章都安排了相应的习题和针对性强的实验和设计示例。书中列举的 VHDL 示例, 都经编译通过或经硬件测试。

本书主要面向高等院校本、专科 EDA 技术和 VHDL 语言基础课, 推荐作为电子工程、通信、工业自动化、计算机应用技术、电子对抗、仪器仪表、数字信号或图像处理等学科专业与相关的实验指导课的授课教材或主要参考书, 同时也可作为电子设计竞赛、FPGA 开发应用的自学参考书。

对于授课教师还能获赠本书 CAI 教学课件与实验指导课件。

本书封面贴有清华大学出版社防伪标签, 无标签者不得销售。

版权所有, 侵权必究。侵权举报电话: 010-62782989 13501256678 13801310933

图书在版编目 (CIP) 数据

EDA 技术与 VHDL/潘松, 黄继业编著. —2 版. —北京: 清华大学出版社, 2007.1

ISBN 978-7-302-14357-4

I. E… II. ①潘… ②黄… III. ①电子电路—电路设计: 计算机辅助设计 ②硬件描述语言, VHDL—程序设计 IV. TN702 TP312

中国版本图书馆 CIP 数据核字 (2006) 第 158987 号

责任编辑: 曾 刚 李虎斌

封面设计: 王大龙

版式设计: 赵丽娜

责任校对: 马军令

责任印制: 何 芊

出版发行: 清华大学出版社

<http://www.tup.com.cn>

c-service@tup.tsinghua.edu.cn

社 总 机: 010-62770175

投稿咨询: 010-62772015

地 址: 北京清华大学学研大厦 A 座

邮 编: 100084

邮购热线: 010-62786544

客户服务: 010-62776969

印 刷 者: 清华大学印刷厂

装 订 者: 三河市新茂装订有限公司

经 销: 全国新华书店

开 本: 185 × 260 印 张: 26 字 数: 580 千字

版 次: 2007 年 1 月第 2 版 印 次: 2007 年 1 月第 1 次印刷

印 数: 1 ~ 5000

定 价: 33.00 元

本书如存在文字不清、漏印、缺页、倒页、脱页等印装质量问题, 请与清华大学出版社出版部联系调换。
联系电话: (010)62770177 转 3103 产品编号: 021419-01

教师建议反馈表

1. 姓名_____2. 性别_____3. 年龄_____4. 电话_____
5. 学校院系_____6. 职务/职称 _____
7. 通信地址 _____邮编 _____
8. 电子信箱 _____学校网站 _____
9. 您所教学的专业：☐电子信息 ☐通信工程 ☐自动化 ☐计算机科学与技术
☐电气工程 ☐生物医学 ☐微电子 ☐电子科学与技术
☐机电工程 ☐精密仪器 ☐光信息 ☐电子信息科学与技术
☐机械制造 ☐应用物理 ☐航空制导 ☐应用数学类
10. 您将本书用作：☐本科教学 ☐自己参考 ☐学生参考 ☐其他
11. 您的学生层次：☐普通本科 ☐成人教育 ☐网络教育 ☐研究生 ☐社会培训
12. 您认为是否需要：☐习题解答 ☐幻灯片 ☐讲义 ☐教师参考书
13. 您何处了解本书：☐教材目录 ☐他人推荐 ☐书店 ☐清华网站 ☐其他
14. 您购买本书在：☐新华书店 ☐校园书店 ☐科技书店 ☐教材推广 ☐邮购
15. 您认为本书对应的课程教学有何特点和应注意的地方？

16. 您最近是否有写作计划，是教材还是一般店销书，针对哪些读者群？

17. 您对本书的建议和意见：

18. 您今后需要哪些课程的教材？

19. 您以及您所在学校选用教材有何原则？

清华大学出版社第六事业部联系方式

地址：清华大学校内白楼金地公司

电话：010-62788951/62791976

网址：www.thjd.com.cn

客服：thjdbook@126.com

邮编：100084

传真：010-62788903

投稿：thjd-tougao@126.com

前 言

根据 EDA 技术的最新发展,以及我国高等教育更加注重学生的工程实践能力与自主创新能力的培养,本书作为第 2 版进行了较大变动,删除了已过时的内容,加入了 EDA 技术的一些最新发展成果,使全书在为学生提供更多新知识的同时,更加注重学生创造力的培养。

书中绝大部分章节都安排了针对性较强的习题、实验和设计项目,使学生对每一章的课堂的教学效果都能及时通过实验得以强化。本书大部分实验中,除给出详细的实验目的、实验原理、实验思考题和实验报告要求外,还包含多个实验项目(层次),即第一层次是与该章内容相关的验证性实验,课本提供了详细的并被验证的设计程序和实验方法,学生只需将书中提供的设计程序输入计算机,并按要求进行编译仿真,在实验系统上实现即可;第二层次是在上一实验基础上作进一步的发挥;此后的实验层次属于自主设计或创新性质的实验,包括一些大学生电子设计竞赛的设计项目。授课教师可以根据本课程的实验学时数和教学实验的要求,以及学生的兴趣程度,以不同的方式或形式布置给学生完成。

本书第 2 章的内容是 FPGA/CPLD 硬件原理,第 3 章主要是 VHDL 基础。为了尽可能缩短授课课时数,优化教学效果,提高教学效率,将重点放在 VHDL 的实用技术上,采用了从典型电路设计实例的介绍中,引出 VHDL 相关语句语法的方法,在给出完整并被验证过的 VHDL 描述的同时,还给出了综合后的 RTL 电路图及表现该电路系统功能的时序波形图。对于容易出现的设计错误或产生歧义的示例,还给出正误示例的比较和详细说明。由此,通过一些简单、直观、典型的示例,将 VHDL 最核心、最基本的内容解释清楚,使读者能在短时间内有效地把握 VHDL 的主要内容,而不必花费过多的时间去单独学习语法。对于这样的编排,许多曾选用了此教材的老师都给予了肯定。

第 4 章主要介绍 Quartus II 6.0 的详细使用方法,其中包括不同输入方式的设计方法、LPM 宏功能模块及 IP 核的使用技术、嵌入式逻辑分析仪等测试工具的使用方法。

第 5 章是 VHDL 有限状态机的实用设计技术,包括不同类型的常用有限状态机的语法、状态机的设计方法、实用示例、毛刺克服技术、状态编码方法、工作稳定性控制技术等。

第 6 章给出了一个基于有限状态机控制的 16 位 CISC CPU 的详细设计过程。全机由 VHDL 表述,借助于 Quartus II,其软硬件功能在单片 FPGA 中得到验证。通过此章的学习和实验,可使学生完整地掌握一个实用 16 位 CPU 的设计与实现技术,从而对 VHDL 有更深入的了解。

第 7 章和第 8 章较系统、完整和有序地给出了 VHDL 的语句类型、语言结构、语法规则。这些内容的取舍,可根据本课程的学时数和大纲要求来决定。

第 9 章和第 10 章的内容比较新,主要是基于 MATLAB 和 DSP Builder 的 EDA 开发技术,其中包括一些最新发展的技术成果。这方面的内容对于通信和信息工程专业类的学生和工程技术人员尤为重要。

现代电子工程和 EDA 技术发展的速度异常迅猛,高等院校在这方面的教学将面临越来越

越大的挑战。这主要表现在两个方面：一是更多更新的知识有待传授；二是学生在该领域的自主创新能力有待更有效地提高。为了迎接这个挑战，本书力图在这两个方面都有所作为，但限于知识面，定有诸多不足之处，还望业内专家同行不吝斧正。

本书的撰写得到了 ALTERA 公司大学计划部主要负责人 Bob Xu 先生的大力支持，在此表示衷心的感谢！

作者 E-mail: span88@mail.hz.zj.cn, 本书中由于篇幅而未能列入的内容及该书课件，可浏览网址 www.kx-soc.com。

作 者

2006 年 10 月于杭州电子科技大学

目 录

第 1 章 概述	1
1.1 电子设计自动化技术及其发展	1
1.2 电子设计自动化应用对象	2
1.3 VHDL	4
1.4 EDA 的优势	5
1.5 面向 FPGA 的开发流程	6
1.5.1 设计输入	6
1.5.2 综合	7
1.5.3 布线布局 (适配)	8
1.5.4 仿真	8
1.5.5 下载和硬件测试	9
1.6 Quartus II 概述	9
1.7 IP 核	10
1.8 EDA 技术的发展趋势	12
第 2 章 PLD 硬件特性与编程技术	14
2.1 PLD 概述	14
2.1.1 PLD 的发展历程	14
2.1.2 PLD 的分类	15
2.2 低密度 PLD 可编程原理	16
2.2.1 电路符号表示	17
2.2.2 PROM	18
2.2.3 PLA	19
2.2.4 PAL	20
2.2.5 GAL	22
2.3 CPLD 的结构与可编程原理	22
2.4 FPGA 的结构与工作原理	26
2.4.1 查找表逻辑结构	26
2.4.2 Cyclone 系列器件的结构与原理	27
2.5 硬件测试技术	32
2.5.1 内部逻辑测试	32
2.5.2 JTAG 边界扫描测试	32
2.6 FPGA/CPLD 产品概述	33
2.6.1 Lattice 公司 CPLD 器件系列	33

2.6.2	Xilinx 公司的 FPGA 和 CPLD 器件系列	34
2.6.3	Altera 公司的 FPGA 和 CPLD 器件系列	35
2.6.4	Actel 公司的 FPGA 器件	37
2.6.5	Altera 公司的 FPGA 配置方式与配置器件	37
2.7	编程与配置	38
2.7.1	JTAG 方式的在系统编程	39
2.7.2	使用 PC 并行口配置 FPGA	39
2.7.3	FPGA 配置器件	40
第 3 章	VHDL 基础	42
3.1	VHDL 基本语法	42
3.1.1	组合电路描述	42
3.1.2	VHDL 结构	44
3.2	时序电路描述	48
3.2.1	D 触发器	48
3.2.2	时序描述 VHDL 规则	49
3.2.3	时序电路的不同表述方法	53
3.3	全加器的 VHDL 描述	55
3.3.1	半加器描述	55
3.3.2	CASE 语句	57
3.3.3	例化语句	59
3.4	计数器设计	60
3.5	一般计数器的 VHDL 设计方法	63
3.5.1	相关语法	64
3.5.2	程序功能分析	65
3.5.3	移位寄存器设计	66
3.6	数据对象	67
3.6.1	常数	68
3.6.2	变量	68
3.6.3	信号	69
3.6.4	进程中的信号赋值与变量赋值	70
3.7	IF 语句概述	77
3.8	进程语句归纳	80
3.8.1	进程语句格式	80
3.8.2	进程结构组成	81
3.8.3	进程要点	81
3.9	并行赋值语句概述	84
3.10	双向和三态电路信号赋值	85



3.10.1 三态门设计	85
3.10.2 双向端口设计	86
3.10.3 三态总线电路设计	88
3.11 仿真延时	90
3.11.1 固有延时	90
3.11.2 传输延时	91
3.11.3 仿真 δ	92
习题	92
第 4 章 Quartus II 使用方法	95
4.1 Quartus II 设计流程	95
4.2 嵌入式逻辑分析仪	107
4.3 编辑 SignalTap II 的触发信号	111
4.4 LPM_ROM 宏模块应用	112
4.4.1 工作原理	112
4.4.2 定制初始化数据文件	113
4.4.3 定制 LPM_ROM 元件	115
4.4.4 完成顶层设计	119
4.5 In-System Memory Content Editor 应用	121
4.6 LPM_RAM/FIFO 的定制与应用	122
4.6.1 LPM_RAM 定制	122
4.6.2 FIFO 定制	123
4.7 LPM 嵌入式锁相环调用	124
4.8 IP 核 NCO 使用方法	127
4.9 原理图设计方法	132
4.10 流水线乘法器的混合输入设计	134
习题	137
实验与设计	138
实验 4-1 组合电路的设计	138
实验 4-2 时序电路的设计	139
实验 4-3 含异步清 0 和同步时钟使能的加法计数器的设计	139
实验 4-4 用原理图输入法设计 8 位全加器	139
实验 4-5 正弦信号发生器设计	140
实验 4-6 七段数码显示译码器设计	141
实验 4-7 数控分频器的设计	143
实验 4-8 8 位十六进制频率计设计	144
第 5 章 VHDL 状态机	146
5.1 状态机设计相关语句	146

5.1.1	类型定义语句	146
5.1.2	状态机的优势	148
5.1.3	状态机结构	149
5.2	Moore 状态机	152
5.2.1	多进程状态机	152
5.2.2	单进程 Moore 状态机	157
5.3	Mealy 状态机	159
5.4	状态编码	162
5.4.1	直接输出型编码	162
5.4.2	顺序编码	164
5.4.3	一位热码编码	165
5.5	非法状态处理	166
	习题	168
	实验与设计	170
	实验 5-1 序列检测器设计	170
	实验 5-2 ADC0809 采样控制电路实现	170
	实验 5-3 数据采集电路和简易存储示波器设计	171
	实验 5-4 比较器和 D/A 器件实现 A/D 转换功能的电路设计	173
第 6 章	16 位 CISC CPU 设计	176
6.1	顶层系统设计	176
6.1.1	16 位 CPU 的组成结构	176
6.1.2	指令系统设计	177
6.1.3	顶层结构的 VHDL 设计	180
6.1.4	软件设计实例	183
6.2	CPU 基本部件设计	185
6.2.1	运算器 ALU	185
6.2.2	比较器 COMP	187
6.2.3	控制器 CONTROL	189
6.2.4	寄存器与寄存器阵列	192
6.2.5	移位寄存器 SHIFT	195
6.2.6	三态寄存器 TRIREG	196
6.3	CPU 的时序仿真与实现	197
6.3.1	编辑仿真波形文件	197
6.3.2	16 位 CPU 的调试运行	201
6.3.3	应用嵌入式逻辑分析仪调试 CPU	201
6.3.4	对配置器件编程	203
6.4	应用程序设计实例	203



6.4.1 乘法算法及其实现	203
6.4.2 除法算法及其实现	204
习题	205
实验与设计	206
实验 6-1 16 位计算机基本部件实验	206
实验 6-2 16 位 CPU 设计综合实验	206
第 7 章 VHDL 语句	213
7.1 顺序语句	213
7.1.1 赋值语句	213
7.1.2 IF 语句	213
7.1.3 CASE 语句	214
7.1.4 LOOP 语句	216
7.1.5 NEXT 语句	217
7.1.6 EXIT 语句	218
7.1.7 WAIT 语句	219
7.1.8 RETURN 语句	222
7.1.9 空操作语句	223
7.2 并行语句	223
7.2.1 并行信号赋值语句	224
7.2.2 实体说明语句	227
7.2.3 参数传递说明语句	227
7.2.4 参数传递映射语句	229
7.2.5 端口说明语句	230
7.2.6 块语句结构	230
7.2.7 元件例化语句	233
7.2.8 生成语句	234
7.2.9 REPORT 语句	239
7.2.10 断言语句	239
7.3 属性描述与定义语句	241
7.4 直接数字合成器设计	244
7.4.1 DDS 原理	244
7.4.2 DDS 设计实例	247
7.4.3 基于 DDS 的移相信号发生器设计	249
7.5 等精度频率/相位计设计	251
7.5.1 主系统组成	251
7.5.2 测频原理	252
7.5.3 VHDL 测试程序设计	253

7.5.4 测试与实现	257
7.5.5 相位测试	257
习题	259
实验与设计	261
实验 7-1 循环冗余校验 (CRC) 模块设计	261
实验 7-2 直接数字式频率合成器 (DDS) 设计实验	263
实验 7-3 基于 DDS 的数字移相信号发生器设计	264
实验 7-4 等精度数字频率/相位测试仪设计实验	264
第 8 章 VHDL 结构	266
8.1 VHDL 实体	266
8.2 VHDL 结构体	266
8.3 VHDL 子程序	267
8.3.1 VHDL 函数	267
8.3.2 VHDL 重载函数	270
8.3.3 VHDL 转换函数	272
8.3.4 VHDL 决断函数	275
8.3.5 VHDL 过程	275
8.3.6 VHDL 重载过程	277
8.3.7 子程序调用语句	278
8.3.8 并行过程调用语句	280
8.4 VHDL 库	281
8.4.1 库的种类	282
8.4.2 库的用法	283
8.5 VHDL 程序包	284
8.6 VHDL 配置	287
8.7 VHDL 文字规则	288
8.7.1 数字	288
8.7.2 字符串	288
8.7.3 标识符	289
8.7.4 下标名	290
8.8 VHDL 数据类型	290
8.8.1 预定义数据类型	291
8.8.2 IEEE 预定义标准逻辑位与矢量	293
8.8.3 其他预定义标准数据类型	293
8.8.4 VHDL 数组类型	294
8.9 VHDL 操作符	297
8.9.1 逻辑操作符 (Logical Operator)	297



8.9.2 关系操作符 (Relational Operator)	299
8.9.3 算术操作符 (Arithmetic Operator)	301
8.10 VGA 彩条信号显示控制器设计	303
8.11 VGA 图像显示控制器设计	307
习题	310
实验与设计	311
实验 8-1 乐曲硬件演奏电路设计	311
实验 8-2 VGA 彩条信号显示控制器设计	316
实验 8-3 VGA 图像显示控制器设计	316
第 9 章 DSP Builder 设计初步	317
9.1 MATLAB/DSP Builder 及其设计流程	317
9.2 正弦信号发生器设计	320
9.2.1 建立设计模型	320
9.2.2 Simulink 模型仿真	327
9.2.3 SignalCompiler 使用方法	332
9.2.4 使用 ModelSim 进行 RTL 级仿真	335
9.2.5 使用 Quartus II 实现时序仿真	337
9.2.6 硬件测试与硬件实现	339
9.3 DSP Builder 层次化设计	339
9.4 基于 DSP Builder 的 DDS 设计	344
9.4.1 DDS 模块设计	344
9.4.2 FSK 调制器设计	347
9.4.3 正交信号发生器设计	348
9.4.4 数控移相信号发生器设计	349
9.4.5 幅度调制信号发生器设计	350
9.5 数字编码与译码器设计	351
9.5.1 伪随机序列	351
9.5.2 帧同步检出	353
9.6 硬件环 HIL 仿真设计	355
9.6.1 HIL 仿真流程	355
9.6.2 FSK 的 HIL 仿真	360
9.7 DSP Builder 的状态机设计	361
9.7.1 FIFO 控制状态机设计示例	362
9.7.2 状态机设计流程	364
习题	368
实验与设计	369
实验 9-1 利用 MATLAB/DSP Builder 设计基本电路模块实验	369



实验 9-2 基于 DSP Builder 的 DDS 应用模型设计.....	370
实验 9-3 编译码器设计实验.....	372
实验 9-4 HIL 硬件环仿真实验.....	372
第 10 章 DSP Builder 设计深入	373
10.1 FIR 数字滤波器设计.....	373
10.1.1 FIR 滤波器原理.....	373
10.1.2 使用 DSP Builder 设计 FIR 滤波器.....	374
10.1.3 使用 MATLAB 的滤波器设计工具.....	380
10.1.4 使用 FIR IP Core 设计 FIR 滤波器	386
10.2 VHDL 模块插入仿真与设计	390
10.3 正交幅度调制与解调模型设计	393
10.4 NCO IP 核应用.....	396
10.5 基于 IP 的数字编译码器设计	396
10.5.1 RS 码.....	397
10.5.2 Viterbi 译码.....	399
习题.....	399
实验与设计.....	400
实验 10-1 FIR 数字滤波器设计实验	400
实验 10-2 编译码器与调制解调模块设计实验.....	401
实验 10-3 HDL Import 模块应用实验.....	401
参考文献	402

第1章 概 述

本章首先介绍 EDA 技术和硬件描述语言及其发展过程, 然后介绍基于 EDA 技术和 VHDL 的设计流程, 以及 EDA 设计工具 Quartus II。

1.1 电子设计自动化技术及其发展

微电子技术的进步主要表现在大规模集成电路加工技术即半导体工艺技术的发展上, 使得表征半导体工艺水平的线宽已经达到了 60nm, 并还在不断地缩小, 而在硅片单位面积上, 集成了更多的晶体管。集成电路设计正在不断地向超大规模、极低功耗和超高速的方向发展, 专用集成电路 ASIC (Application Specific Integrated Circuit) 的设计成本不断降低, 在功能上, 现代的集成电路已能够实现单片电子系统 SOC (System On a Chip)。

现代电子设计技术的核心已日趋转向基于计算机的电子设计自动化技术, 即 EDA (Electronic Design Automation) 技术。EDA 技术就是依赖功能强大的计算机, 在 EDA 工具软件平台上, 对以硬件描述语言 HDL (Hardware Description Language) 为系统逻辑描述手段完成的设计文件, 自动地完成逻辑编译、化简、分割、综合、布局布线以及逻辑优化和仿真测试, 直至实现既定的电子线路系统功能。EDA 技术使得设计者的工作仅限于利用软件的方式, 即利用硬件描述语言和 EDA 软件来完成对系统硬件功能的实现, 这是电子设计技术的一个巨大进步。

EDA 技术在硬件实现方面融合了大规模集成电路制造技术、IC 版图设计、ASIC 测试和封装、FPGA (Field Programmable Gate Array) /CPLD (Complex Programmable Logic Device) 编程下载和自动测试等技术; 在计算机辅助工程方面融合了计算机辅助设计 (CAD)、计算机辅助制造 (CAM)、计算机辅助测试 (CAT)、计算机辅助工程 (CAE) 技术以及多种计算机语言的设计概念; 而在现代电子学方面则容纳了更多的内容, 如电子线路设计理论、数字信号处理技术、数字系统建模和优化技术及长线技术理论等。因此, EDA 技术为现代电子理论和设计的表达与实现提供了可能性。正因为 EDA 技术丰富的内容以及与电子技术各学科领域的相关性, 其发展的历程同大规模集成电路设计技术、计算机辅助工程、可编程逻辑器件, 以及电子设计技术和工艺的发展是同步的。就过去近 30 年的电子技术的发展历程, 可大致将 EDA 技术的发展分为 3 个阶段。

20 世纪 70 年代, 在集成电路制作方面, MOS 工艺得到广泛的应用; 可编程逻辑技术及其器件问世, 计算机作为一种运算工具在科研领域得到广泛应用。而在后期, CAD 的概念已见雏形, 这一阶段人们开始利用计算机取代手工劳动, 辅助进行集成电路版图编辑、PCB 布局布线等工作。

20 世纪 80 年代, 集成电路设计进入了 CMOS (互补场效应管) 时代, 复杂可编程逻辑器件进入商业应用, 相应的辅助设计软件投入使用; 而在 80 年代末, 出现了 FPGA; CAE 和 CAD 技术的应用更为广泛, 它们在 PCB 设计方面的原理图输入、自动布局布线及 PCB 分析, 以及逻辑设计、逻辑仿真、布尔方程综合和化简等方面担任了重要的角色。特别是各种硬件描述语言的出现、应用和标准化方面的重大进步, 为电子设计自动化必须解决的电路建模、标准文档及仿真测试奠定了基础。

进入 20 世纪 90 年代, 随着硬件描述语言的标准化进一步确立, 计算机辅助工程、辅助分析和辅助设计在电子技术领域获得更加广泛的应用。与此同时, 电子技术在通信、计算机及家电产品生产中的市场需求和技术需求, 极大地推动了全新的电子设计自动化技术的应用和发展, 特别是集成电路设计工艺步入了超深亚微米阶段, 百万门以上的大规模可编程逻辑器件的陆续面世, 以及基于计算机技术的面向用户的低成本大规模 ASIC 设计技术的应用, 促进了 EDA 技术的形成。更为重要的是各 EDA 公司致力于推出兼容各种硬件实现方案和支持标准硬件描述语言的 EDA 工具软件的研究, 更有效地将 EDA 技术推向成熟和实用。

EDA 技术在进入 21 世纪后, 得到了更大的发展, 突出表现在以下几个方面:

- 在 FPGA 上实现 DSP (数字信号处理) 应用成为可能, 用纯数字逻辑进行 DSP 模块的设计, 使得高速 DSP 实现成为现实, 并有力地推动了软件无线电技术的实用化和发展。基于 FPGA 的 DSP 技术, 为高速数字信号处理算法提供了实现途径。
- 嵌入式处理器软核的成熟, 使得 SOPC (System On a Programmable Chip) 步入大规模应用阶段, 在一片 FPGA 上实现一个完备的数字处理系统成为可能。
- 在仿真和设计两方面支持标准硬件描述语言的功能强大的 EDA 软件不断推出。
- 电子技术领域全方位融入 EDA 技术, 除了日益成熟的数字技术外, 传统的电路系统设计建模理念发生了重大的变化, 如软件无线电技术的崛起、模拟电路系统硬件描述语言的表达和设计的标准化、系统可编程模拟器件的出现、数字信号处理和图像处理的全硬件实现方案的普遍接受以及软硬件技术的进一步融合等。
- EDA 使得电子领域各学科的界限更加模糊, 更加互为包容, 如模拟与数字、软件与硬件、系统与器件、ASIC 与 FPGA、行为与结构等。
- 基于 EDA 的用于 ASIC 设计的标准单元已涵盖大规模电子系统及复杂 IP 核模块。
- 软硬 IP (Intellectual Property) 核在电子行业的产业领域广泛应用。
- SOC 高效低成本设计技术的成熟。
- 系统级、行为验证级硬件描述语言的出现 (如 System C), 使复杂电子系统的设计和验证趋于简单。

1.2 电子设计自动化应用对象

一般地说, 利用 EDA 技术进行电子系统设计, 最后实现的目标是以下 3 种:



- 全定制或半定制 ASIC。
- FPGA/CPLD (或称可编程 ASIC) 开发应用。
- PCB (印制电路板)。

实现目标的前两项可以归结为专用集成电路 ASIC 的设计和实现, ASIC 是最终的物理平台,集中容纳了用户通过 EDA 技术将电子应用系统的既定功能和技术指标具体实现的硬件实体。一般而言,专用集成电路就是具有专门用途和特定功能的独立集成电路器件。根据这个定义,作为 EDA 技术最终实现目标的 ASIC,可以通过下面 3 种途径来完成。

1. 超大规模可编程逻辑器件

FPGA 和 CPLD 是实现这一途径的主流器件,它们的特点是直接面向用户、具有极大的灵活性和通用性、使用方便、硬件测试和实现快捷、开发效率高、成本低、上市时间短、技术维护简单、工作可靠性好等。FPGA 和 CPLD 的应用是 EDA 技术有机融合软硬件电子设计技术以及对自动化设计与自动化实现最典型的诠释。由于 FPGA 和 CPLD 的开发工具、开发流程和使用方法与 ASIC 有相通之处,因此这类器件通常也被称为可编程专用 IC,或可编程 ASIC。

2. 半定制或全定制 ASIC

根据实现的工艺,基于 EDA 设计技术的半定制或全定制 ASIC 可统称为掩模 (MASK) ASIC,或直接称 ASIC。ASIC 大致分为门阵列 ASIC、标准单元 ASIC 和全定制 ASIC。

- 门阵列 ASIC: 门阵列芯片包括预定制相连的 PMOS 和 NMOS 晶体管行。设计中,用户可以借助 EDA 工具将原理图或硬件描述语言模型映射为相应门阵列晶体管配置,创建一个指定金属互连路径文件,从而完成门阵列 ASIC 开发。由于有掩模的创建过程,门阵列有时也称掩模可编程门阵列 (MPGA)。但是 MPGA 与 FPGA 完全不同,它不是用户可编程的,也不属于可编程逻辑范畴,而是实际的 ASIC。MPGA 出现在 FPGA 之前, FPGA 技术则源自 MPGA。现在, Altera 的 HardCopy、HardCopy II 技术,可以提供一种把 FPGA 的设计转化为结构化 ASIC 的途径。
- 标准单元 ASIC: 目前大部分 ASIC 是使用库中的不同大小的标准单元设计的,这类芯片一般称作基于单元的集成电路 (Cell-based Integrated Circuits, CBIC)。在设计者一级,库包括不同复杂程度的逻辑元件,如 SSI 逻辑块、MSI 逻辑块、数据通道模块、存储器、IP 以及系统级模块。库还包含每个逻辑单元在硅片级的完整布局,使用者只需利用 EDA 软件工具与逻辑块描述打交道即可,完全不必关心电路布局的细节。在标准单元布局中,所有扩散、接触点、过孔、多晶通道及金属通道都已完全确定,当该单元用于设计时,通过 EDA 软件产生的网表文件将单元布局块“粘贴”到芯片布局之上的单元行上。标准单元 ASIC 设计与 FPGA 设计开发的流程相似。
- 全定制芯片: 全定制芯片中,在针对特定工艺建立的设计规则下,设计者对于电路的设计有完全的控制权,如线的间隔和晶体管大小的确定。该领域的一个例外是混合信号设计,使用通信电路的 ASIC 可以定制设计其模拟部分。



3. 混合 ASIC

混合 ASIC（不是指数模混合 ASIC）主要指既具有面向用户的 FPGA 可编程功能和逻辑资源，同时也含有可方便调用和配置的硬件标准单元模块，如 CPU、RAM、ROM、硬件加法器、乘法器、锁相环等。Xilinx、Atmel 和 Altera 公司已经推出了这方面的器件，如 Virtex-4 系列、Excalibur（含 ARM 核）和 Stratix II 系列等。混合 ASIC 为 SOC 和 SOPC 的设计实现提供了便捷的途径。

1.3 VHDL

硬件描述语言 HDL 是 EDA 技术的重要组成部分，常见的 HDL 主要有 VHDL、Verilog HDL、ABEL、AHDL、SystemVerilog 和 SystemC。

其中 VHDL、Verilog 在现在的 EDA 设计中使用最多，也拥有几乎所有主流 EDA 工具的支持，而 SystemVerilog 和 SystemC 还处于完善过程中。本书将重点介绍 VHDL 的编程方法和使用技术。

VHDL 的英文全名是 VHSIC（Very High Speed Integrated Circuit）Hardware Description Language，于 1983 年由美国国防部（DOD）发起创建，由 IEEE（The Institute of Electrical and Electronics Engineers）进一步发展，并在 1987 年作为“IEEE 标准 1076”发布。从此，VHDL 成为硬件描述语言的业界标准之一。自 IEEE 公布了 VHDL 的标准版本（IEEE Std 1076）之后，各 EDA 公司相继推出了自己的 VHDL 设计环境，或宣布自己的设计工具支持 VHDL。此后，VHDL 在电子设计领域得到了广泛应用，并逐步取代了原有的非标准硬件描述语言。

VHDL 作为一个规范语言和建模语言，随着它的标准化，出现了一些支持该语言的行为仿真器。由于创建 VHDL 的最初目标是用于标准文档的建立和电路功能模拟，其基本想法是在高层次上描述系统和元件的行为。但到了 20 世纪 90 年代初，人们发现，VHDL 不仅可以作为系统模拟的建模工具，而且可以作为电路系统的设计工具，可以利用软件工具将 VHDL 源码自动地转化为文本方式表达的基本逻辑元件连接图，即网表文件。这种方法显然对于电路自动设计是一个极大地推进。很快，电子设计领域出现了第一个软件设计工具，即 VHDL 逻辑综合器，它可以标准地将 VHDL 的部分语句描述转化为具体电路实现的网表文件。

1993 年，IEEE 对 VHDL 进行了修订，从更高的抽象层次和系统描述能力上扩展了 VHDL 的内容，公布了新版本的 VHDL，即 IEEE 标准的 1076-1993 版本。现在，VHDL 和 Verilog 作为 IEEE 的工业标准硬件描述语言，得到众多 EDA 公司的支持，在电子工程领域，已成为事实上的通用硬件描述语言。现在公布的最新 VHDL 标准版本是 IEEE 1076-2002。

VHDL 语言具有很强的电路描述和建模能力，能从多个层次对数字系统进行建模和描述，从而大大简化了硬件设计任务，提高了设计效率和可靠性。