



计算机应用技术系列教材



数字逻辑基础

杨明丰 著

计算机应用技术系列教材

TP302.2

33

2007

数字逻辑基础

杨明丰 著



机械工业出版社
China Machine Press

本书系统介绍数字逻辑的基本概念，主要内容包括：数制系统、布尔代数、布尔代数的化简、基本逻辑门、组合逻辑及时序逻辑等。本书内容简明扼要、编排完善、易教易学，可帮助读者学习数字逻辑的原理，加强逻辑推理能力；培养逻辑的正确概念，为数字设计打下基础；另外，本书还配有大量习题与实验。通过完成这些习题与实验，学生可以巩固所学知识，熟悉数字逻辑的各种功能，培养思考推理的能力。

本书可作为数字逻辑课程的教材或参考书，也可供相关专业技术人员参考。

本书中文简体字版由中国台湾基峰资讯有限公司授权机械工业出版社出版，未经本书原版出版者和本书出版者预先书面许可，不得以任何方式复制或抄袭本书的任何部分。

本书原版版权属基峰资讯有限公司

版权所有，侵权必究。

本书法律顾问 北京市展达律师事务所

本书版权登记号：图字：01-2006-3136

图书在版编目(CIP)数据

数字逻辑基础/杨明丰著. —北京：机械工业出版社，2007.1

ISBN 7-111-19806-9

(计算机应用技术系列教材)

I. 数… II. 杨… III. 数字逻辑—教材 IV. TP302.2

中国版本图书馆 CIP 数据核字(2006)第 098217 号

机械工业出版社(北京市西城区百万庄大街 22 号 邮政编码 100037)

责任编辑：范运年 李南丰

北京瑞德印刷有限公司印刷·新华书店北京发行所发行

2007 年 1 月第 1 版第 1 次印刷

184mm×260mm·16.75 印张

定价：26.00 元

凡购本书，如有倒页、脱页、缺页，由本社发行部调换
本社购书热线：(010)68326294

出版说明

本书根据杨明丰所著《数位逻辑》与《数位逻辑实习》改编而成。全书分为基础篇和实验篇两部分。

基础篇全面详实地介绍了数字逻辑的基本知识，包括数字逻辑的基本概念、数制系统、布尔代数、布尔代数的化简、基本逻辑门、组合逻辑和时序逻辑。书中通过对基本概念、基本知识的准确阐述，使读者能够了解数字逻辑的原理，加强逻辑推理的能力；形成对逻辑的正确观念，为数字设计打下基础；明悉数字逻辑与日常生活的关系，为实际应用提供帮助。不仅如此，本篇每章后面均有本章小结、学后测评和本章习题，以帮助读者巩固所学知识、知晓掌握程度及测试学习效果。

实验篇深入分析了实际应用中的数字逻辑电路，包括 TTL 与 CMOS 的特性实验、基本逻辑门实验、组合逻辑实验、加法器与减法器、编码器与译码器、多路选择器与多路分配器、定时脉冲产生电路、触发器、计数器、寄存器和综合电路应用。书中通过对所选的具有典型性的数字逻辑电路的原理、性能、应用方法的深入分析及实际操作，来达到使学生熟悉数字逻辑之间的各种功能，能使用集成元件设计实际电路，以达到培养其对数字逻辑的兴趣的目的。

由于原书中使用的电路图形符号与国家标准有所不同，因此，我们在书中附录里增加了电路图形符号对照表，以方便读者查阅。

本书内容全面丰富，分析清晰深入，结构严谨合理，论述言简意赅，适于大学低年级本科生以及电子技术工作者阅读使用。

目 录

基 础 篇

第 1 章 概述	1	2.9 本章小结	21
1.1 数量的表示法	1	2.10 学后评测	22
1.2 数字系统和模拟系统	1	2.11 本章习题	23
1.3 逻辑基准	1	第 3 章 布尔代数	25
1.4 脉冲基准	2	3.1 布尔代数的特质	25
1.5 数字集成电路	2	3.2 布尔代数的基本运算	25
1.5.1 数字集成电路类型	2	3.3 布尔代数的基本定理与假设	26
1.5.2 数字集成电路特性	4	3.4 本章小结	31
1.6 本章小结	6	3.5 学后评测	31
1.7 学后评测	6	3.6 本章习题	33
1.8 本章习题	8	第 4 章 布尔代数的化简	34
第 2 章 数制系统	9	4.1 代数化简法	34
2.1 十进制表示法	9	4.2 典型式与标准式	35
2.2 二进制表示法	9	4.2.1 积项与和项	35
2.3 八进制表示法	10	4.2.2 最小项与最大项	35
2.4 十六进制表示法	10	4.2.3 标准式	36
2.5 数字表示法互换	11	4.2.4 典型式	36
2.5.1 十进制转成以 r 为底数的进制	11	4.2.5 标准式转成典型式	36
2.5.2 以 r 为底数的进制转成十进制	12	4.2.6 典型式间的转换	38
2.5.3 二进制与八进制的转换	13	4.3 卡诺图化简法	39
2.5.4 二进制与十六进制的转换	14	4.3.1 双变量卡诺图	39
2.5.5 八进制与十六进制转换	14	4.3.2 三变量卡诺图	41
2.6 二进制算术运算	15	4.3.3 四变量卡诺图	43
2.6.1 二进制加法	15	4.3.4 随机条件	45
2.6.2 二进制减法	15	4.4 本章小结	46
2.7 补码	16	4.5 学后评测	46
2.7.1 $r-1$ 补码	16	4.6 本章习题	48
2.7.2 r 补码	16	第 5 章 基本逻辑门	50
2.7.3 负数表示法	17	5.1 非门	50
2.7.4 补码减法	17	5.2 或门	50
2.8 二进制编码	18	5.3 与门	51
2.8.1 BCD 码	18	5.4 或非门	51
2.8.2 余 3 码	19	5.5 与非门	52
2.8.3 格雷码	19	5.6 异或门	52
2.8.4 ASCII 码	20	5.7 同或门	53
		5.8 通用门 NAND 及 NOR	55

5.8.1 NAND 电路制作	55	7.1.2 门控触发器	95
5.8.2 NOR 电路制作	57	7.1.3 跳沿触发的触发器	96
5.8.3 NAND 电路化简	59	7.2 寄存器	102
5.8.4 NOR 电路化简	61	7.2.1 串行输入/串行输出	103
5.9 本章小结	62	7.2.2 串行输入/并行输出	103
5.10 学后评测	63	7.2.3 并行输入/串行输出	104
5.11 本章习题	65	7.2.4 并行输入/并行输出	104
第 6 章 组合逻辑	66	7.3 计数器	106
6.1 组合逻辑的设计	66	7.3.1 异步计数器	106
6.2 组合逻辑的应用	68	7.3.2 同步计数器	109
6.3 加法器	68	7.3.3 移位计数器	114
6.3.1 半加器	68	7.4 本章小结	116
6.3.2 全加器	68	7.5 学后评测	117
6.3.3 四位二进制并加器	69	7.6 本章习题	119
6.3.4 BCD 加法器	70		
6.4 减法器	72	实 验 篇	
6.4.1 半减器	72	第 8 章 TTL 与 CMOS 的特性实验	121
6.4.2 全减器	72	8.1 实验目的	121
6.4.3 四位二进制并减器	74	8.2 相关知识	121
6.5 比较器	74	8.2.1 TTL 集成电路	121
6.5.1 一位比较器	74	8.2.2 CMOS 集成电路	122
6.5.2 四位比较器	75	8.2.3 TTL 与 CMOS 特性比较	122
6.6 译码器	76	8.2.4 逻辑状态的输入调整	126
6.6.1 2 对 4 译码器	77	8.2.5 逻辑状态的输出测试	127
6.6.2 3 对 8 译码器	78	8.2.6 外形	127
6.6.3 4 对 16 译码器	80	8.3 材料表	128
6.6.4 BCD 对七段显示译码器	80	8.4 实验项目	128
6.7 编码器	82	8.4.1 工作一: TTL 输入特性测量	128
6.8 多路选择器	83	8.4.2 工作二: CMOS 输入特性测量	129
6.8.1 2 路选择器	84	8.4.3 工作三: TTL 输出特性测量	129
6.8.2 4 路选择器	85	8.4.4 工作四: CMOS 输出特性测量	130
6.8.3 布尔函数的执行	85	8.4.5 工作五: 扇出测量	130
6.9 多路分配器	89	8.4.6 工作六: 传输延迟测量	130
6.9.1 2 路分配器	89	8.4.7 工作七: TTL 至 CMOS 接口	131
6.9.2 4 路分配器	89	8.4.8 工作八: CMOS 至 TTL 接口	132
6.10 本章小结	90	8.5 本章小结	132
6.11 学后评测	91	8.6 学后评测	133
6.12 本章习题	92	第 9 章 基本逻辑门实验	134
第 7 章 时序逻辑	94	9.1 实验目的	134
7.1 触发器	94	9.2 相关知识	134
7.1.1 RS 触发器	94	9.2.1 布尔代数	134

9.2.2 布尔定理	135	11.4.2 工作二:全加器	166
9.2.3 德·摩根定理	135	11.4.3 工作三:半减器	166
9.2.4 基本逻辑门	136	11.4.4 工作四:全减器	166
9.2.5 通用门	138	11.4.5 工作五:四位加/减法器	167
9.3 材料表	140	11.4.6 工作六:BCD加/减法器	168
9.4 实验项目	141	11.5 本章小结	169
9.4.1 工作一:反相器	141	11.6 学后评测	169
9.4.2 工作二:二输入或门	141	第12章 编码器与译码器实验	170
9.4.3 工作三:二输入与门	142	12.1 实验目的	170
9.4.4 工作四:二输入或非门	143	12.2 相关知识	170
9.4.5 工作五:二输入与非门	143	12.2.1 编码器	170
9.4.6 工作六:异或门	144	12.2.2 译码器	171
9.4.7 工作七:三输入与门	145	12.3 材料表	179
9.5 本章小结	145	12.4 实验项目	180
9.6 学后评测	145	12.4.1 工作一:十进制对BCD码优先 编码电路	180
第10章 组合逻辑实验	147	12.4.2 工作二:共阳极七段显示 电路	180
10.1 实验目的	147	12.4.3 工作三:共阴极七段显示 电路	181
10.2 相关知识	147	12.5 本章小结	182
10.2.1 布尔代数化简法	147	12.6 学后评测	182
10.2.2 卡诺图化简法	147	第13章 多路选择器与多路分配器 实验	183
10.2.3 逻辑电路设计	154	13.1 实验目的	183
10.2.4 对偶定理	155	13.2 相关知识	183
10.3 材料表	156	13.2.1 多路选择器	183
10.4 实验项目	156	13.2.2 多路分配器	186
10.4.1 工作一:AND-OR电路实验	156	13.3 材料表	187
10.4.2 工作二:OR-AND电路实验	156	13.4 实验项目	188
10.4.3 工作三:NAND-NAND电路 实验	157	13.4.1 工作一:2路选择器	188
10.4.4 工作四:NOR-NOR电路 实验	157	13.4.2 工作二:4路选择器	188
10.4.5 工作五:对偶性实验	158	13.4.3 工作三:4路分配器	189
10.5 本章小结	158	13.5 本章小结	189
10.6 学后评测	159	13.6 学后评测	189
第11章 加法器与减法器	160	第14章 计时脉冲产生电路实验	190
11.1 实验目的	160	14.1 实验目的	190
11.2 相关知识	160	14.2 相关知识	190
11.2.1 加法器	160	14.2.1 无稳态多谐振荡器	190
11.2.2 减法器	163	14.2.2 单稳态多谐振荡器	191
11.3 材料表	165	14.2.3 555定时器	193
11.4 实验项目	165		
11.4.1 工作一:半加器	165		

14.3	材料表	197	计数器	225	
14.4	实验项目	197	16.4.3	工作三: 0~9 计数器	226
14.4.1	工作一: TTL 无稳态多谐振荡器	197	16.4.4	工作四: 0~59 计数器	226
14.4.2	工作二: CMOS 无稳态多谐振荡器	198	16.4.5	工作五: BCD 递增/递减计数器	227
14.4.3	工作三: 74121 单稳态多谐振荡器	198	16.4.6	工作六: 约翰逊计数器	228
14.4.4	工作四: 555 定时器	199	16.5	本章小结	228
14.5	本章小结	199	16.6	学后评测	229
14.6	学后评测	199	第 17 章	寄存器实验	230
第 15 章	触发器实验	200	17.1	实验目的	230
15.1	实验目的	200	17.2	相关知识	230
15.2	相关知识	200	17.2.1	串行输入/串行输出	230
15.2.1	RS 触发器	200	17.2.2	串行输入/并行输出	230
15.2.2	JK 触发器	202	17.2.3	并行输入/串行输出	232
15.2.3	D 型触发器	203	17.2.4	并行输入/并行输出	234
15.2.4	T 型触发器	204	17.3	材料表	236
15.3	材料表	204	17.4	实验项目	236
15.4	实验项目	204	17.4.1	工作一: 4 位串入并出移位寄存器	236
15.4.1	工作一: \overline{RS} 触发器	204	17.4.2	工作二: 74164 8 位串入并出移位寄存器	237
15.4.2	工作二: RS 触发器	205	17.4.3	工作三: 74165 8 位并入串出移位寄存器	237
15.4.3	工作三: JK 触发器	205	17.5	本章小结	238
15.4.4	工作四: T 型触发器	206	17.6	学后评测	238
15.5	本章小结	206	第 18 章	综合电路应用	239
15.6	学后评测	207	18.1	工作一: 简易逻辑笔	239
第 16 章	计数器实验	208	18.1.1	电路图	239
16.1	实验目的	208	18.1.2	工作原理	239
16.2	相关知识	208	18.2	工作二: 2 对 4 译码器	240
16.2.1	异步计数器的分析	208	18.2.1	电路图	240
16.2.2	异步计数器的设计	210	18.2.2	工作原理	240
16.2.3	异步计数器 IC	211	18.3	工作三: 电子轮盘	241
16.2.4	同步计数器的分析	216	18.3.1	电路图	241
16.2.5	同步计数器的设计	219	18.3.2	工作原理	241
16.2.6	同步计数器 IC	221	18.4	工作四: 电子骰子	242
16.2.7	约翰逊计数器	223	18.4.1	电路图	242
16.3	材料表	224	18.4.2	工作原理	243
16.4	实验项目	225	18.5	工作五: 红绿灯(一)	244
16.4.1	工作一: 四位二进制递增异步计数器	225	18.5.1	电路图	244
16.4.2	工作二: 四位二进制递减异步计数器	225	18.5.2	工作原理	244

18.6 工作六：红绿灯(二)	245	18.8.2 工作原理	248
18.6.1 电路图	245	18.9 工作九：广告灯	248
18.6.2 工作原理	246	18.9.1 电路图	248
18.7 工作七：0~59 秒计时码表	246	18.9.2 工作原理	249
18.7.1 电路图	246	附录 A 常用 TTL IC 引脚图	250
18.7.2 工作原理	247	附录 B 常用 CMOS IC 引脚图	255
18.8 工作八：霹雳灯	247	附录 C 电路图形符号对照表	257
18.8.1 电路图	247		

基础篇

第1章 概述

在当今的电子系统中，数字电路扮演着非常重要的角色，它们被广泛地应用在通信、控制、仪器及计算机等领域中。随着集成电路(integrated circuits, IC)制造技术的提高，数字 IC 的设计由简单的逻辑门发展到复杂的内存(memory)、微处理器(CPU)等。在数字系统中所处理的信号只有两个分立的电压或电流值，称为二元性或二进制(binary)，这是因为多值的电路系统可靠性较低。在了解数字电路之前，必须对数字系统有一些基本认识，本章的目的就是帮助读者建立这些基本的概念。

1.1 数量的表示法

在日常生活中，我们常以数量来表示观察到的事物，对于不同的事物常使用不同的数量表示，以便于记录或计算其结果。如现在温度 25°C 、全班人数 40 人、小明的身高 170cm、体重 60kg、车行速度 50km/h，某电子装置上某元件两端的电压值为 3.5V，流过元件的电流值为 1.5mA 等。 25°C 、40 人、170cm、60kg、50km/h、3.5V、1.5mA 都是一种数量的表示方式。

1.2 数字系统和模拟系统

所谓模拟(Analog)量是指连续变化的数量。自然界中的物理量，大都是模拟量，如温度、速度的变化等，而用以测量、记录这些模拟量的电路系统，则被称为模拟系统。

所谓数字(Digital)量是指不连续变化的数量，而用以测量、记录这些数字量的电路系统，则被称为数字系统。常用的数字系统有计算机(Computer)、计算器(Calculator)、数字电压表(Digital Meter)等。一般而言，数字系统对于数据的处理比较简单、正确性高且速度更快，而模拟系统则具有精确度高的优点。

1.3 逻辑基准

数字系统是由电路所组成，在电子电路中电压、电流的变化都是模拟量，因此我们必须对这些模拟量加以定义，以得到明确的数字信号输出。如图 1-1 所示，电压在 $V_{H(\min)} \sim V_{CC}$ 的范围内为高电平，定义为逻辑 1；电压在 $0\text{V} \sim V_{L(\max)}$ 的范围内为低电平，定义为逻辑 0。在 $V_{L(\max)}$ 与 $V_{H(\min)}$ 的范围内则不使用，以保持电路工作正常。

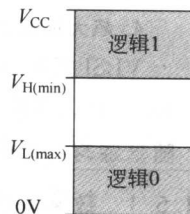


图 1-1 逻辑基准

在数字电路的分析中，也使用与逻辑 1 及逻辑 0 同义的其他名称，如表 1-1 所示。

表 1-1 逻辑 0 与逻辑 1 的同义名称

逻辑 0	逻辑 1	逻辑 0	逻辑 1
低(Low)	高(High)	开(Open)	关(Close)
假(False)	真(True)	导通(On)	截止(Off)

1.4 脉冲基准

在数字电路中，所处理的信号是如图 1-2 所示的脉冲信号，由图中可看出只有高电平(如 B 点至 C 点)及低电平(如 D 点至 E 点)两种基准。

另外，由低电平至高电平的变化(如 A 点至 B 点)，称之为上升沿，而由高电位至低电位的变化(如 C 点至 D 点)，称之为下降沿。上升沿与下降沿信号在数字电路中常常被用做触发。脉冲基准的变化如图 1-3 所示。

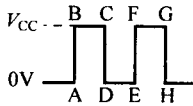


图 1-2 脉冲信号

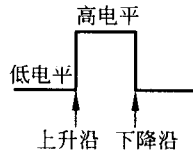


图 1-3 脉冲基准

1.5 数字集成电路

所谓集成电路是指在单一硅芯片(chip)上制造出晶体管、电阻、电容等电子元件，并组合完成电子电路。而数字集成电路是指在此集成电路中只有高电平及低电平两种信号基准。按集成电路中所含元件的数目或逻辑门数来分类，可分为以下几种。

1. 小规模集成电路 (small-scale integrated circuits, SSI)

SSI 指在每个芯片中所含元件数目少于 100 个或内含逻辑门数小于 12 个。如与(AND)门、或(OR)门、非(NOT)门等基本逻辑门。

2. 中规模集成电路 (medium-scale integrated circuits, MSI)

MSI 指在每个芯片中所含元件数在 100 至 1000 个之间或内含逻辑门数在 12 至 100 个之间。如计数器、加法器、减法器、译码器、编码器、多路选择器及多路分配器等。

3. 大规模集成电路 (large-scale integrated circuits, LSI)

LSI 指在每个芯片中所含元件数目在 1000 至 10000 个之间或内含逻辑门数在 100 至 1000 个之间。如随机存取内存(RAM)等。

4. 超大规模集成电路 (very-large-scale integrated circuits, VLSI)

VLSI 指在每个芯片中所含元件数目在 10000 个以上或内含逻辑门在 1000 个以上。如芯片组(chip set)、微处理器等。

随堂练习：集成电路按其所含元件数目如何分类？

1.5.1 数字集成电路类型

制造数字集成电路有两种基本技术，一是双极性(bipolar)，一是金属氧化物半导体(MOS)。以

双极性技术完成的数字集成电路有 TTL、ECL、I²L 等，以 MOS 技术完成的数字集成电路有 NMOS、CMOS 等。每一种类型的 IC 都有其优点和缺点，在选用上必须考虑其工作温度范围、扇出系数、噪声边界、运行速度、消耗功率及成本等因素。

1. TTL

TTL(Transistor-Transister Logic)是晶体管—晶体管逻辑的简称，表示输入与输出电路都是由晶体管组成，常用于制造小规模集成电路与中规模集成电路。商用型 TTL 74 系列 IC，其工作温度范围是 0℃~70℃，工作电压是 5V±5%。另外军用型 TTL 54 系列 IC，其工作温度范围是 -55℃~125℃，工作电压是 5V±10%。表 1-2 列出七种 TTL 系列 IC 的名称及特性。

表 1-2 TTL 系列 IC

TTL 系列名称	字首	扇出系数	功率消耗(mW)	传输延迟(ns)
标准	74	10	10	9
低功率	74L	20	1	33
高速	74H	10	22	6
肖特基(schottky)	74S	10	19	3
低功率肖特基	74LS	20	2	10
高级肖特基	74AS	40	10	1.5
高级低功率肖特基	74ALS	20	1	4

2. ECL

ECL(Emitter-Couple Logic)是射极—耦合逻辑的简称。ECL 是一种非饱和型的逻辑电路，所以晶体管的交换速度很快，是目前所有逻辑系列中速度最快的，但是其噪声边界小，且功率消耗大，常用于高速电路中。

3. I²L

I²L(Integrated-Injection Logic)是集成注入逻辑的简称，具有 MOS 高密度及 TTL 高速度的优点，一般常用于大规模集成电路，如内存、微处理器、数字模拟转换器等。

4. NMOS

NMOS(N-channel Metal Oxide Semiconductor)是 N 通道金属—氧化物—半导体的缩写，包装密度高，常用于大规模集成电路中。

5. CMOS

CMOS(Complement MOS)是互补型金属氧化物半导体的缩写，使用 PMOS 与 NMOS 组成。CMOS 与 TTL 比较除了交换速率较慢之外，其优点为消耗功率低、驱动能力(扇出)强、噪声边界大、包装密度高，常用于制造大规模集成电路及超大规模集成电路。CMOS 可分为 40 系列及 74C、74HC、74HCT 系列，40 系列是 CMOS IC 的原始设计。74C、74HC 系列的引脚及功能与 TTL 74 系列兼容，其中 74HC 为 74C 系列的高速改良型，交换速率可增加 10 倍。74HCT 系列的基准、引脚及功能与 TTL 74 系列完全兼容。

范例 1-1: TTL 74 系列 IC，按其交换速率由快到慢如何排列？

★ **解答:** 由表 1-2 之传输延迟可知，TTL 74 系列 IC 按其交换速率由快到慢是 74AS>74S>74ALS>74H>74>74LS>74L。

随堂练习: TTL 74 系列 IC，按其消耗功率由大到小如何排列？

1.5.2 数字集成电路特性

1. 扇出系数

扇出(fan out)系数是指接在一个逻辑门的输出端而不影响其正常工作的最大负载数,如图 1-4 所示,扇出系数是以门的输出电流值及输入电流值来计算,定义为

$$N_H = \frac{I_{OH}}{I_{IH}} \quad (1.1)$$

$$N_L = \frac{I_{OL}}{I_{IL}} \quad (1.2)$$

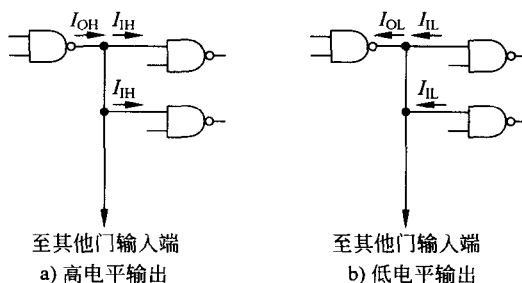


图 1-4 扇出系数

范例 1-2: 标准 TTL IC 各项电流参数为 $I_{OH}=400\mu\text{A}$, $I_{IH}=40\mu\text{A}$, $I_{OL}=16\text{mA}$, $I_{IL}=1.6\text{mA}$ 求其扇出系数。

★ 解答:
$$N_H = \frac{I_{OH}}{I_{IH}} = \frac{400\mu\text{A}}{40\mu\text{A}} = 10 \quad N_L = \frac{I_{OL}}{I_{IL}} = \frac{16\text{mA}}{1.6\text{mA}} = 10$$

N_H 与 N_L 最小者即为其扇出系数,因此扇出系数为 10。

随堂练习: 有一个 TTL IC 各项电流参数为 $I_{OH}=400\mu\text{A}$, $I_{OL}=8\text{mA}$, $I_{IL}=1.6\text{mA}$, 求其扇出系数。

2. 功率消耗

单一逻辑门所消耗的功率应为电源电压 V_{CC} 及自电源所输出的平均电流两者之乘积,即

$$P_D = V_{CC} I_{CC} \quad (1.3)$$

当逻辑门输出为高电平时,自电源输出的电流为 I_{CCH} ,当逻辑门输出为低电平时,自电源输出的电流为 I_{CCL} ,则平均电流为

$$I_{CC} = (I_{CCH} + I_{CCL})/2 \quad (1.4)$$

范例 1-3: TTL IC 74LS00 有四个 NAND 门,使用电源电压 $V_{CC}=5\text{V}$,若高电平输出时电流 $I_{CCH}=1\text{mA}$,低电平输出时电流 $I_{CCL}=3\text{mA}$,求此型 IC 的总消耗功率。

★ 解答:
$$I_{CC} = (I_{CCH} + I_{CCL})/2 = (1\text{mA} + 3\text{mA})/2 = 2\text{mA}$$

单一逻辑门的消耗功率为

$$P_D = V_{CC} \cdot I_{CC} = (5\text{V})(2\text{mA}) = 10\text{mW}$$

四个门总消耗功率为

$$4P_D = 4(10\text{mW}) = 40\text{mW}$$

随堂练习: TTL IC 74LS04 有六个 NOT 门,使用电源电压,若高电平输出时电流 $I_{CCH}=0.8\text{mA}$,低电平输出时电流 $I_{CCL}=2\text{mA}$,求这种 IC 的总消耗功率。

3. 传输延迟

反相器逻辑门(NOT 门)的传输延迟如图 1-5 所示,是指信号由输入端传输至输出端所需的平均延迟时间。当输出由高电平转变至低电平时,输入与输出信号间的延迟,记作 T_{PHL} ,当输出由低电平转变至高电平时,输入与输出信号间的延迟,记作 T_{PLH} ,因此平均传输延迟为

$$T_P = (T_{PHL} + T_{PLH})/2 \quad (1.5)$$

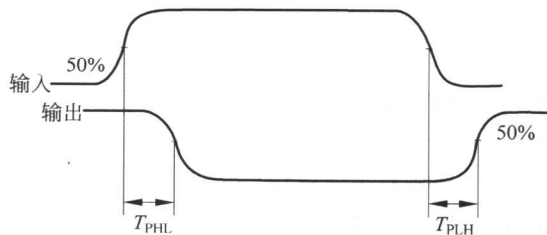


图 1-5 反相器逻辑门的传输延迟

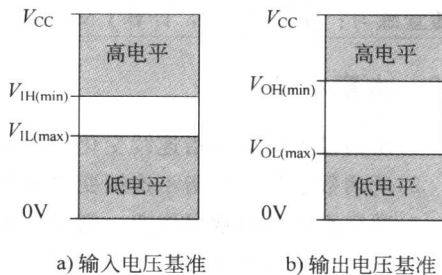


图 1-6 电压基准

范例 1-4: TTL IC 74LS04 NOT 门的传输延迟 $T_{PHL} = 15\text{ns}$, $T_{PLH} = 15\text{ns}$, 求其平均传输延迟时间。

★ 解答: $T_P = (T_{PHL} + T_{PLH}) / 2 = (15\text{ns} + 15\text{ns}) / 2 = 15\text{ns}$

随堂练习: TTL IC 74ALS04 NOT 门的传输延迟, $T_{PHL} = 8\text{ns}$, $T_{PLH} = 11\text{ns}$ 求其平均传输延迟时间。

4. 电压基准

如图 1-6 所示, 在逻辑电路的分析中, 输入电压在 $V_{IH(\min)}$ 至 V_{CC} 之间为高电平, 输入电压在 0V 至 $V_{IL(\max)}$ 之间为低电平。同理, 输出电压在 $V_{OH(\min)}$ 至 V_{CC} 之间为高电平, 输出电压在 0V 至 $V_{OL(\max)}$ 之间为低电平, 表 1-3 列出不同类型 IC 的电压基准。

表 1-3 数字 IC 电压基准

IC 类型	工作电压	$V_{IH(\min)}$	$V_{IL(\max)}$	$V_{OH(\min)}$	$V_{OL(\max)}$
TTL	$V_{CC} = 5\text{V}$	2.0V	0.8V	2.4V	0.4V
CMOS	$V_{DD} = 3 \sim 18\text{V}$	$0.7V_{DD}$	$0.3V_{DD}$	$V_{DD} - 0.05\text{V}$	0.05V
ECL	$V_{EE} = -5.2\text{V}$	$-0.95\text{V} \sim -0.7\text{V}$	$-1.9\text{V} \sim -1.6\text{V}$	-0.8V	-1.8V

5. 噪声边界

所谓噪声边界 (noise margins) 如图 1-7 所示, 是指一级的输出端受噪声干扰后加至下一级输入端时, 仍可保持正确逻辑基准时所能容许的最大噪声。

高电平状态噪声边界定义为

$$V_{NH} = V_{OH(\min)} - V_{IH(\min)} \quad (1.6)$$

低电平状态噪声边界定义为

$$V_{NL} = V_{IL(\max)} - V_{OL(\max)} \quad (1.7)$$

范例 1-5: 使用表 1-3, 计算 TTL IC 的高、低电平噪声边界。

★ 解答: 高电平噪声边界为:

$$V_{NH} = V_{OH(\min)} - V_{IH(\min)} = 2.4\text{V} - 2\text{V} = 0.4\text{V}$$

低电平噪声边界为:

$$V_{NL} = V_{IL(\max)} - V_{OL(\max)} = 0.8\text{V} - 0.4\text{V} = 0.4\text{V}$$

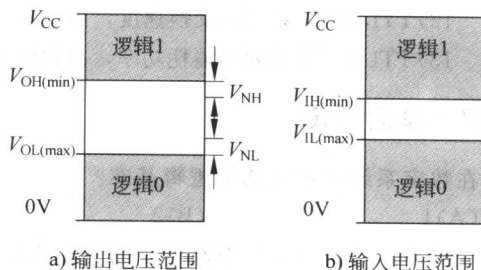


图 1-7 噪声边界

随堂练习：使用表 1-3，计算 CMOS IC 的高、低电平噪声边界，设 $V_{DD} = 5V$ 。

1.6 本章小结

- 1) 所谓模拟量，是指连续变化的数量，如温度、速度的变化等。
- 2) 所谓数字量，是指不连续变化的数量，如人数、日期等。
- 3) 数字系统处理数据快速、简单且正确率高，模拟系统则精确度较高。
- 4) 数字系统所处理的数据基准只有高电平(逻辑 1)及低电平(逻辑 0)两种。
- 5) 由低电平至高电平的变化称为上升沿，由高电平至低电平的变化则称为下降沿。
- 6) 所谓集成电路是指在单一芯片上制造出晶体管、电阻、电容等电子元件，并组合成电子电路。
- 7) 按集成电路所含元件数目或逻辑门数分类如表 1-4。

表 1-4 集成电路的分类

集成电路	元件数目	逻辑门数	应用举例
SSI	<100	<12	基本逻辑门
MSI	100~1000	12~100	译码器、计数器
LSI	1000~10000	100~1000	内存
VLSI	>10000	1000~10000	微处理器

8) 制造数字集成电路的两种技术，一是双极性，一是金属氧化物半导体，以双极性技术完成的数字集成电路有 TTL、I²L、ECL 等，以 MOS 技术完成的数字集成电路有 NMOS、CMOS 等。

9) CMOS IC 与 TTL IC 比较，其优点为消耗功率低、驱动能力强、噪声边界大、包装密度高，其缺点为交换速率慢。

10) 各种逻辑系列的交换速度由快到慢排列次序为 ECL>TTL>CMOS>NMOS。

11) 各种逻辑系列的消耗功率由大到小排列次序为 ECL>TTL>CMOS>NMOS。

12) TTL IC 74 系列的交换速度，由快到慢排列次序为 74AS>74S>74ALS>74H>74>74LS>74L。

13) TTL IC 74 系列的消耗功率，由大到小排列次序为 74H>74S>74AS>74>74ALS>74LS>74L。

1.7 学后评测

- 1) 在数字系统中定义几个逻辑基准? ()
 - (A)1
 - (B)2
 - (C)10
 - (D)12 个
- 2) 一脉冲信号由低电平至高电平的变化称为()
 - (A)上升沿
 - (B)下降沿
 - (C)低基准
 - (D)高基准
- 3) 所谓中规模集成电路是指在每个芯片中所含元件数目为()
 - (A)小于 100
 - (B)100~1000
 - (C)1000~10000
 - (D)大于 10000 个
- 4) 晶体管逻辑门具有极快的交换速率，是因为电路设计成能快速移去基极中的()
 - (A)主要电子
 - (B)次要电子
 - (C)所有电子
 - (D)所有离子
- 5) 下列四种晶体管逻辑门中，哪一种交换速率最快? ()

- (A)标准 TTL (B)低功率 TTL
(C)肖特基 TTL (D)低功率肖特基 TTL
- 6)标准晶体管逻辑门的扇出系数为()
(A)1 (B)10 (C)20 (D)50
- 7)TTL 74 系列集成电路,平均延迟时间最小的是()
(A)74L (B)74H (C)74S (D)74LS
- 8)对于 74 系列 IC 的叙述,下列哪一个错误的?()
(A)74 系列代表商用,工作温度 $0^{\circ}\text{C}\sim 70^{\circ}\text{C}$ (B)74L00 之 L 代表低功率
(C)74H00 之 H 代表高功率 (D)74S00 之 S 代表肖特基
- 9)下列哪种逻辑系列速度最快?()
(A)74LS (B)74AS (C)74HC (D)74HCT
- 10)标准 TTL 逻辑门的工作电源为()
(A)5V (B) $\pm 5\text{V}$ (C) $3\sim 15\text{V}$ (D) $\pm 15\text{V}$
- 11)下列各种 IC 中,哪一种速率最快?()
(A)TTL (B)CMOS (C)NMOS (D)ECL
- 12)下列各种 IC 中,哪一种噪声边界最小?()
(A)TTL (B)CMOS (C)NMOS (D)ECL
- 13)下列各种 IC 中,哪一种消耗功率最小?()
(A)TTL (B)CMOS (C)NMOS (D)ECL
- 14)一般 CMOS 逻辑的工作电源约在()
(A) $4.75\sim 5.25\text{V}$ (B) $4.5\sim 5.5\text{V}$ (C) $3\sim 15\text{V}$ (D) $5\sim 50\text{V}$
- 15)CMOS IC 在何时最耗电?()
(A)输出为逻辑 0 时 (B)输出为逻辑 1 时
(C)输出转态时 (D)输入为逻辑 0 时
- 16)对于 CMOS IC 的叙述,下列哪个错误?()
(A)速度比 TTL 慢 (B)扇出能力比 TTL 高
(C)温度稳定性比 TTL 好 (D)不使用的输入端可以浮接
- 17)目前使用中的大规模集成电路(LSI)以 CMOS IC 最多,其最主要原因为()
(A)消耗功率小 (B)交换速度快
(C)噪声免除力佳 (D)制造容易
- 18)为提高 CMOS 元件的工作速度,可用何种方式?()
(A)降低工作电压 (B)提高工作电压
(C)增加负载 (D)降低工作频率
- 19)TTL 逻辑电路使用的工作电压通常为()
(A)10V (B)7.5V (C)5V (D)2.5V
- 20)TTL 系列逻辑门,其输入值的高、低基准差为()
(A)1.1V (B)1.2V (C)1.3V (D)1.8V

1.8 本章习题

- 1) 已知某一逻辑门，当输出为低电平时，消耗 3mA 电流，当输出为高电平时，消耗 2mA 电流，若电源电压为 5V，且输入信号工作周期为 25% 的脉冲，求此逻辑门的平均消耗功率。
- 2) 某一 TTL IC，其 $I_{IL(max)} = 2\text{mA}$ ， $I_{IH(max)} = 40\mu\text{A}$ ， $I_{OL(min)} = 16\text{mA}$ ， $I_{OH(min)} = 400\mu\text{A}$ ，则其输出可驱动多少同型 IC 输入？
- 3) 某一 CMOS IC 使用电源电压为 10V，则它可容忍的噪声边界为多少？
- 4) CMOS IC 与 TTL IC 比较，具有哪些优、缺点？
- 5) 试比较 TTL IC 中 54 与 74 两大系列的差异。