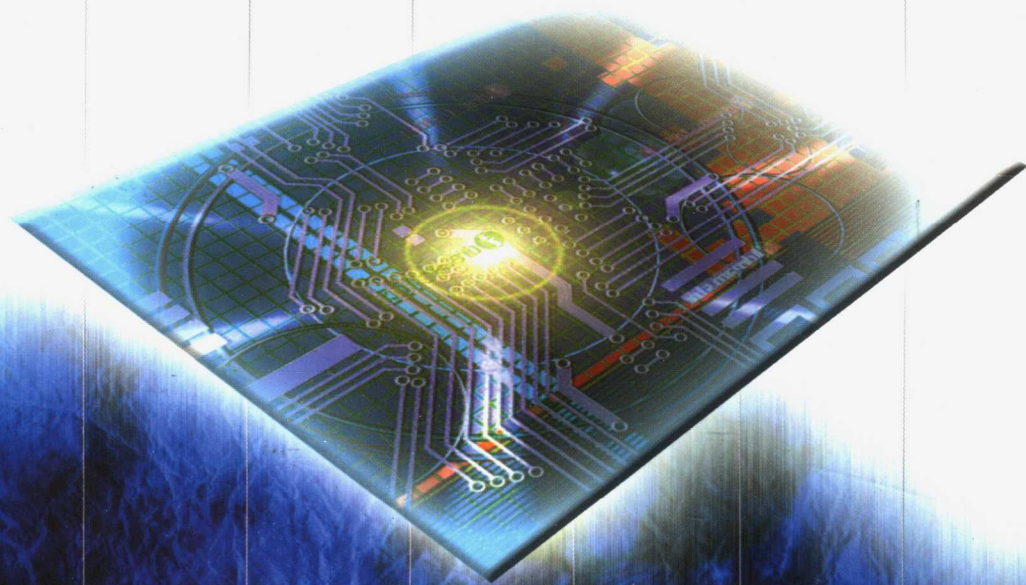




普通高等教育“十五”国家级规划教材



大规模集成电路设计

■ 陈贵灿 张瑞智 程 军 编著



高等教育出版社

普通高等教育“十五”国家级规划教材

大规模集成电路设计

陈贵灿 张瑞智 程 军 编著

内容简介

本书根据 SOC 设计的基础知识和电路技术的新发展,系统地介绍模拟集成电路与数字集成电路中各种功能模块的原理、分析与设计。内容包括:MOS 晶体管模型;CMOS 工艺与版图;各种模拟功能块和运算放大器;开关电容电路与开关电容滤波器;模/数与数/模转换器;集成锁相环;静态与动态 CMOS 数字电路的基本单元;加法器、乘法器和存储器等数字电路;可编程器件 FPGA/CPLD 与 SOPC。

本书取材新颖,由浅入深、循序渐进,侧重原理分析与工程设计,是现代模拟与数字集成电路设计的教材或参考书。可供与集成电路领域有关的各电类专业的高年级本科生和研究生使用,也可供从事这一领域的工程技术人员自学和参考。

图书在版编目(CIP)数据

大规模集成电路设计 / 陈贵灿,张瑞智,程军编著. —北京:
高等教育出版社,2005.7
ISBN 7-04-016602-X

I. 大... II. ①陈... ②张... ③程... III. 大规模集成
电路—电路设计—高等学校—教材 IV. TN470.2

中国版本图书馆 CIP 数据核字(2005)第 048235 号

策划编辑 张培东 责任编辑 高云峰 封面设计 刘晓翔 责任绘图 朱 静
版式设计 马静如 责任校对 朱惠芳 责任印制 孔 源

出版发行	高等教育出版社	购书热线	010-58581118
社 址	北京市西城区德外大街 4 号	免费咨询	800-810-0598
邮政编码	100011	网 址	http://www.hep.edu.cn
总 机	010-58581000		http://www.hep.com.cn
经 销	北京蓝色畅想图书发行有限公司	网上订购	http://www.landaco.com
印 刷	北京新丰印刷厂		http://www.landaco.com.cn
开 本	787×1092 1/16	版 次	2005 年 7 月第 1 版
印 张	36.75	印 次	2005 年 7 月第 1 次印刷
字 数	900 000	定 价	45.20 元

本书如有缺页、倒页、脱页等质量问题,请到所购图书销售部门联系调换。

版权所有 侵权必究

物料号 16602-00

前 言

集成电路设计经历了从晶体管的集成到逻辑门的集成,进而发展到 IP 核的集成,当今已处于系统芯片(SOC)的阶段。随着 CMOS 工艺的不断进步,CMOS 电路的低成本、低功耗以及速度的不断提高越来越显示出强大的优势,CMOS 技术已被证明是 SOC 硬件实现的最好选择。本书基于 CMOS 电路,阐述模拟与数字集成电路的分析与设计。

社会需求和 IC 制造业都对 IC 设计方法和设计工具不断地提出新的问题:特征尺寸缩小;系统功能的复杂性增加和系统的性能提高;集成度的增加和功耗的降低等。IC 设计技术在解决这些问题中不断地发展。因此,在编写本书的过程中,我们尽量参考了国内外的最新教材和资料,侧重基本原理和概念的理解与分析,强调与当代高速、低压、低功耗的新型电路设计紧密结合,使本书能反映 IC 设计的最新发展。

本书材料的选取参考了我们在本科生和研究生中开设的数字 IC 设计和模拟 IC 设计课程教材,全书内容包括 CMOS 模拟 IC 和数字 IC 的基本单元、子电路和有关系统。

第 1 章简单介绍集成电路产业和设计技术的发展、IC 的设计方法学,介绍特征尺寸缩小使 IC 设计所面临的问题以及 SOC 的设计方法。

第 2 章介绍 CMOS 工艺与版图基础知识。在模拟电路的设计中,要对晶体管的宽长比进行设计;在现代数字电路的设计中,由于互连线延迟超过逻辑门延迟,时序功能验证也取决于后端的版图设计。因此,CMOS 工艺和版图的知识是必须的。

第 3 章介绍 MOS 晶体管模型、模拟电路中带隙基准等各种功能模块、运算放大器和比较器。因为不同的模拟系统对运放性能的要求是各不相同的,因此电源电压降低和低功耗的要求使运放的设计显得更加重要。本章还讨论了运放的共模反馈和频率补偿等内容。

第 4 章叙述静态与动态 CMOS 基本数字门电路的原理与特性。其中,真单相钟控寄存器(TSPCR)不存在时钟偏移并适用于高速、低功耗的应用。

第 5 章介绍几种常用模拟集成电路的原理与设计。内容包括:各种数/模与模/数转换器;开关电容电路与开关电容滤波器和集成锁相环。有的模拟电路实际上属于混合信号电路,例如,过采样 Σ - Δ ADC 和低功耗设计中数字辅助的流水线 ADC,前者的数字滤波器和后者的数字校准电路均包含了大量的数字电路。

第 6 章介绍数字集成电路中常用的电路单元,包括加法器、移位寄存器、计数器、乘法器、存储器电路和输入输出电路。这些电路单元均采用新的拓扑结构和设计方法。

第 7 章介绍现场可编程门阵列(FPGA)、复杂可编程逻辑器件(CPLD)和可编程系统芯片(SOPC)。由于这个领域仍在迅速发展,本书侧重叙述它们的基本结构和编程原理,同时介绍最新的和目前应用最广的器件。

本书第 1 章、第 3 章和第 5 章由陈贵灿编写,第 2 章和第 4 章由张瑞智编写,第 6 章和第 7 章由程军编写,全书由陈贵灿主编。西安电子科技大学李玉山教授审阅了全文,并提出了许多宝

贵意见,在此表示由衷的感谢。

由于编者的水平和经验有限,书中难免存在缺点和错误,恳请广大读者批评指正。

作 者

2005年3月于西安交通大学

郑 重 声 明

高等教育出版社依法对本书享有专有出版权。任何未经许可的复制、销售行为均违反《中华人民共和国著作权法》,其行为人将承担相应的民事责任和行政责任,构成犯罪的,将被依法追究刑事责任。为了维护市场秩序,保护读者的合法权益,避免读者误用盗版书造成不良后果,我社将配合行政执法部门和司法机关对违法犯罪的单位和个人给予严厉打击。社会各界人士如发现上述侵权行为,希望及时举报,本社将奖励举报有功人员。

反盗版举报电话: (010) 58581897/58581896/58581879

传 真: (010) 82086060

E - mail: dd@hep.com.cn

通信地址: 北京市西城区德外大街 4 号

高等教育出版社打击盗版办公室

邮 编: 100011

购书请拨打电话: (010)58581118

目 录

第 1 章 集成电路设计概论	1
1.1 集成电路的发展	1
1.2 IC 的分类	2
1.3 IC 设计的要求	8
1.4 电子设计自动化技术的发展	9
1.5 IC 的设计方法学	10
1.6 深亚微米和纳米工艺对 EDA 技术的挑战	14
1.7 SOC 设计方法	16
参考文献	20
第 2 章 CMOS 工艺及版图	21
2.1 基本工艺	21
2.1.1 CMOS 工艺层	21
2.1.2 晶片工艺	22
2.1.3 光刻工艺	22
2.1.4 氧化工艺	24
2.1.5 离子注入	25
2.1.6 淀积与刻蚀	26
2.2 CMOS 工艺流程	27
2.3 互连	30
2.4 工艺改进	32
2.5 无源器件	33
2.5.1 电阻	33
2.5.2 电容	34
2.6 版图设计规则	36
2.6.1 版图概述	36
2.6.2 几何设计规则	36
2.6.3 电气设计规则	39
2.6.4 设计规则检查	39
2.7 闩锁效应	39
参考文献	40
习题	41
第 3 章 MOS 晶体管模型与 CMOS 模拟电路基础	42
3.1 MOS 晶体管模型	42

3.1.1	MOS 器件的结构	43
3.1.2	阈值电压	44
3.1.3	MOS 晶体管的大信号特性	46
3.1.4	MOS 器件电容	53
3.1.5	MOS 晶体管的小信号模型	55
3.1.6	短沟道效应	59
3.1.7	小结	65
3.2	CMOS 模拟电路的基本模块	66
3.2.1	MOS 开关	66
3.2.2	有源电阻	69
3.2.3	电流源与电流镜	70
3.2.4	电压基准和电流基准	77
3.2.5	小结	87
3.3	单级 CMOS 放大器	87
3.3.1	共源放大器	88
3.3.2	源跟随器	103
3.3.3	共栅放大器	109
3.3.4	共源共栅放大器	113
3.3.5	差动放大器	118
3.3.6	小结	141
3.4	运算放大器	141
3.4.1	性能参数	142
3.4.2	一级运放	145
3.4.3	两级运放	173
3.4.4	运放的稳定性与频率补偿	174
3.4.5	带输出级的运算放大器	190
3.4.6	小结	191
3.5	比较器	191
3.5.1	比较器特性	192
3.5.2	差动比较器	193
3.5.3	两级比较器	193
3.5.4	箝位比较器与迟滞比较器	196
3.5.5	采用正反馈的比较器	199
3.5.6	自动调零	200
	参考文献	201
	习题	202
第 4 章	CMOS 数字电路基础	208
4.1	互补静态 CMOS 反相器	208
4.1.1	基本原理	208
4.1.2	直流特性	209
4.1.3	瞬态特性	214

4.1.4	功耗	222
4.1.5	小结	225
4.2	CMOS 传输门	225
4.2.1	NMOS 传输晶体管	225
4.2.2	PMOS 传输晶体管	226
4.2.3	CMOS 传输门	226
4.3	静态 CMOS 逻辑结构	229
4.3.1	互补 CMOS 逻辑门	230
4.3.2	伪 NMOS 电路	240
4.3.3	传输门逻辑	243
4.4	钟控 CMOS	247
4.5	动态 CMOS 逻辑结构	248
4.5.1	基本原理	249
4.5.2	瞬态特性及功耗	250
4.5.3	影响设计的几个问题	251
4.5.4	动态电路的级联	254
4.5.5	多米诺逻辑	254
4.5.6	NP-CMOS(Zipper)	256
4.5.7	动态逻辑的特点	256
4.6	如何选择逻辑类型	256
4.7	CMOS 寄存器	257
4.7.1	基本概念	258
4.7.2	静态锁存器和寄存器	259
4.7.3	动态锁存器和寄存器	262
4.7.4	真单相时钟寄存器	262
4.7.5	小结	265
	参考文献	265
	习题	265
第 5 章	模拟电路设计	267
5.1	数/模(D/A)转换器	267
5.1.1	D/A 转换器的原理与性能	268
5.1.2	并行 D/A 转换器	271
5.1.3	并行 D/A 转换器分辨率的提高	279
5.1.4	串行 D/A 转换器	284
5.1.5	小结	286
5.2	模/数(A/D)转换器	286
5.2.1	A/D 转换器的性能	286
5.2.2	串行 A/D 转换器	291
5.2.3	中速 A/D 转换器	293
5.2.4	高速 A/D 转换器	297
5.2.5	过采样 Σ - Δ A/D 转换器	305

5.2.6 小结	319
5.3 开关电容电路	319
5.3.1 开关电容放大器	320
5.3.2 开关电容积分器	334
5.3.3 开关电容滤波器	342
5.4 锁相环	352
5.4.1 简单锁相环	352
5.4.2 电荷泵锁相环	370
5.4.3 锁相环中的非理想效应	379
5.4.4 延迟锁相环	385
5.4.5 应用	387
参考文献	390
习题	391
第6章 数字子系统设计	393
6.1 加法器	393
6.1.1 一位全加器的定义	393
6.1.2 一位全加器的电路实现	394
6.1.3 加法器电路逻辑设计	397
6.2 移位寄存器	405
6.3 计数器	407
6.4 乘法器	409
6.4.1 二进制乘法定义	409
6.4.2 部分积生成	411
6.4.3 部分积累加	412
6.4.4 最终求和	416
6.5 MOS 存储器	416
6.5.1 存储器基本结构	417
6.5.2 ROM	420
6.5.3 SRAM	428
6.5.4 DRAM	432
6.5.5 非易失性读写存储器	436
6.5.6 CAM 存储器	442
6.5.7 存储器外围电路	444
6.5.8 高性能存储器	455
6.6 I/O 电路	467
6.6.1 输入电路	467
6.6.2 输出电路	483
参考文献	485
习题	486
附录	492

第 7 章 可编程逻辑器件(FPGA 与 CPLD)	498
7.1 概述	498
7.2 可编程器件的编程技术	502
7.2.1 反熔丝编程技术	502
7.2.2 静态 RAM 编程技术	503
7.2.3 EPROM 和 EEPROM 编程技术	504
7.3 可编程器件分类	504
7.4 复杂可编程逻辑器件(CPLD)	506
7.4.1 Altera 公司 MAX7000 系列 CPLD	507
7.4.2 Xilinx 公司 XC9500 系列 CPLD	510
7.4.3 Lattice 公司 ispLSI 5000 系列 CPLD	516
7.5 基于 SRAM 编程的 FPGA	520
7.5.1 Spartan 系列 FPGA	520
7.5.2 FLEX10K 系列 EPGA	527
7.6 基于反熔丝技术的 FPGA	534
7.6.1 Axcelerator 系列 FPGA 结构概述	535
7.6.2 AX 系列基本单元	536
7.6.3 AX 系列 I/O 单元	539
7.6.4 AX 系列的布线资源	540
7.6.5 AX 系列的其他结构特性	543
7.7 用于 SOPC 的可编程逻辑器件	546
7.7.1 可编程逻辑发展趋势	546
7.7.2 平台 FPGA	547
7.7.3 SOPC 器件的设计开发流程	571
参考文献	574
习题	575

第 1 章 集成电路设计概论

微电子技术、电子技术和计算机技术在相互渗透、相互支撑和相互促进的紧密关系中,均得到了飞速发展。现代信息社会的支柱——计算机和通信,其主要硬件设备就是集成电路。以集成电路(Integrated Circuit, IC)的发展为标志的微电子技术无所不在,已经成为现代信息社会的基础。20 世纪的历史证明,集成电路产业是人类历史上发展最快的产业,而且 IC 产业实际上已出现了独立的设计业、设计软件业(EDA 产业)、制造业、封装业和测试业。社会的需求直接推动 IC 设计业的发展,而成功的 IC 设计又取决于优秀的设计工具和科学的设计方法。

本章首先从集成度和特征尺寸等方面简要地介绍集成电路产业的发展。然后简述 IC 的分类、IC 设计技术的发展、IC 设计的要求和 IC 的设计方法学。最后,概略地介绍特征尺寸小至深亚微米、纳米的条件下 IC 设计所面临的问题以及 SOC 的设计方法。

1.1 集成电路的发展

自从 1959 年世界上第一块集成电路诞生以来,集成电路技术以惊人的速度发展。第一块集成电路上只有四个晶体管,而目前的集成电路已经可以在一个芯片上集成几千万只晶体管,甚至上亿只晶体管。单个芯片所包含的晶体管数定义为集成度。在集成度方面,集成电路的发展经历了小规模 IC(SSSI,集成度 $<10^2$)、中规模 IC(MSI, $10^2<$ 集成度 $<10^3$)、大规模 IC(LSI, $10^3<$ 集成度 $<10^5$)、超大规模 IC(VLSI, $10^5<$ 集成度 $<10^7$)和特大规模 IC(ULSI,集成度 $>10^7$)的不同阶段。IC 的发展历史完全证实了 Gordon E. Moore 在 1975 年的预言:集成电路的集成度每隔 1~2 年翻一番^[1]。在集成度方面,微处理器和储存器的进步可以作为 IC 发展的典型,图 1.1 表示了英特尔公司的微处理器的集成度随时间的增长,其集成度大约每 2 年翻一番。集成电路的集成度随时间增长的规律,被人们称为摩尔定律。

从 20 世纪 80 年代至今,IC 制造的特征尺寸(L)由 $3\text{ }\mu\text{m}$ 缩小至 $0.09\text{ }\mu\text{m}$ (即 90 nm),大约每 5 年缩小一倍。在特征尺寸方面,IC 发展经历了微米、亚微米($L<1\text{ }\mu\text{m}$)、深亚微米($L<0.6\text{ }\mu\text{m}$)、超深亚微米(即纳米, $L<0.1\text{ }\mu\text{m}$)几个阶段。另外,布线的线间距由 $10\text{ }\mu\text{m}$ 下降至 $0.5\text{ }\mu\text{m}$ 。一个芯片的面积由 2 mm^2 增大到 10 mm^2 。

随着特征尺寸的减小,IC 的速度、功耗、功能和鲁棒性等各种性能都得到了很大的提高,价格却迅速降低,每个晶体管的平均价格从上个世纪 70 年代初的 1 美元下降到如今的 10^{-7} 美元^[2],即 1 美元可买到 1 千万个晶体管。

社会的需求不断地推动集成电路产业的发展,在 IC 设计方面,从晶体管的集成发展到逻辑门的集成,进而发展到 IP 核(知识产权模块/核;Intellectual Property Core)的集成,在单个芯片上能实现整个系统的功能,即 IC 设计已发展到了系统芯片 SOC(或片上系统)(System on a

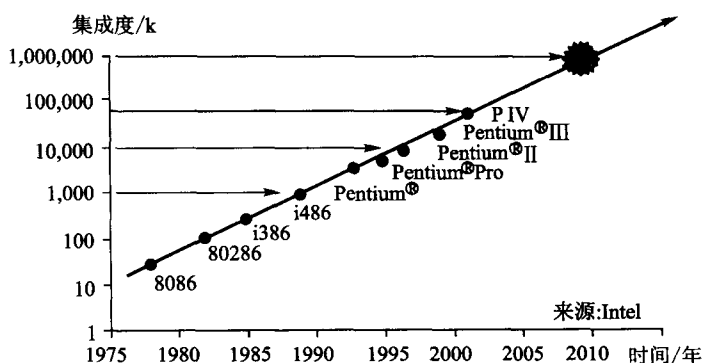


图 1.1 微处理器的集成度随时间增长

Chip, SOC)的阶段。SOC 中可以包括数字 IC、模拟 IC、射频 IC 和传感器(MEMS 元件),能实现非常复杂的系统功能。

人们预计,今后的 15 年左右,IC 的发展仍服从摩尔定律,特征尺寸可小到 10 nm。根据 ITRS(International Technology Roadmap for Semiconductors)2002 年修改的数据,从 1999 年到 2014 年的各代半导体工艺中,集成电路的各项主要指标如表 1.1 所示。在 IC 的设计方面, SOC 设计方法和工具将会有大的发展,并将支持设计级别更为抽象的上层设计。

微电子、通信、控制和计算机等各种技术在各自深入发展的同时,在 SOC 中走向综合。SOC 设计离不开系统的知识,系统设计也离不开 SOC 的知识。

表 1.1 半导体各代工艺中的主要指标

时间/年	1999	2000	2001	2004	2008	2011	2014
指标							
最小线宽/nm	180	150	130	90	60	40	30
最低供电电压/V	1.5~1.8	1.5~1.8	1.2~1.5	0.9~1.2	0.6~0.9	0.5~0.6	0.3~0.6
布线层层数	6~7	6~7	7	8	9	9~10	10
局部-整体的频率/GHz	1.2	1.6~1.4	2.1~1.6	3.5~2	7.1~2.5	11~3	14.9~3.6
微处理器最大功率/W	90	106	130	160	171	177	186

1.2 IC 的分类

本节从不同的角度对 IC 进行大的分类,重点介绍按设计方法及实现方式的分类。

1. 按处理的信号类型分类

按处理的信号类型不同,IC 可分为模拟 IC、数字 IC、混合信号 IC 和射频 IC。

信号是能表达物理系统状态或行为的信息,是随时间变化的物理量,如电压、电流(或电荷值)、压力、温度和电磁波等。模拟信号是在一定连续时间范围内和一定连续幅度范围内具有确

定值的信号,数字信号是在时间和幅度的某些离散点上有确定值的信号。

对模拟信号进行处理的 IC 称为模拟 IC,如运算放大器、A/D 和 D/A 转换器、连续时间滤波器、开关电容滤波器、乘法器、调制器和振荡器等。对数字信号进行处理的 IC 称为数字 IC,如控制器、微处理器、ROM 和 RAM 等。对频率在 300 MHz~8 GHz 范围的射频信号进行处理的称为射频 IC。

由于模拟采样技术和 MOS 工艺的发展,一个芯片能同时处理数字和模拟两种信号,这种 IC 称为混合信号 IC。这种集成电路的发展,推动了 SOC 的产生和发展。

2. 按生产的目的分类

按生产目的不同,IC 可分为通用 IC 和专用 IC。

(1) 通用集成电路

一些标准的、通用的 IC,如中央处理器(CPU)、存储器、标准逻辑电路和计算机外围电路等,称为通用 IC。这些 IC 的生产批量大,对电路的性能和芯片的利用率要求高,而对设计成本、设计周期的要求可以放宽。

(2) 专用集成电路

大量的面向专门用途而生产的 IC 属于专用 IC,人们习惯地称为 ASIC(application-specific integrated circuit,读成 a-sick),一般除了通用 IC 以外的均属于 ASIC。这类 IC 适应各种电子系统的需要,它的设计更加复杂,而且对 EDA(电子设计自动化)工具的要求更高。ASIC 的发展,不断地促进与推动 IC 的设计方法学和设计工具趋于完善,也使 IC 的应用范围不断扩大。

3. 按制造工艺分类

集成电路的制造工艺,主要是双极工艺、混合的双极 CMOS 工艺(称为 BiCMOS 工艺)和 MOS 工艺,目前的主流工艺是 CMOS 工艺。按照制造工艺的不同,IC 可分为双极 IC 和 CMOS IC。

(1) 双极 IC

这种 IC 中的有源器件是双极结型晶体管(BJT),其电路主要是 TTL(transistor-transistor logic),即晶体管-晶体管逻辑以及 ECL(emitter couple logic),即发射极耦合逻辑。双极型集成电路的特点是功耗较大,速度比 CMOS 高(相同工艺水平条件下),具有较大的负载能力。

(2) CMOS IC

这种 IC 中基本的有源器件是 MOS(metal oxide semiconductor)晶体管。一般情况下,CMOS 电路中,NMOS 管和 PMOS 管是成对出现的,其主要特点是功耗低、成本低、抗干扰能力强和输出电压范围宽。因此,CMOS IC 很快地占领了数字 IC 的市场。

由于以下两个原因,CMOS IC 也在模拟电路市场占据主导地位。第一,模拟电路的设计采用 CMOS 技术;第二,随着 CMOS 工艺技术的快速进步(双极工艺的进步慢得多),晶体管尺寸的不断减小使 MOS 器件的电容减小,MOS 晶体管的特征频率提高了 3 个数量级以上,因此 CMOS IC 在速度上也已经赶上并超过了 TTL 电路。正因为如此,CMOS IC 成了 SOC 发展的最好选择。因此,本书只介绍硅材料的 CMOS 工艺及 CMOS 的模拟 IC 和数字 IC 的设计。

4. 按设计方法及实现方式分类

IC 的设计过程和制造过程都非常复杂,从设计到产品实现的整个过程也需要很长的时间。为了加快设计和制造的速度,通常对这两个过程施加一定的约束。在设计方面,可对版图的安置

和排列方式采用一些特别的规定,对设计施加特定的约束,这可极大地简化设计。在制造方面,对芯片加工的若干较低层的工艺或全部工艺可提前完成(即预制),产品实现时,只需完成连线配置的后几道工序(即定制),或者只需一道“编程”工序。这些技术是在实现方式上施加部分或全部的约束,可以大大缩短 IC 实现的时间。

IC 的设计和实现是相互关联的,由这两个过程的有关约束的结合,IC 通常分为五种:全定制、标准单元、门阵列、可编程逻辑器件和现场可编程逻辑器件。由于通用 IC 都是采用全定制方法设计和实现的,因此这种分类,实际上是对 ASIC 进行分类。下面侧重介绍标准单元 IC 和门阵列 IC,其他三种在本书的有关章节将详细地进行讨论。

(1) 全定制 IC

全定制(full-custom)IC 是基于晶体管级的 IC,芯片中的全部器件及互连线的版图都是按照系统要求进行人工设计的,尽量达到密度高、速度快、面积小和功耗低的最佳性能要求。它的实现需要 IC 制造的所有工艺。也就是说,全定制 IC 的设计过程和实现过程都几乎没有约束,全都是定制的。

为了对复杂系统进行简化和保证设计的正确性,全定制设计采用层次式和结构化的方法(参见 1.5 节的叙述),但对系统的每一个局部的逻辑、电路和版图都必须依靠 EDA 工具进行优化设计。因此,全定制设计的开发时间长,设计费用高。对于数字 IC,只有对于大批量生产的通用 IC 或对性能有特殊要求的电路才适合采用全定制方式。CMOS 模拟电路和射频电路的设计,由于需要对每个晶体管的宽长比进行设计以及对严格匹配的晶体管进行对称的版图设计,也采用全定制方式。

(2) 标准单元 IC

这种 IC 是由“单元”组成的,因此也称为基于单元的 IC(cell-based IC, CBIC,读成“sea-bick”)。这些单元都是采用全定制方法精心设计的标准单元或功能块,并预先被存放在单元库中。图 1.2 表示的是一种标准单元。设计时,先调用各种单元进行布局,然后进行自动布线。这种 IC 的设计过程有一定的约束,但实现过程没有约束,因此也称为定制 IC。

IC 制造厂的单元库中通常有几百种中、小规模逻辑的标准单元,从各种逻辑门到编/解码器、比较器等,每一种均可提供逻辑符号、拓扑结构和物理版图。这些标准单元的逻辑功能、电性能和版图都是经过验证的。这些标准单元版图的高度相等(宽度可以不相等)。除标准单元外,单元库中一般还有一些功能模块,如存储器(RAM、ROM 和 CAM)、乘法器、微控制器和微处理器等。

以图 1.2 的标准单元为例,由于标准单元的高度相等,设计时,把它当成砖块,堆砌成行,其中单元对接框(AB)是砖的边缘,每个单元的电源和地的金属线都互相连接成两条水平线(它们是位于晶体管各层之上的第一层金属)。标准单元图中各个不同的阴影图形代表不同的版图层次, A_1 、 B_1 和 Z 三个小方块可以通过通孔在第二层金属中与其他单元连接。标准单元组成的行在纵向进行排列,如图 1.4 中的 1 区,这称为标准单元区。

在标准单元区中,电源线采用水平走向的第一层金属线,信号线采用第二层金属线和多晶硅线。单元内部的连线采用第一层金属线和多晶硅线;单元之间的连线,如果是水平方向,则在布线通道中采用第一层金属线;如果是垂直方向,则采用第二层金属线和多晶硅线。关于垂直方向的连线,如图 1.3 所示,单元 A.132 与单元 A.11 的连接,跨越了两排单元行,依靠第二层金属线

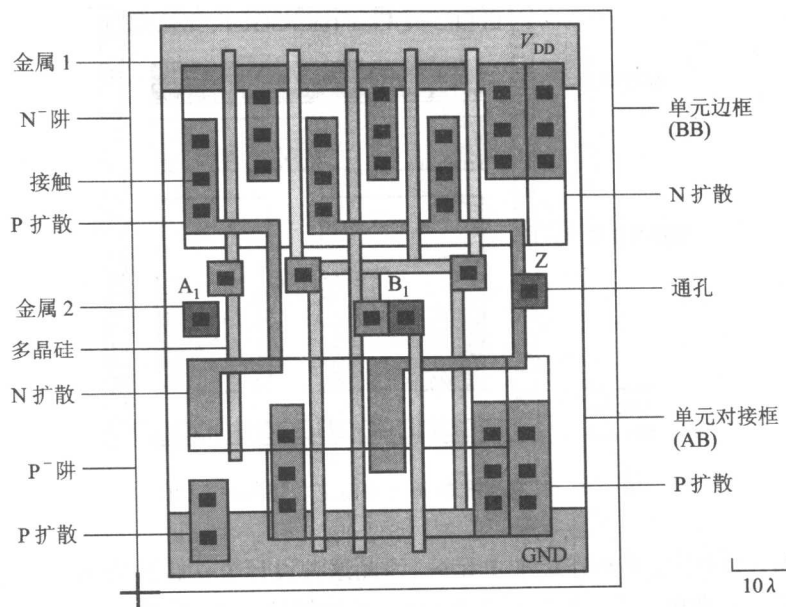


图 1.2 标准单元的版图结构

在单元 A.14 和 A.23 的上方通过,就像天桥跨越公路一样。图中供给各行电源的纵向电源线,也同样地依靠金属 2 布线。

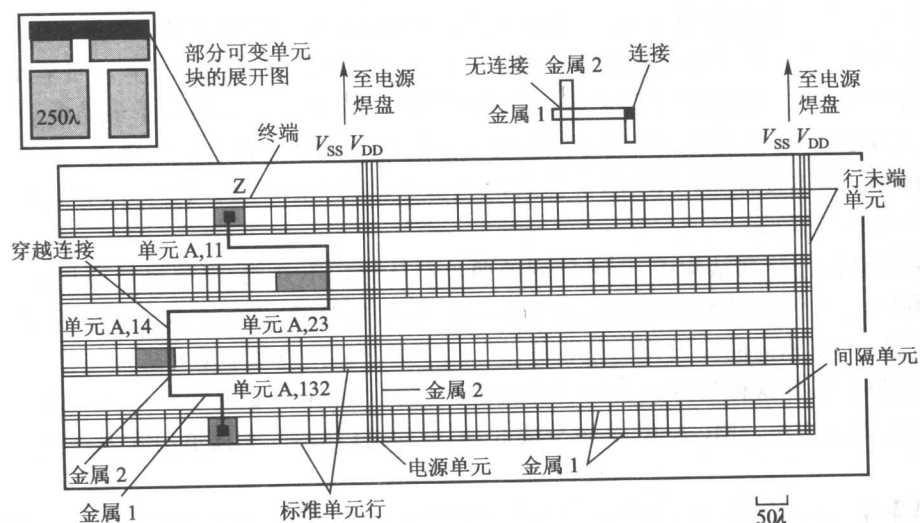


图 1.3 标准单元区内跨越单元行的纵向连线

CBIC 可以全部由按行排列的标准单元区组成,也可以嵌入一些全定制设计的固定功能块,即单元库中的功能模块,如图 1.4 所示。图中周边的小方块是连接 IC 封装引线的焊盘。

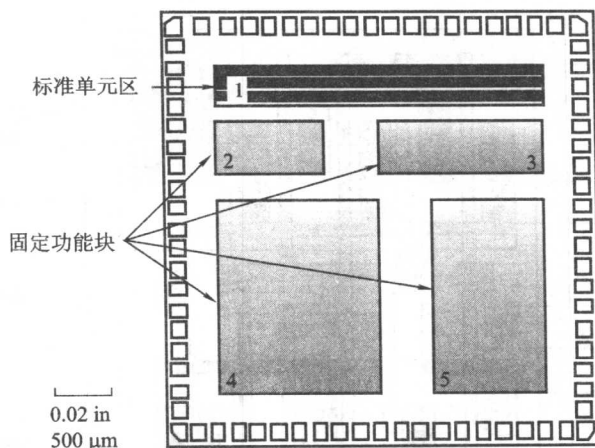


图 1.4 具有标准单元区和固定功能块的 CBIC

由于 CBIC 的版图中总是存在标准单元区,因此这种设计方法也称为标准单元法,相应的 IC 称为标准单元 IC。标准单元 IC,不浪费芯片面积,其性能较高,这是设计中常用的方法,这种 IC 的加工没有预制。但需要单元库,如果自己建单元库,则设计时间较长。

(3) 门阵列 IC

这种 IC 是由门阵列(gate array, GA)组成。这些门阵列是由基本门(严格地讲,是包含多个晶体管的基本单元)组成的阵列,而且已预先在制造工艺中实现,图 1.5 是一种基本单元,这种半成品芯片称为母片。这种 IC 的设计和实现过程均有约束,也可称为半定制 IC。

图 1.5 是一种 6 管基本单元,该单元对外的所有输入和输出(原理图中的圆点)的连接线都被引到单元的上、下边界,即连线通道的边缘,以便进行单元之间的连接。单元与单元之间的隔离可以采用场氧化区。但现代工艺更多地采用栅隔离,设想图 1.5 中有 7 条多晶栅,而且中部的一条断开,即第 4 列的 N 管和 P 管不共栅,则可以使用这两个晶体管进行隔离,方法是 NMOS 晶体管的栅极与地连接,同时 PMOS 晶体管的栅极与电源 V_{DD} 连接。这样,我们得到了互相隔离的两个 6 管基本单元。

实际的栅隔离门阵列结构中,所有同列的两种晶体管均不共栅,以便灵活地构成 2~6 管基本单元。另外,一些基本单元可固定连接成逻辑单元,即宏单元,这些宏单元的版图,除了金属连线和引线孔外,都是相同的。设计的任务是在母片中对宏单元或基本单元进行连接,即设计几层互连的金属掩模,因此这种门阵列常称为掩模式门阵列(masked gate array, MGA)。这是一种面向逻辑级的设计方法。MGA IC 又可分成 3 种:有通道门阵列、无通道门阵列(门海)和结构式门阵列。

如果基本单元排列成行,行与行之间有专供连线用的通道区,而且通道的高度是固定的,则称为“通道门阵列”。如图 1.6(a)所示。这种设计方法通常只需 2~4 块定制的掩模板,设计时间短。其主要缺点是一些晶体管或基本单元无用而浪费以及自动布局布线往往需要人工干预。为适应各种要求,通常门阵列的面积较大、速度较低、功耗较大。

为克服以上的缺点,人们提出了“无通道门阵列”,或称为“门海”(sea-of-gates, SOG),如图 1.6(b)所示。这种门阵列无固定的布线通道,连线在门阵列的器件上面进行,连线下面的晶体