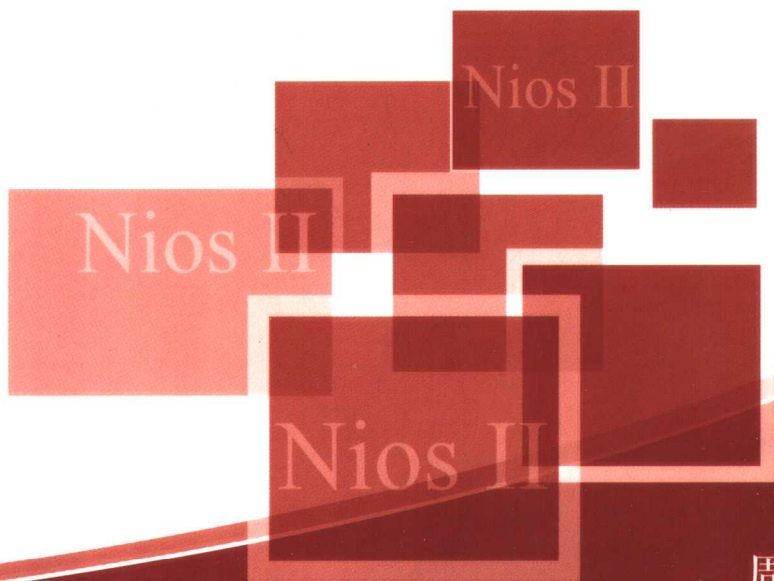


高等院校通用教材·SOPC嵌入式开发系列教程

本书配套视频教程

SOPC

嵌入式系统实验教程 (一)



周立功 等编著



北京航空航天大学出版社

高等院校通用教材·SOPC 嵌入式开发系列教程

TP332
83C
:1
2006

SOPC 嵌入式系统 实验教程(一)

周立功 等编著

北京航空航天大学出版社

内 容 简 介

本书是与《SOPC 嵌入式系统基础教程》相配套的实验教材。设计开发了 45 个实验,包括 SOPC 硬件系统的基础实验,基于 Nios II 外设的基础编程实验,基于实验箱外设的 Nios II 高级编程实验,在 Nios II 系统中进行基于 $\mu\text{C}/\text{OS}-\text{II}$ 操作系统的应用程序开发实验和 SOPC 硬件系统的高级实验。各种实验的安排由浅入深,由硬件到软件,相对完整,使读者很容易学习和掌握 SOPC 嵌入式系统的开发应用。

本书配套视频教程,以视频形式详细说明了书中部分内容的操作流程,可使读者快速入门。本书可作为高等院校电子工程、计算机、微电子、通信、自动控制等相关专业 SOPC 嵌入式系统课程的实验教材,也可作为从事 SOPC 嵌入式系统应用开发工程师的参考资料。

图书在版编目(CIP)数据

SOPC 嵌入式系统实验教程. 1/周立功等编著. —北京:
北京航空航天大学出版社, 2006. 11
ISBN 7-81077-903-6

I. S… II. 周… III. 微处理器—系统设计—高等学校—教学参考资料 IV. TP332

中国版本图书馆 CIP 数据核字(2006)第 126478 号

© 2006, 北京航空航天大学出版社, 版权所有。

未经本书出版者书面许可,任何单位和个人不得以任何形式或手段复制或传播本书内容。
侵权必究。

SOPC 嵌入式系统实验教程(一)

周立功 等编著

责任编辑 张小卫

*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(100083) 发行部电话:010-82317024 传真:010-82328026

<http://www.buaapress.com.cn> E-mail: bhp@263.net

涿州市新华印刷有限公司印装 各地书店经销

*

开本: 787 mm×960 mm 1/16 印张: 22.25 字数: 498 千字

2006 年 11 月第 1 版 2006 年 11 月第 1 次印刷 印数: 5 000 册

ISBN 7-81077-903-6 定价: 29.00 元

前言

SOPC(System On Programmable Chip, 可编程片上系统)是 Altera 公司提出的一种灵活、高效的 SOC 解决方案,是一种新的软硬件协同设计的系统设计技术。它将处理器、存储器、I/O 口、LVDS 和 CDR 等系统设计需要的功能模块集成到一个可编程器件上,构成一个可编程片上系统。SOPC 是 PLD 和 ASIC 技术融合的结果。目前 $0.13\ \mu\text{m}$ 的 ASIC 产品制造价格仍然相当昂贵,而集成了硬核或软核 CPU、DSP、存储器、I/O 设备和可编程逻辑 SOPC 芯片在应用灵活性和价格上有相当大的优势,所以有人认为 SOPC 代表了半导体产业未来的发展方向。

以本书作者的经验,SOPC 技术只有通过大量的实践才能很好并快速地掌握,为此本实验教程在内容编排上力求实用与实战,深入浅出、由易到难地列出了很多实例。在教程中,作者努力做到不仅讲述怎样进行实验,而且分析为什么这样做,以便读者能够深刻理解并快速掌握。

本实验教程的内容安排如下:

第 1 章详细分析本书所对应 SmartSOPC 多功能教学实验开发平台的硬件电路,包括核心板和主板两部分,为读者设计自己的硬件电路提供参考。

第 2 章简单介绍实验前的一些准备工作,读者必须按照本章要求完成准备工作,才能正确地进行其它章节的实验内容。

第 3 章介绍 SOPC 硬件系统的基础实验,目的是让读者通过这些实验掌握 SOPC 开发的基本流程,熟悉使用 Quartus II、SOPC Builder 定制 Nios II 系统,以及利用 Nios II IDE 进行应用程序开发。本章实验由简单到复杂,采用 Step by Step 的方式让读者以最快的方式了解 SOPC 开发以及各软件的使用,从而激起读者对 SOPC 的兴趣。

第 4 章介绍基于 Nios II 外设的基础编程实验,包括 PIO、定时器、UART、JTAG UART 和 SPI 等,以帮助读者快速地熟悉各外设的编程以及 Nios II 软件开发流程。

第 5 章介绍一些基于实验箱外设的 Nios II 高级编程实验,所有实验室常用的各外设 in 实验平台上都有相对应的实验。由于篇幅所限,本书并没有详细讲述外设 IP 核及其驱动程序的编写,但在随实验平台配套的光盘中提供了注解的源码,读者可自行阅读。

第 6 章以 4 个具体实验让读者熟悉在 Nios II 系统中怎样进行基于 $\mu\text{C}/\text{OS}-\text{II}$ 操作系统的应用程序开发。

第 7 章是 SOPC 硬件系统的高级实验,帮助读者掌握如何定制用户逻辑外设和用户指令。定制用户逻辑外设和用户指令是使用 Nios II 嵌入式软核处理器的 SOPC 系统的重要特性,用户还可以通过定制用户逻辑外设和用户指令来实现各种应用要求。

附录为本书的实验平台的 FPGA 的引脚分配表。

在阅读本书的过程中,请读者注意以下几点:

- 本书中提及的“配套光盘”,随 SmartSOPC 多功能教学实验开发平台提供。
- 本书的代码和算法力求简单易懂,在此过程中很少考虑运行的效率。一方面因为书中

前言

的代码仅供学习使用,暂不考虑用作实际项目;另一方面,作者认为读者对本书内容有了足够的了解之后,再考虑效率和实用性也不迟。

- 本书列出了作者在验证本书内容过程中遇到的很多问题的解决方法和注意事项,书中特别用表示出来。
- 本书对一些术语在不同场合下并没有严格进行统一,事实上 Altera 公司的英文手册也是如此。不统一的术语主要是外设、元件、IP 核。在 SOPC Builder 中通常使用元件(Component)或 IP 核来描述硬件模块;而在软件编程中通常把在 SOPC Builder 中称之为元件或 IP 核的硬件模块描述为外设或设备。
- 由于中文资料缺乏,一些内容是在 Altera 公司英文文档及软件帮助内容的基础上翻译的。在翻译过程中一些表达可能不恰当,为此在括号内给出了相应的英文表达,以便于读者更好地理解。
- 本书是基于广州致远电子有限公司的 SmartSOPC 多功能教学实验开发平台而编写的,如果读者没有该实验开发平台或使用其它类似的开发平台,也能从本书的部分章节中受益。
- 本书在写作过程中遵循“宁可啰唆一点,也不放过细节”的方针。对书中的某些地方,有些读者可能觉得很“简单”,甚至有些啰唆,但对大多数初学者可能并非如此。因为作者认为,有些足够简单甚至可以跳过的内容,对某些读者来说,未必能一下子就弄清楚,所以,本书很多地方将尽量阐述清楚,以节省读者理解的时间。

最后要强调的是,本书旨在引路,不会带领读者掌握更深层次的开发,更高级的应用读者应自己去挖掘。

本书适合于高等院校电子工程、计算机、微电子、通信、自动控制等专业以及对此类专业感兴趣的高年级本科生和研究生。作者相信读者只要认真、勤奋地实践书中的内容,就能体会到由实践而带来的一次又一次的成就感;而成就感是学习过程中的快乐源泉,学习效率也会因此而提高,读者也能因此而较快地进入 SOPC 的技术世界。

参与本书编写和相关工作的主要人员有周书武、刘英斌、张晶、芮文彬、杜佳等,本书由周立功负责规划、内容编排、定稿与修改。

感谢北京航空航天大学出版社的大力支持,使本书得以快速出版。

由于作者的水平有限,书中内容难免有疏忽、不恰当甚至错误的地方,恳请各位老师及同行指正,并请您将阅读中发现的错误或建议发送到 tools@embedtools.com,以使本书不断完善。

- 读者若需要购买配套的 SmartSOPC 多功能教学实验开发平台,请与广州周立功单片机发展有限公司联系(联系方式见本书最后)。
- 本书配套有视频教程,以视频的形式详细说明了第 2 章、第 3 章 3.1 节和第 4 章 4.1 节的操作流程。通过视频教程,读者可以快速入门。该视频教程可在 <http://www.embedtools.com/> 网站,或北京航空航天大学出版社网站(<http://www.buaapress.com.cn>)上下载。

周立功

2006 年 7 月 20 日

目 录

第 1 章 SmartSOPC 教学实验开发平台	1
1.1 功能特点	1
1.2 核心板电路分析	3
1.2.1 核心板硬件原理概述	3
1.2.2 FPGA 器件	5
1.2.3 存储电路	6
1.2.4 配置电路	15
1.2.5 复位电路	21
1.2.6 时钟电路	21
1.2.7 FPGA I/O 口分配电路	22
1.2.8 扩展接口电路	22
1.2.9 独立按键及 LED 电路	25
1.2.10 电 源	27
1.3 主 板	28
1.3.1 电源电路	28
1.3.2 按键及 LED 电路	29
1.3.3 蜂鸣器电路	29
1.3.4 七段数码管显示电路	30
1.3.5 液晶显示电路	31
1.3.6 16×16 LED 点阵电路	32
1.3.7 RS232 串口电路	33
1.3.8 RS485 接口电路	34
1.3.9 红外通信电路	34
1.3.10 以太网接口电路	35
1.3.11 USB 接口电路	37
1.3.12 步进电机电路	38

目 录

1.3.13	直流电机电路	38
1.3.14	VGA 接口电路	39
1.3.15	PS/2 键盘鼠标接口电路	40
1.3.16	串行 D/A、A/D 电路	41
1.3.17	实时时钟电路	42
1.3.18	数字温度传感器电路	43
1.3.19	SD/MMC 卡接口电路	43
1.3.20	外设 PACK 接口电路	45
1.3.21	主板与核心板接口	45
1.3.22	主板上的跳线及接口电路	47
1.4	高速 A/D 和 D/A PACK 板	48
1.5	红外遥控器电路	49
第 2 章	实验准备工作	50
2.1	复制光盘提供的文件	50
2.2	QuickSOPC-1C6 和 QuickSOPC-1C12	51
2.3	安装 ByteBlaster II 下载电缆	53
第 3 章	SOPC 硬件系统基础实验	55
3.1	SOPC 快速入门	55
3.2	EPCS 的编程实验	86
3.3	建立带 SDRAM 的 Nios II 系统实验	93
3.4	建立带 Flash 的 Nios II 系统以及 FLASH 编程实验	117
3.5	定制 Avalon 总线型元件实验	126
3.6	建立 Standard 硬件平台实验	131
第 4 章	SOPC 软件编程基础实验	144
4.1	PIO 输出实验 1——流水灯控制	145
4.2	PIO 输出实验 2——步进电机控制	148
4.3	PIO 输入实验——读取开关信号	153
4.4	PIO 外部中断实验	157
4.5	定时器实验 1——使用系统时钟服务	161
4.6	定时器实验 2——使用时间标记服务	166
4.7	定时器实验 3——看门狗实验	169
4.8	通过 C 库函数访问 JTAG UART	173
4.9	通过 HAL API 函数访问 JTAG UART	176
4.10	通过 C 库函数访问 UART	178
4.11	通过 HAL API 函数访问 UART	181

4.12	SPI 操作及逻辑分析仪使用实验	184
4.13	存储器实验	189
4.14	System ID 实验	190
第 5 章	SOPC 软件编程高级实验	193
5.1	字符液晶显示实验	193
5.2	七段数码管显示实验	196
5.3	频率计实验	199
5.4	直流电机直流脉宽调速(PWM)实验	201
5.5	乐曲播放实验	205
5.6	实时时钟实验	213
5.7	温度采集实验	219
5.8	读/写 CAT1025 实验	224
5.9	A/D 转换实验	226
5.10	D/A 转换实验	231
5.11	红外收发通信实验	234
5.12	16×16 点阵 LED 实验	238
5.13	简单的嵌入式 Web 服务器实验	241
5.14	读/写 SD Card 实验	248
5.15	USB 实验	253
5.16	VGA 接口实验	260
5.17	PS/2 鼠标接口实验	262
5.18	PS/2 键盘接口实验	265
第 6 章	μC/OS-II 基础实验	270
6.1	μC/OS-II 应用程序开发流程实验	270
6.2	任务管理和时间管理实验	276
6.3	信号量和互斥量实验	283
6.4	消息队列和邮箱实验	292
第 7 章	SOPC 硬件系统高级实验	304
7.1	定制基于 Avalon 总线的用户外设实验	304
7.2	定制 Nios II 用户指令实验	315
7.3	创建目标板 Flash 编程设计实验	326
附录	SmartSOPC 核心板 FPGA 引脚分配	336
参考文献		344

第 1 章

SmartSOPC 教学实验开发平台

SmartSOPC 教学实验开发平台集众多功能于一体,是 SOPC、EDA、DSP、ARM7 SOC、ARM 和 51 单片机教学实验以及科研开发的最佳选择。该开发平台采用核心板加主板的结构,更换核心板即可实现不同的功能。而且,SmartSOPC 多功能教学实验开发平台标配一台高性能的 LA1024 逻辑分析仪,用户使用逻辑分析仪可以更直观地进行开发和实验。

SmartSOPC 教学实验开发平台采用核心板加主板的结构,除标配的 Altera QuickSOPC 核心板外,提供的选配核心板还有:Actel QuickMP7 (ARM7 SOC)、Philips QuickARM 和 Quick51。该实验开发平台标配高速 AD_DA PACK。QuickSOPC 核心板上可进行 SOPC、EDA、DSP 的开发和实验;QuickMP7 SOC 核心板可进行 Actel ARM7 的 SOC 开发和实验(QuickMP7 核心板的功能同 QuickSOPC 类似,不同之处在于 QuickMP7 使用的是广泛使用的 ARM7 核,并且其 FPGA 是基于 Flash 工艺,不使用配置芯片,可加密,功耗低);QuickARM 核心板可进行 Philips ARM 的开发和实验;Quick51 核心板可进行 C51 单片机的开发和实验。用户也可根据开放的接口来设计自己的核心板。

考虑到用户的实用性,核心板上除设计有 FPGA、各类存储器以及用户扩展 PACK 外,还设计有按键、LED(与主板共用 I/O 口)以及电源插座等。用户通过在 PACK 上实现自己的功能电路(如主板上的某部分电路),核心板就能脱离主板而单独使用。这样核心板可用于用户自己的设计,亦可用于电子设计大赛。与一般的实验箱不同,SmartSOPC 主板上大部分外设都不需要进行跳线设置,做实验时方便简单;此外每个外设的关键信号都设置了测试点,方便用户使用逻辑分析仪进行信号测量。总之,一切为用户考虑是本实验开发平台的出发点。

本章首先简单介绍本实验开发平台的功能特点,然后详细分析 QuickSOPC 核心板的硬件电路以及 SmartSOPC 主机(底板)的硬件电路。读者只有熟悉实验平台的电路原理后才能有效、有针对性地进行实验,遇到问题也能分析解决,同时也为读者以后设计自己的硬件电路提供参考。

1.1 功能特点

SmartSOPC 教学实验开发平台的功能特点如下:

第1章 SmartSOPC 教学实验开发平台

- 核心板 QuickSOPC 的标准配置为 Altera 公司的 EP1C6Q240、4 MB Flash、1 MB SRAM、16 MB SDRAM、配置器件 EPCS1 以及 256 字节 E²PROM。
- 核心板还包括用户扩展 PACK、4 个独立按键、8 个 LED(与主板共用 I/O 口)以及 5 V 电源插座,在 PACK 上扩展设计后可直接用于用户产品设计和电子设计大赛。
- 标准配置核心板兼容两种 FPGA: EP1C6Q240 和 EP1C12Q240,用户选择余地更大。
- 采用核心板加主板的灵活结构,核心板可采用各公司 FPGA 的各种型号,可换用 Actel QuickMP7 SOC 核心板、Quick51 核心板、Philps QuickARM 核心板,进行 ARM7 SOC、ARM 或 51 单片机开发。
- 大部分实验不需要跳线器设置,免去了实验前烦琐的跳线设置,实验开发简单快捷。
- 主板有总线 PACK,核心板有 I/O 口 PACK 以方便用户开发和使用。两个 PACK 都完全兼容周立功单片机发展有限公司的 ARM 系列 PACK,所有 ARM 的 PACK 都可再次利用,从而节省资金。
- 核心板上 I/O 口 PACK 考虑的高速特性,可用于高速外设扩展。
- 支持 μ C/OS-II 操作系统,搭建用户系统平台更方便。
- 标准配置 128×64 图形点阵液晶屏。
- 16×16 点阵 LED 显示。
- SD 卡接口,支持 SD/MMC 卡读/写。
- RS232 转换电路,可与上位机进行串行通信,完成 UART 通信实验。
- 包含 1 路 RS485 接口电路,可做 RS485 通信实验。
- PDIUSB12 USB2.0 Full Speed。
- 10M 以太网 RTL8019,支持以太网开发。
- 8 个独立 LED 灯,8 个独立按键,1 个蜂鸣器。
- 8 个七段数码管。
- 8 位串行 A/D、D/A。
- 实时时钟 PCF8563T。
- 数字温度传感器 LM75。
- PS/2 键盘,鼠标接口,扩展系统的输入设备。
- 256 色 VGA 接口。
- 四相步进电机,可实验做步进电机细分。
- 直流电机驱动电路(包括测速电路),可做直流电机闭环调试控制实验。
- 高速 A/D、D/A PACK,20 MS/s 8 位 ADC,125 MS/s 10 位 DAC,350 MS/s 高速运放。
- 提供一个红外遥控器(LPC915)。
- 绝大部分元件为表贴元件,使用先进的表贴机生产,产品质量更可靠,外观更整洁。
- 提供基于 μ C/OS-II 的实验例子。

➤ 大量的实验程序,详细的配套教程。

1.2 核心板电路分析

1.2.1 核心板硬件原理概述

核心板的硬件原理框图如图 1.1 所示。

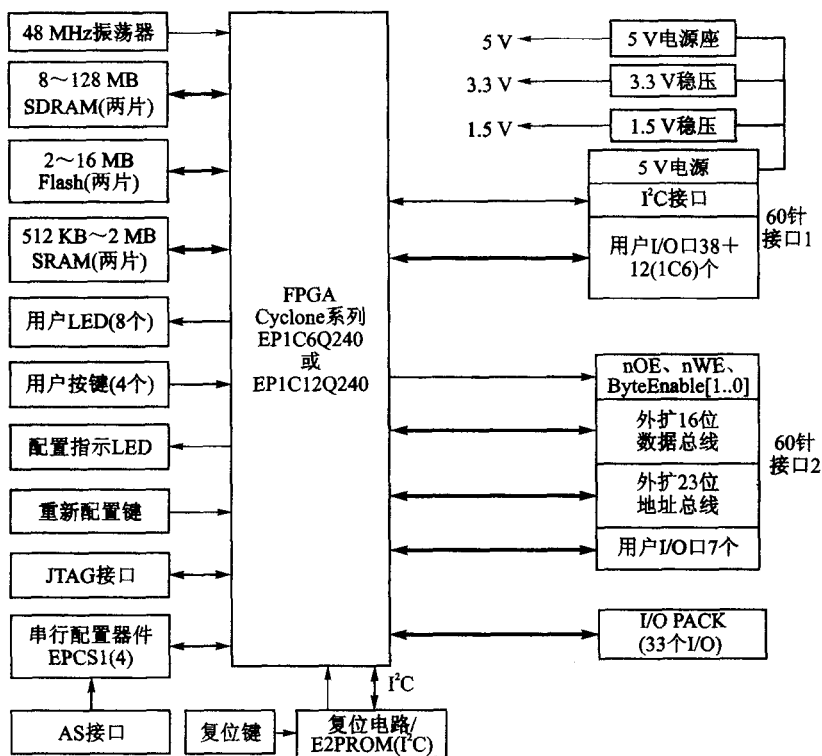


图 1.1 QuickSOPC 硬件方框图

核心板采用 4 层板精心设计,具有 120 针接口,元件布局如图 1.2 所示。

核心板的硬件资源如下:

- 一个型号为 Cyclone EP1C6Q240 的 FPGA 器件,兼容 EP1C12Q240。
- 两片 2 MB (共 4 MB) 的 Nor Flash 存储器 AT49BV163AT-70(1M×16 位),每片 Flash 都可兼容 4 MB 或 8 MB,这样最大可扩充为 16 MB 的 Flash。
- 两片 512 KB(共 1 MB)的 SRAM IS61LV25616AL(256K×16 位),每片 SRAM 都可兼

第 1 章 SmartSOPC 教学实验开发平台

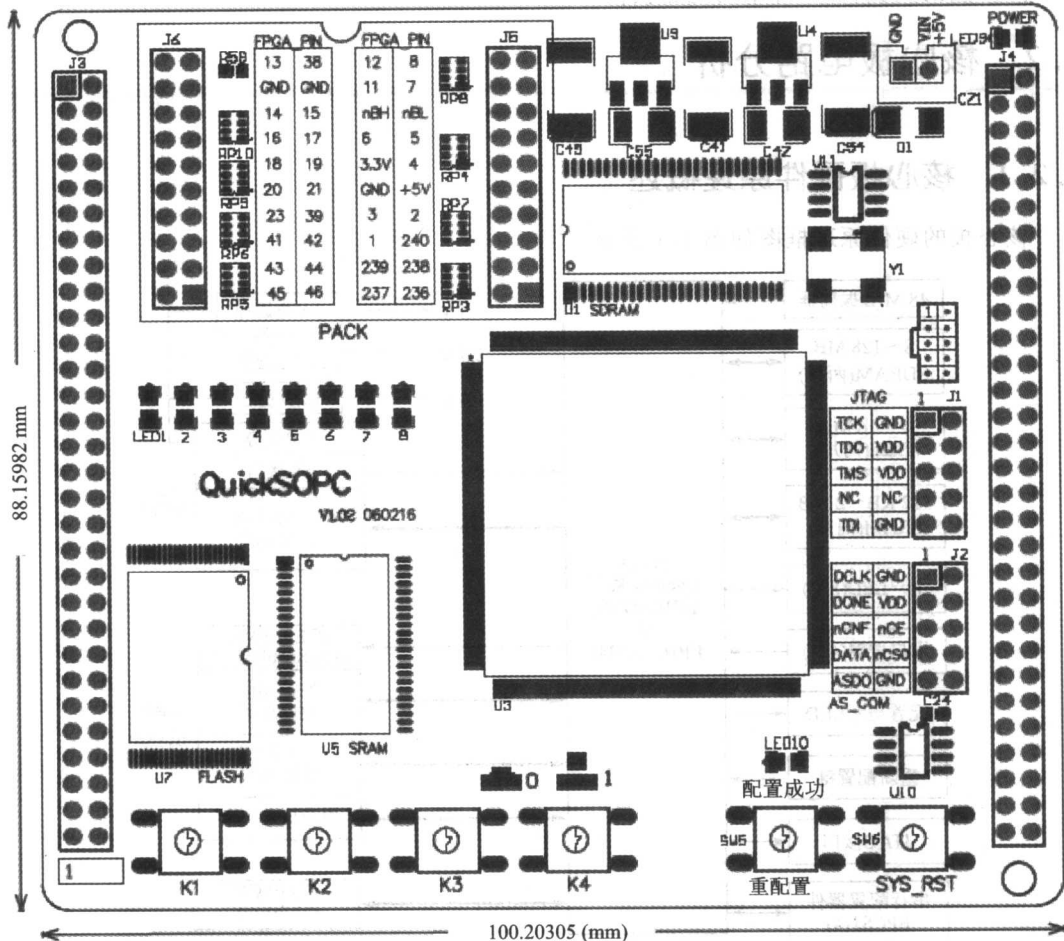


图 1.2 核心板元件布局图

容 1 MB, 这样最大可扩充为 2 MB 的 SRAM。

- 两片 16 位总线 8 MB 的 SDRAM K4S641632H, 每片 SDRAM 都兼容 16 MB、32 MB 以及 64 MB, 这样最大可扩充为 128 MB SDRAM。
- 串行配置器件 EPCS1 (EP1C6Q240 时使用), 兼容 EPCS4 (EP1C12Q240 时使用)。
- AS 接口, 通过 AS 接口可直接对 EPCS 器件快速编程。
- JTAG 接口, 可下载配置到 FPGA、调试程序、Flash 编程, 也可对 EPCS 器件进行编程。
- 带 I²C 接口的 E2PROM (256 字节) 的复位芯片 CAT1025SI-30。
- 8 个用户 LED 灯, 4 个用户按键。

- 配置成功指示灯,用于指示配置的成功。
- 重新配置按键,按下此按键后,FPGA 将要求重新配置。
- 复位按键,用于产生系统复位信号。
- 通过 2 个 60 针接口将 57 个(EP1C12Q240 时为 45 个)I/O 口、I²C 总线、16 位数据总线、23 位宽度地址总线、读/写信号引出,用于主板的各外设。
- 一个 33 个 I/O 口的用户 PACK,用于用户自己的设计。
- 48 MHz 的有源晶振。
- 5 V、3.3 V、1.5 V 电源。

1.2.2 FPGA 器件

核心板 QuickSOPC 所用的 FPGA 为 Altera 公司 Cyclone 系列的 EP1C6Q240,兼容 EP1C12Q240。EP1C6Q240 包含有 5 980 个逻辑单元(LE)和 92 Kbit 片上 RAM,EP1C12Q240 包含有 12 060 个 LE 和 239 Kbit 的片上 RAM。EP1C6Q240 有 185 个用户 I/O 口,封装为 240 脚 PQFP;EP1C12Q240 也是 240 脚 PQFP 封装,但用户 I/O 口只有 173 个,因为相对 EP1C6Q240,EP1C12Q240 的内核功耗增加,额外的 12 个 I/O 口用于电源引脚,具体内容见 1.2.7 小节。核心板可选用 FPGA 器件的特性如表 1.1 所列,更详细的特性请参考其数据手册。

表 1.1 核心板可选用 FPGA 器件的特性

特 性	EP1C6Q240	EP1C12Q240
逻辑单元(LE)	5 980	12 060
M4K RAM 块(4 Kbit+奇偶校验)	20	52
RAM 总量(bit)	92 160	239 616
PLL(个)	2	2
最大用户 I/O 数(个)	185	173
配置二进制文件(.rbf)大小(bit)	1 167 216	2 326 528
可选串行主动配置器件	EPCS1/EPCS4/EPCS16	EPCS4/EPCS16

Cyclone FPGA 常用的配置方式有主动配置(AS)、被动配置(PS)以及 JTAG 配置(具体内容请参考《SOPC 嵌入式系统基础教程》^[16]第 5 章的相关内容),主动配置需要使用串行主动配置器件 EPCS。Cyclone FPGA 是第一款支持对配置数据进行解压缩的 FPGA,这使得用户可以将压缩的配置数据存储到配置器件或其它存储器中。在配置过程中,Cyclone FPGA 实时地解压缩配置数据对 SRAM 单元编程。一般来说,配置数据经过压缩后,可以减少到 35%~55%。如表 1.1 所列,EP1C6Q240 的配置文件大小为 1 167 216 bit,EP1C12 的为

第1章 SmartSOPC 教学实验开发平台

2326528 bit, 而 EPCS1 的容量为 1 Mbit, EPCS4 的容量为 4 Mbit。EP1C6Q240 配置文件的容量略大于 EPCS1 的容量, 可以使用 EPCS1 对其进行配置以节省成本, 但对 EPCS1 进行编程时, 一定要采用压缩后的配置数据。EP1C12 由于其配置文件为 2326528 bit, 压缩后可能大于 1 Mbit, 所以必须选用 EPCS4 配置器件。

 请注意核心板上所使用的 FPGA 型号, 将 EP1C6Q240 更换为 EP1C12Q240 时, 要进行 3 项工作: (1) 由于 EP1C6Q240 和 EP1C12Q240 的 I/O 口不完全兼容, 要将一些 I/O 口用于电源引脚, 要将 12 个电阻(R45~R56)焊上, 如图 1.15 所示, 接于这些 I/O 口的外设改由其它 I/O 口控制。(2) 将电阻 RP11、RP12 和 RP13 断开。(3) 将 EPCS1(U10)更换为 EPCS4。

1.2.3 存储电路

核心板的存储器包括: 用于存储 FPGA 配置数据并进行主动配置的串行配置器件 EPCS、用于作为 Nios II 处理器 RAM 和程序运行空间的 SDRAM、用于存储应用程序的 Flash 以及用于高速存取的 SRAM。核心板上还包括一个带复位输出的 2 Kbit E²PROM。

1. Flash 存储器

核心板使用 2 片 2 MB 的 Flash AT49BV163AT-70(1M×16 bit), 每片都可以使用兼容的 4 MB 的 AT49BV322A(2M×16 bit)或 8 MB 的 S29JL064H(4M×16 bit), 这样最大可使用 16 MB 的 Flash。在 FPGA 器件上实现的 Nios II 嵌入式处理器可以使用 Flash 存储器作为通用只读存储器和非易失性存储器, 用户可将基于 Nios II 处理器的应用程序通过编程器烧写到 Flash 中, 在程序运行前可以将 Flash 中的代码复制到其它速度更快的易失性存储器中(如 SDRAM、SRAM、片内 RAM 等), 然后执行。该部分操作由 Quartus 以及 Nios II IDE 根据用户的选择来自动完成, 详细内容请参考《SOPC 嵌入式系统基础教程》第 5 章的相关内容。当使用被动模式(PS)对 FPGA 进行配置时, 用户也可以划定一定的存储空间用于存储配置数据, 而不使用 EPCS 器件。本书介绍的实验不使用被动模式, 在此不做介绍。Flash 电路如图 1.3 所示。

电路中 2 片 Flash 的片选信号独立, 数据总线、地址总线共用, 为了节省 I/O 口, 将读/写信号线 nOE 和 nWE 都共用, 并且它们与所有挂在总线上的总线型外设(SRAM、主板上的液晶以及外扩总线 PACK)都是共用的。在 Altera 公司提供的 Flash 核(在 Nios II 安装盘: \altera\kits\nios2\components\altera_avalon_cfi_flash 文件夹下)的描述文件 class.ptf 中数据(data)和地址(address)总线是共用的(is_shared = "1"), 但读(read_n)、写(write_n)信号线是不共用的(is_shared = "0"), 因此要将它们改为 is_shared = "1"。当然, 光盘中也提供经修改过的 Flash 核(altera_avalon_cfi_flash), 只要将其复制到 Nios II 安装盘: \altera\kits\nios2\components 下并覆盖已有的文件夹即可。



2 片 AT49BV163AT-70 的片选信号分别为 FLASH_nCS1 和 FLASH_nCS2。当最终的运行代码固化在 Flash 中时,要在 SOPC Builder 软件中将复位地址设置为运行代码所在 Flash 中的起始地址。

电路中对芯片的片选信号线进行了上拉(R29、R30)。Flash 的数据总线与所有挂在总线上的总线型外设(SRAM、主板上的液晶以及外扩总线 PACK)都是共用的,它们都采用 Avalon Tri-State Bridge 与 Nios II 进行连接。应用中如果两个 Flash(或某一个)不使用,用户可能不会在 FPGA 中定义并设置该器件的片选引脚,片选引脚将为高阻态,不确定的电平有可能选通芯片,从而造成总线冲突。当然,为了避免总线上其它总线型外设在不使用时因意外而造成总线冲突,应将这些外设的片选都上拉(低电平有效)或下拉(高电平有效),具体请查看相应外设的电路。

如图 1.4 所示,数据总线上往往不止一个设备,当 FPGA 需要从器件 A 中读取数据时(此时不希望对器件 B 操作),FPGA 发出器件 A 的选通信号($nCSA$ 为低);随后 FPGA 发送读信

第1章 SmartSOPC 教学实验开发平台

号有效(nOE 为低,其中器件 A 与器件 B 共用读/写信号线),FPGA 为输入,器件 A 为输出。在不对器件 B 操作时,器件 B 不应该选通,但若 $nCSB$ 引脚在引脚分配时没有定义,而且被驱动到地(见图 1.5),那么器件 B 也将被选通,也为输出状态(因为相同的 nOE),这样就出现了数据总线上器件 A 和器件 B 同时输出的情况。此时,如果一个器件输出为高(如器件 A),另一个器件输出为低(如器件 B),就会造成总线冲突。原因在于:第一,本来 FPGA 读入器件 A 数据线 D0 上的信号应该为 1,但却被器件 B 拉低,造成读数据错误;第二,会在两个输出驱动器之间形成一个电源(VCC)到地(GND)的直通路,造成一个大电流。一般来说,短时间的冲突可能引发器件发热,长时间的冲突则会导致器件过热而烧毁。

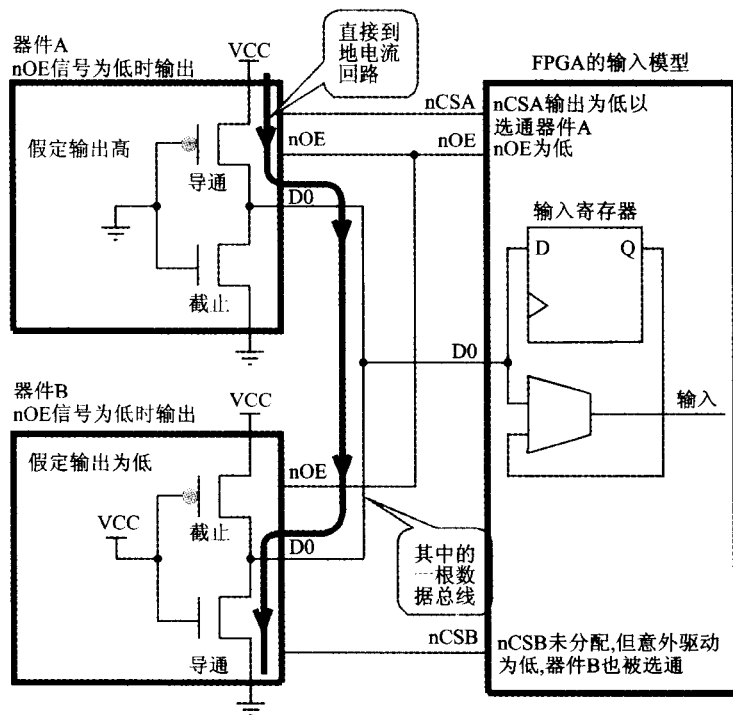


图 1.4 数据总线冲突示意图



在设计中一定要将未定义的引脚定义为三态输入,如图 1.5 所示。这样在上拉(下拉)电阻的作用下为确定的高电平(低电平)。注意一定不能将未定义(不使用)引脚模式设置为输出,并连接到地;否则,可能会造成连接在 Avalon Tri-State Bridge 上而未使用的芯片的片选有效而长期占用总线,从而造成总线冲突。

此外,需要强调的是 SOPC Builder 中提供用于 CFI 控制器的驱动程序仅支持 AMD 和 Intel Flash 芯片及其兼容芯片,用户在设计电路时要注意。

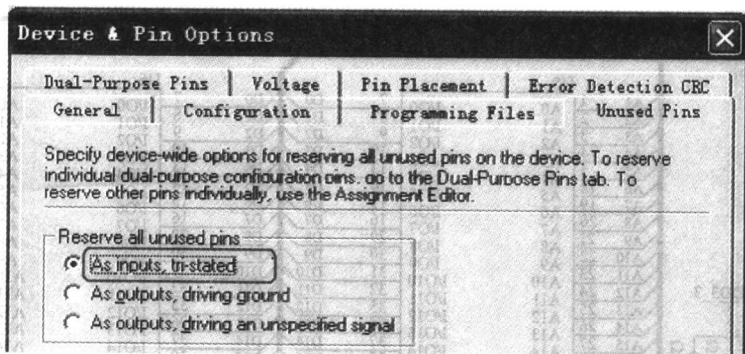


图 1.5 未定义引脚定义选择

图 1.3 所示电路中,两片 Flash 是分开的,都是采用 16 位数据总线,这是为了节省 I/O 口,当实际应用中 I/O 口足够时,可以将电路中的两个片选信号合成一个,将其中一片的数据总线改为 D8~D15,这样就形成了一个 4 MB 32 位数据总线的 Flash,其访问速度更快,但占用了更多的 I/O 口。

Flash 控制器说明及操作请参考《SOPC 嵌入式系统基础教程》第 4 章的相关内容。

Flash 的编程操作说明请参考《SOPC 嵌入式系统基础教程》第 5 章的相关内容。

2. SRAM 存储器

核心板使用 2 片 512 KB 的 SRAM IS61LV25616AL(256K×16bit),每片 SRAM 都可兼容 1 MB 容量的 IS61LV51216AL,这样 SRAM 容量最大可为 2 MB。SRAM 可作为高速存储器使用,如显示缓存等。在应用程序比较小时,也可以将 Flash 存储器中用户应用程序复制到 SRAM 中运行。SRAM 电路如图 1.6 所示,基本与 Flash 相同。

SRAM 的 28(A18)脚用于 1 MB 容量的 IS61LV51216AL。电路中 2 片 SRAM 的片选信号独立,数据总线、地址总线、读/写信号线 nOE 和 nWE 都与 Flash 共用,并且也与所有挂在总线上的总线型外设(主板上的液晶以及外扩总线 PACK)共用。如果需要使用两片 SRAM,则在 SOPC Builder 中要添加两个 SRAM 核。

2 片 SRAM 的片选信号分别为 SRAM_nCS1 和 SRAM_nCS2,在 SOPC Builder 软件中最好将 2 片 SRAM 的地址空间设为连续。

3. SDRAM 存储器

SDRAM 通常用于需要大量存储且有成本要求的系统。SDRAM 比较便宜,但需要实现刷新操作、行列管理、不同延时和命令序列等逻辑。Nios II SDRAM 控制器完成了 SDRAM 的所有逻辑,可实现 Avalon 总线接口、透明的 SDRAM 初始化处理、刷新和其它 SDRAM 需要的操作。SDRAM 与 FPGA 相连,SDRAM 控制器(IP 核)允许 Nios II 处理器将 SDRAM