

从零开始学电子技术丛书

从零开始学

CPLD和Verilog HDL 编程技术

刘建清 主编
刘建清 刘汉文 高广海 编著



随书附光盘一张



国防工业出版社

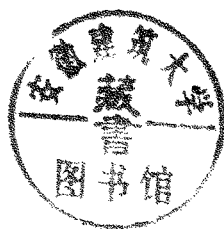
National Defense Industry Press

从零开始学电子技术丛书

从零开始学 CPLD 和 Verilog HDL 编程技术

刘建清 主编

刘建清 刘汉文 高广海 编著



国防工业出版社

· 北京 ·

内 容 简 介

CPLD(复杂可编程逻辑器件)在数字电子技术领域中的应用越来越广泛,尤其适合于新产品的开发与小批量生产,因此深受广大工程技术人员喜爱。

本书定位于让初学者从零起步,轻松学会 CPLD 的系统设计技术。本书以 ALTERA 公司的系列芯片为目标载体,简要分析了可编程逻辑器件的结构和特点,以及相应开发软件的使用方法,同时,还用大量篇幅介绍了初学者最容易掌握的 Verilog HDL 硬件描述语言。本书完全以实战为主,通过实践的方法帮助读者加深理解 CPLD 的基本知识。

本书附赠光盘一张,光盘中包含了书中所有实验的源程序。

本书可供从事各类电子系统设计的广大工程技术人员以及电子爱好者阅读,也可作为电子类专业的教材或教学参考书使用。

图书在版编目(CIP)数据

从零开始学 CPLD 和 Verilog HDL 编程技术/刘建清主编;刘建清,刘汉文,高广海编著. —北京:国防工业出版社,2006.8

(从零开始学电子技术丛书)

ISBN 7-118-04609-4

I. 从... II. ①刘...②刘...③刘...④高...

III. ①可编程序逻辑器件②硬件描述语言, VHDL—程序设计 IV. ①TP332.1②TP312

中国版本图书馆 CIP 数据核字(2006)第 071740 号

※

国防工业出版社出版发行

(北京市海淀区紫竹院南路 23 号 邮政编码 100044)

北京四季青印刷厂印刷

新华书店经售

*

开本 787×1092 1/16 印张 16½ 字数 376 千字

2006 年 8 月第 1 版第 1 次印刷 印数 1—5000 册 定价 30.00 元(含光盘)

(本书如有印装错误,我社负责调换)

国防书店:(010)68428422

发行邮购:(010)68414474

发行传真:(010)68411535

发行业务:(010)68472764

丛 书 前 言

我们所处的时代是一个知识爆炸的新时代。新产品、新技术层出不穷,电子技术的发展更是日新月异。可以毫不夸张地说,电子技术的应用无处不在,电子技术正在不断地改变着我们的生活,改变着我们的世界。

读者朋友:当你面对妙趣横生的电子世界发生兴趣时;当你彷徨于就业的关口,想成为电子产业中的一名员工时;当你跃跃欲试,想成为一名工厂的技术革新能手时;当你面对“无所不能”的“单片机”,梦想成为一名自动化高手时;当你的头脑里冒出那么多的奇思妙想,急于把它们应用于或转化为产品时……都是那么急切地想补充自己有关电子技术方面的知识,这时,你首先想到的是找一套适合自己学习的电子技术图书阅读。《从零开始学电子技术丛书》正是为了满足广大读者特别是电子爱好者的实际需要和零起点入门的阅读要求而编著的。

和其他电子技术类图书相比,本丛书具有以下特点:

内容全面,体系完备。本丛书给出了广大电子爱好者学习电子技术的全方位解决方案,既有初学者必须掌握的电路基础、模拟电路和数字电路等基础理论,又有电子元器件检测、电子测量仪器的使用、电路仿真与设计等操作性较强的内容,还有电气控制与PLC、单片机、CPLD等综合应用方面的知识,因此,本丛书内容翔实,覆盖面广。

通俗易懂,重点突出。传统的电子技术图书和教材在介绍电路基础和模拟电子技术等内容时,大都借助高等数学这一工具进行分析,这就给电子爱好者自学电子技术设置了一道门槛,使大多数电子爱好者失去了学习的热情和兴趣。本丛书在编写时,完全考虑到了初学者的需要,不涉及高等数学方面的公式,尽可能地把复杂的理论通俗化和实用化,将烦琐的公式简易化,再辅以简明的分析及典型的实例,从而形成了本丛书通俗易懂的特点。为了满足不同层次读者的需求,本丛书对难点和扩展知识用“*”进行了标注,初学者可跳过此内容。

实例典型,实践性强。本丛书最大程度地强调了实践性,书中给出的例子大都经过了验证,可以实现,并且具有代表性;本丛书中每本书都配有光盘,光盘中收录了书中的实例、常用软件、实验程序和大量珍贵资料,以方便读者学习和使用。

内容新颖,风格活泼。本丛书所介绍的都是电子爱好者最为关心并且在业界获得普遍认同的内容,本丛书的每一分册都各有侧重,又互相补充,论述时疏密结合,重点突出。对于重点、难点和容易混淆的知识,书中还特别进行了标注和提示。

把握新知,结合实际。电子技术发展日新月异,为适应时代的发展,本丛书还对电子技术的新知识做了详细的介绍;本丛书中涉及的应用实例都是编著者开发经验的提炼和总结,相信一定会给读者带来很大的帮助。在讲述电路基础、模拟和数字电子技术时,还

专门安排了计算机辅助软件的仿真实验,实验过程非常接近实际操作的效果,使电子技术的学习变得更为直观,使学习变得更加生动有趣,这可以加深读者对电路理论知识的认识。

总之,对于需要学习电子技术的电子爱好者而言,选择《从零开始学电子技术丛书》不失为一个好的选择。本丛书一定能给你耳目一新的感觉,当你认真阅读之后将会发现,无论是你所读的书,还是读完书的你,都有所不同。

感谢本丛书的策划者——电子科普领域中的知名专家、中国电子学会高级会员刘午平先生,他与我们共同交流,共同探讨,达成了共识,确立了写作方向,并为本丛书的编排、修改和出版做了大量卓有成效的工作,他以丰富的专业知识和认真、敬业的态度为我们所敬佩;感谢山东持恒开关厂总经理陈培军先生和山东金曼克电气集团设计处总工程师高广海先生,他们对本丛书的编写提出了很多建设性的意见和建议,为本丛书的许多实验提供了强有力的支持与帮助,并参与了部分图书的编写工作;感谢网络,本丛书的许多新知识、新内容都是我们通过网络而获得的,我们在写作过程中遇到的许多疑难问题也大都通过网络得以顺利解决,对于这么多乐于助人、无私奉献的站主和作者们,无法在此一一列举,只能道一声“谢谢了!”感谢众多电子报刊、杂志的编辑和作者,他们为本丛书提供了许多有新意、有实用价值的参考文献,使得这套丛书能够别出心裁、与时俱进;感谢国防工业出版社,能与国内一流的出版社合作,我们感到万分的荣幸;感谢其他对本丛书的出版付出过辛勤工作的人士,没有他们的热心与支持,本丛书不知何时才能与读者见面!

最后,祝愿本丛书的每一位读者在学习电子技术的过程中,扬起风帆,乘风破浪!

丛书编者

前 言

CPLD 是“复杂可编程逻辑器件”的缩写。CPLD 可以完成任何数字器件的功能,上至高性能 CPU,下至简单的 74 系列数字电路,都可以用 CPLD 来实现。CPLD 如同一张白纸或是一堆积木,工程师可以通过传统的原理图输入法或硬件描述语言(如 Verilog-HDL)自由地设计一个数字系统。通过软件仿真,我们可以事先验证设计的正确性。在 PCB(印制电路板)完成以后,还可以利用 CPLD 的在线修改能力,随时修改设计而不必改动硬件电路。用 CPLD 来开发数字电路,使用灵活,设计周期短,费用低,而且可靠性好,承担风险小,因而很快得到普遍应用,发展非常迅速。

硬件描述语言 HDL(Hardware Description Language)是一种用形式化方法描述数字电路和系统的语言。其主要目的是用来编写设计文件,建立电子系统仿真模型,利用计算机和 EDA 工具,对用硬件描述语言建模的数字逻辑进行仿真,然后再自动综合,以生成符合要求且在电路结构上可以实现的数字逻辑网表,根据网表和某种工艺的器件,自动生成具体电路,然后生成该工艺条件下这种具体电路的延时模型,仿真验证无误后,写入 CPLD 器件中。在我国,比较有影响的主要有 3 种硬件描述语言:超高速集成电路硬件描述语言 VHDL、Verilog HDL 语言和 AHDL 语言。其中,Verilog HDL 语言易于上手,因而拥有更广泛的设计群体,应用十分广泛。

本书定位于复杂可编程逻辑器件(CPLD)的系统设计技术,以 ALTERA 公司的系列芯片为目标载体,简要分析了可编程逻辑器件的结构和特点,以及相应的开发软件的使用方法。同时,本书还用大量篇幅介绍初学者最容易掌握的 Verilog HDL 硬件描述语言。如果读者具有 C 语言的基础,那么只要二三个月的时间就能完全学好 CPLD 的应用设计。而且 Verilog HDL 语言的最大好处就是不受最终器件的限制,只要写的程序没有问题,就可以完全无障碍地移植到任何其他半导体公司的 CPLD 上去使用。本书完全以实战为主,通过实践的方法帮助读者加深对 CPLD 的基本知识的理解,更重要的是通过实战可以帮助读者时刻保持对学习的兴趣。

本书附赠光盘一张,光盘中包含了书中所有实验的源程序。

由于时间仓促,书中错漏之处在所难免,敬请广大读者批评指正。

作者

2006 年 6 月

目 录

第一章 CPLD 与 FPGA 概述	1
第一节 可编程逻辑器件的发展及特点	1
一、可编程逻辑器件的发展	1
二、CPLD/FGPA 的用途	3
三、CPLD/FPGA 的特点	3
四、CPLD 与 FPGA 的比较	3
五、CPLD/FPGA 和单片机的比较	5
第二节 CPLD/FPGA 的基本工作原理	5
一、基于乘积项的 CPLD 的工作原理	5
二、采用查找表的 FPGA 的工作原理	7
第三节 Altera 系列 CPLD 介绍	9
一、MAX7000 系列器件简介	9
二、MAX7000 系列器件的结构	10
三、MAX7000 系列器件功能描述	13
第四节 Xilinx 系列 CPLD 介绍	15
一、XC9500 系列器件简介	15
二、XC9500 系列器件的结构	16
三、XC9500 系列器件功能描述	20
第五节 可编程逻辑器件的开发	21
一、可编程逻辑器件的设计过程	21
二、可编程逻辑器件设计举例	23
第二章 CPLD 实验仪介绍	25
第一节 DP-MCU/Altera 实验仪	25
一、实验仪主要器件	25
二、应用接口	27
三、跳线接口	29
四、原理简介	31
第二节 DP-MCU/Xilinx 实验仪	36
一、实验仪主要器件	36
二、应用接口	38
三、跳线接口	39
四、原理简介	40
第三节 其他 CPLD 实验仪	40
一、CPLD-MCU 下载仿真实验仪	40

二、Altera CPLD 开发板	42
三、51+CPLD 学习板	44
第三章 CPLD 开发软件和仿真软件的使用	45
第一节 Altera 开发软件 MAX+plusII 的安装和使用	45
一、MAX+plusII 的安装	45
二、MAX+plusII 的使用	48
第二节 Xilinx 开发软件 ISE WebPACK 的安装和使用	61
一、WebPACK 软件的安装	62
二、WebPACK 软件的使用	63
第三节 仿真 Modelsim SE 软件的安装和使用	72
一、Modelsim SE 6.0 软件的安装	73
二、Modelsim SE 6.0 软件的使用	74
第四章 初识 Verilog HDL	85
第一节 硬件描述语言概述	85
一、什么是硬件描述语言	85
二、硬件描述语言的发展	85
三、为何使用硬件描述语言	85
第二节 Verilog HDL 基本知识	86
一、什么是 Verilog HDL	86
二、Verilog HDL 的发展	86
三、Verilog HDL 与 VHDL 比较	86
四、Verilog HDL 与 C 语言的比较	87
第三节 Verilog HDL 模块介绍	87
一、什么是模块	87
二、模块的结构	87
第五章 Verilog HDL 数据类型与运算符	89
第一节 Verilog HDL 基本词法	89
一、标识符	89
二、关键字	89
三、注释	90
四、空白符	90
第二节 Verilog HDL 常量变量及其数据类型	90
一、常量及其数据类型	90
二、变量及其数据类型	92
第三节 Verilog HDL 运算符	94
一、算术运算符	94
二、逻辑运算符	94
三、位运算符	95
四、关系运算符	96

五、等式运算符.....	96
六、缩位运算符.....	97
七、移位运算符.....	97
八、条件运算符.....	98
九、位拼接运算符.....	98
第六章 Verilog HDL 基本语句	100
第一节 赋值语句.....	100
一、持续赋值语句	100
二、过程赋值语句	100
第二节 块语句.....	103
一、串行块语句 begin-end	103
二、并行块语句 fork-join	104
第三节 过程语句.....	105
一、initial 过程语句	105
二、always 过程语句	106
第四节 条件语句.....	108
一、if 条件语句	108
二、case 条件语句	110
第五节 循环语句.....	112
一、forever 语句	112
二、repeat 语句	112
三、while 语句	113
四、for 语句.....	113
第六节 编译向导语句.....	115
一、宏替换define	115
二、文件包含include	116
三、条件编译ifdef、else、endif	116
四、时间尺度timescale	117
第七节 任务(task)和函数(function)说明语句	118
一、任务(task)说明语句	118
二、函数(function)说明语句	120
第八节 系统任务与系统函数.....	121
一、\$ display 和 \$ write 任务	121
二、\$ monitor 与 \$ strobe	122
三、\$ time 与 \$ realtime	122
四、\$ finish 与 \$ stop	124
第七章 Verilog HDL 的描述方式	125
第一节 结构描述方式.....	125
一、Verilog HDL 内置门元件	125

二、门级结构描述	128
第二节 数据流描述方式	129
第三节 行为描述方式	130
第八章 用 Verilog HDL 描述数字电路	132
第一节 基本门电路的设计	132
一、与门	132
二、或门	132
三、非门	133
四、与非门	134
五、或非门	134
六、异或门	135
七、缓冲门	135
八、三态门	136
第二节 组合逻辑电路的设计	136
一、数据选择器	137
二、编码器	143
三、译码器	148
四、加法器	160
第三节 双稳态触发器的设计	169
一、RS 触发器	169
二、D 触发器	176
三、JK 触发器	180
四、T 触发器	186
第四节 时序逻辑电路的设计	189
一、寄存器	189
二、锁存器	196
三、计数器	199
第九章 CPLD 实验与综合设计实例	215
第一节 CPLD 基本实验	215
一、LED 发光二极管实验	215
二、键盘实验	219
三、数码 LED 显示器实验	223
四、音响实验	231
第二节 CPLD 综合设计实例	235
一、乐曲演奏电路	236
二、数字钟	241
三、频率计	246
四、交通灯	249
参考文献	254

第一章 CPLD 与 FPGA 概述

PLD 是可编程逻辑器件(Programmable Logic Device)的英语缩写,是一种数字集成电路的半成品,在其芯片上按一定排列方式集成了大量的门和触发器等基本逻辑元件,使用者可利用某种开发工具对其进行加工,即按设计要求将这些片内的元件连接起来(此过程称为编程),使之完成某个逻辑电路或系统的功能,成为一个可在实际电子系统中使用的专用集成电路。现在应用最广泛的 PLD 主要是复杂可编程逻辑器件 CPLD(Complex Programmable Logic Device)和现场可编程门阵列 FPGA(Field Programmable Gate Array)。本章主要介绍 CPLD 与 FPGA 的发展、特点、常用芯片及基本工作原理,并对可编程逻辑器件的开发做一简要说明。

第一节 可编程逻辑器件的发展及特点

一、可编程逻辑器件的发展

自 20 世纪 60 年代以来,数字集成电路已经历了从 SSI(small scale integrated circuit)、MSI(medium scale integrated circuit)、LSI(large scale integrated circuit)到 VLSI(very large scale integrated circuit)的发展过程。数字集成电路按照芯片设计方法的不同大致可以分为 3 类:一类是通用型中、小规模集成电路;第二类是用软件组态的大规模、超大规模集成电路,如微处理器、单片机等;第三类是专用集成电路(ASIC, application-specific integrated circuit)。

ASIC 是一种专门为某一应用领域或为专门用户需要而设计、制造的 LSI 或 VLSI 电路,它可以将某些专用电路或电子系统设计在一个芯片上,构成单片集成系统。

ASIC 分为全定制和半定制两类。全定制 ASIC 的硅片没有经过预加工,其各层掩模都是按特定电路功能专门制造的。半定制 ASIC 是按一定规格预先加工好的半成品芯片,然后再按具体要求进行加工和制造,它包括门阵列、标准单元和可编程逻辑器件三种。门阵列是一种预先制造好的硅阵列,内部包括基本逻辑门、触发器等,芯片中留有一定连线区,用户根据所需要的功能设计电路,确定连线方式,然后交厂家进行最后的布线。标准单元是厂家将预先配置好、经过测试、具有一定功能的逻辑块作为标准单元存在数据库中,设计者根据需要在库中选择单元构成电路,并完成电路到版图的最终设计。这两种半定制 ASIC 都要由用户向生产厂家定做,设计和制造周期较长,开发费用也较高,因此只适用于批量较大的产品生产。

可编程逻辑器件是 ASIC 的一个重要分支,它是厂家作为一种通用型器件生产的半定制电路,用户可以利用软、硬件开发工具对器件进行设计和编程,使之实现所需要的逻辑功能。由于它是用户可配置的逻辑器件,使用灵活,设计周期短,费用低,而且可靠性

好,承担风险小,因而很快得到普遍应用,发展非常迅速。

可编程逻辑器件(PLD)能够完成各种数字逻辑功能。典型的 PLD 由输入电路、与阵列、或阵列和输出电路组成,如图 1-1 所示,而任意一个组合逻辑都可以用“与—或”表达式来描述,所以,PLD 能以乘积和的形式完成大量的组合逻辑功能。

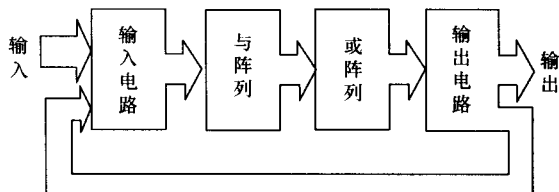


图 1-1 PLD 的基本组成

重点提示 PLD 是这样一种 ASIC(专用集成电路),内部有大量的门电路,通过软件编程可以实现这些门电路不同的连接关系,从而使整个 PLD 对外就完成了不同的功能,并且这些门电路的连接关系可以不断地用软件来修改。

早期的 PLD 产品主要有可编程阵列逻辑 PAL(programmable array logic)和通用阵列逻辑 GAL(generic array logic)。PAL 由一个可编程的“与”平面和一个固定的“或”平面构成,或门的输出可以通过触发器有选择地被置为寄存状态。PAL 器件是现场可编程的,它的实现工艺有反熔丝技术、EPROM 技术和 EEPROM 技术。在 PAL 的基础上,又发展了一种通用阵列逻辑 GAL,如 GAL16V8, GAL22V10 等。它采用了 EEPROM 工艺,实现了电可擦除、电可改写,其输出结构是可编程的逻辑宏单元,因而它的设计具有很强的灵活性,至今仍有许多人使用。这些早期的 PLD 器件的一个共同特点是可实现速度特性较好的逻辑功能,但其过于简单的结构也使它们只能实现规模较小的电路。

为了弥补这一缺陷,20 世纪 80 年代中期,Altera 和 Xilinx 公司在 PAL、GAL 等逻辑器件的基础之上,分别推出了复杂可编程逻辑器件 CPLD 和现场可编程门阵列 FPGA,同以往的 PAL、GAL 等相比较,CPLD/FPGA 具有体系结构和逻辑单元灵活、集成度高以及适用范围宽等特点。它们可以替代几十甚至几千块通用 IC 芯片。这样的 CPLD/FPGA 实际上就是一个子系统部件。这种芯片受到世界范围内电子工程设计人员的广泛关注和普遍欢迎。经过了十几年的发展,许多公司都开发出了多种可编程逻辑器件。比较典型的就 Xilinx 和 Altera 公司的 CPLD/FPGA 系列器件,它们开发较早,占用了较大的 PLD 市场。通常来说,在欧洲用 Xilinx 的人多,在日本和亚太地区用 Altera 的人多,在美国则是平分秋色。全球 CPLD/FPGA 产品 60%以上是由 Altera 和 Xilinx 提供的。可以讲 Altera 和 Xilinx 共同决定了 PLD 技术的发展方向。当然还有许多其他类型器件,如 Lattice、Vantis 等。

重点提示 不同厂家对 CPLD 和 FPGA 的叫法不尽相同,Xilinx 把基于查找表技术,SRAM 工艺,要外挂配置用的 EEPROM 的 PLD 叫 FPGA;把基于乘积项技术,Flash ROM 工艺的 PLD 叫做 CPLD; Altera 把自己的 PLD 产品 MAX 系列(乘积项技术,EEPROM 工艺)和 FLEX 系列(查找表技术,SRAM 工艺)都叫做 CPLD,由于 FLEX 系列也是 SRAM 工艺,基于查找表技术,要外挂配置用的 EPROM,用法和 Xilinx 的 FPGA 一样,所以,很多人把 Altera 的 FELX 系列产品也叫做 FPGA。

二、CPLD/FGPA 的用途

CPLD/FGPA 能做什么呢? 可以毫不夸张地讲, CPLD/FGPA 能完成任何数字器件的功能, 上至高性能 CPU, 下至简单的 74 电路, 都可以用 CPLD/FGPA 来实现。CPLD/FGPA 如同一张白纸或是一堆积木, 工程师可以通过传统的原理图输入法或硬件描述语言(如 Verilog-HDL、VHDL)自由地设计一个数字系统。通过软件仿真, 可以事先验证设计的正确性。在 PCB(电路印制板)完成以后, 还可以利用CPLD/FGPA的在线修改能力, 随时修改设计而不必改动硬件电路。使用 CPLD/FGPA 来开发数字电路, 可以大大缩短设计时间, 减少 PCB 面积, 提高系统的可靠性。

三、CPLD/FPGA 的特点

CPLD/FPGA 芯片都是特殊的 ASIC 芯片, 它们除了具有 ASIC 的特点之外, 还具有以下几个优点:

(1) 随着超大规模集成电路工艺的不断提高, 单一芯片内部可以容纳上百万个晶体管, CPLD/FPGA 芯片的规模也越来越大, 其单片逻辑门数已达到上百万门, 它所能实现的功能也越来越强, 同时也可以实现系统集成。

(2) CPLD/FPGA 芯片在出厂之前都做过百分之百的测试, 不需要设计人员承担投片风险和费用, 设计人员只需在自己的实验室里就可以通过相关的软硬件环境来完成芯片的最终功能设计。所以, CPLD/FPGA 的资金投入小, 节省了许多潜在的花费。

(3) 用户可以反复地编程、擦除、使用或者在外围电路不动的情况下用不同软件就可实现不同的功能。所以, 用 CPLD/FPGA 试制样片, 能以最快的速度占领市场。CPLD/FPGA 软件包中有各种输入工具和仿真工具, 及版图设计工具和编程器等全线产品, 电路设计人员在很短的时间内就可完成电路的输入、编译、优化、仿真, 直至最后芯片的制作。当电路有少量改动时, 更能显示出 CPLD/FPGA 的优势。电路设计人员使用 CPLD/FPGA 进行电路设计时, 不需要具备专门的 IC(集成电路)深层次的知识; CPLD/FGPA 软件易学易用, 可以使设计人员更能集中精力进行电路设计, 快速将产品推向市场。

CPLD/FGPA 的这些优点使得 CPLD/FGPA 技术在 20 世纪 90 年代以后得到飞速的发展, 同时也大大推动了 EDA(电路设计自动化)软件和硬件描述语言的进步。

四、CPLD 与 FPGA 的比较

FPGA 是一种高密度的可编程逻辑器件, 自从 Xilinx 公司 1985 年推出第一片 FPGA 以来, FPGA 的集成密度和性能提高很快, 其集成密度最高达 500 万门/片以上, 系统性能可达 200MHz。由于 FPGA 器件集成度高, 方便易用, 开发和上市周期短, 在数字设计和电子生产中得到迅速普及和应用, 并一度在高密度的可编程逻辑器件领域中独占鳌头。

CPLD 是由 GAL 发展起来的, 其主体结构仍是与或阵列, 自 20 世纪 90 年代初 Lattice 公司开发出在系统可编程 CPLD 以来, CPLD 发展迅速。具有 ISP(在系统编程)功能的 CPLD 器件由于具有同 FPGA 器件相似的集成度和易用性, 在速度上还有一定的优势, 使其在可编程逻辑器件技术的竞争中与 FPGA 并驾齐驱, 成为两支领导可编程器件技术发展的力量之一。

CPLD 与 FPGA 对照情况如下。

1. 结构

FPGA 器件是由逻辑功能块排列为阵列,并由可编程的内部连线连接这些功能块来实现一定的逻辑功能。

CPLD 是由可编程的与/或门阵列以及宏单元构成。与/或阵列是可重新编程的,可以实现多种逻辑功能。宏单元则是可实现组合或时序逻辑的功能模块,同时还提供了真值或补码输出和以不同的路径反馈等额外的灵活性。

2. 集成度

FPGA 可以达到比 CPLD 更高的集成度,同时也具有更复杂的布线结构和逻辑实现。

3. 适合结构

CPLD 组合逻辑的功能很强,一个宏单元就可以分解十几个甚至 20~30 多个组合逻辑输入。而 FPGA 的一个 LUT 只能处理 4 输入的组合逻辑,因此,CPLD 适合用于设计译码等复杂组合逻辑。

FPGA 的制造工艺确定了 FPGA 芯片中包含的 LUT 和触发器的数量非常多,往往都是几千上万,CPLD 一般只能做到 512 个逻辑单元。所以如果设计中使用到大量触发器,例如设计一个复杂的时序逻辑,那么使用 FPGA 就是一个很好的选择。

4. 功率消耗

一般情况下,CPLD 功耗要比 FPGA 大,且集成度越高越明显。

5. 速度

CPLD 优于 FPGA。由于 FPGA 是门级编程,且逻辑块之间是采用分布式互连;而 CPLD 是逻辑块级编程,且其逻辑块互连是集总式的。因此,CPLD 比 FPGA 有较高的速度和较大的时间可预测性。

6. 编程方式

目前的 CPLD 主要是基于 EEPROM 或 FLASH 存储器编程,编程次数达 1 万次。其优点是在系统断电后,编程信息不丢失。CPLD 又可分为在编程器上编程和在系统编程(ISP)两种。ISP 器件的优点是不需要编程器,可先将器件装焊于印制板,再经过编程电缆进行编程,编程、调试和维护都很方便。

FPGA 大部分是基于 SRAM 编程,其缺点是编程数据信息在系统断电时丢失,每次上电时,需从器件的外部存储器或计算机中将编程数据写入 SRAM 中。其优点是可进行任意次数的编程,并可在工作中快速编程,实现板级和系统级的动态配置,因此可称为在线重配置(ICR:In Circuit Reconfigurable)的 PLD 或可重配置硬件(RHP:Reconfigurable Hardware Product)。

7. 使用方便性

在使用方便性上,CPLD 比 FPGA 要好。CPLD 的编程工艺采用 EEPROM 或 FLASH 技术,无需外部存储器芯片,使用简单,保密性好。而基于 SRAM 编程的 FPGA,其编程信息需存放在外部存储器上,需外部存储器芯片,且使用方法复杂,保密性差。

重点提示 对于初学者,一般选择 CPLD,因为 CPLD 价格低,许多 CPLD 为 5V,可以直接和 TTL、CMOS 电路电压兼容,不必考虑电源转换问题,很多低价的 CPLD 是 PL-CC 封装,插拔很方便,而 FPGA 一般是 QFP 封装,一旦损坏,很难从电路板上取下。

五、CPLD/FPGA 和单片机的比较

CPLD/FPGA 和单片机比较,CPLD/FPGA 在时序和延迟的实现上不如单片机,但是,CPLD/FPGA 在芯片容量、组合逻辑、工作速度、编程难度以及可以擦写次数上(特别是 FPGA)远优于单片机。

CPLD/FPGA 是电子设计领域中最具活力和发展前途的一项技术,它的影响毫不亚于 20 世纪 70 年代单片机的发明与使用。

第二节 CPLD/FPGA 的基本工作原理

一、基于乘积项的 CPLD 的工作原理

1. 基于乘积项的 CPLD 的结构

基于乘积项的 CPLD 芯片有 Altera 的 MAX7000,MAX3000 系列(EEPROM 工艺)、Xilinx 的 XC9500 系列(Flash 工艺)和 Lattice、Cypress 的大部分产品(EEPROM 工艺),下面以 MAX7000 系列的 EMP7032/EMP7064/EMP7096(如图 1-2 所示)为例,看一下这种 PLD 的总体结构,其他型号的结构与此都非常相似。

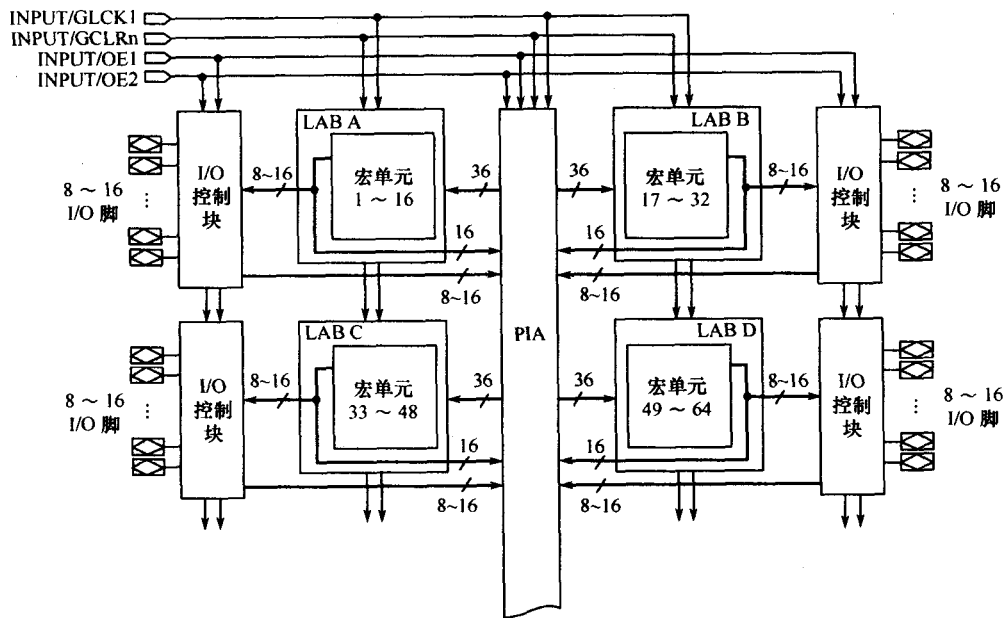


图 1-2 EMP7032/EMP7064/EMP7096 器件的结构

这种 CPLD 的结构主要包括宏单元、可编程连线(PIA)和 I/O 控制块。宏单元是 CPLD 的基本结构,由它来实现基本的逻辑功能。图中灰色部分是多个宏单元的集合(因为宏单元较多,没有一一画出)。可编程连线 PIA 负责信号传递,连接所有的宏单元。I/O 控制块负责输入输出的电气特性控制,比如可以设定集电极开路输出、摆率控制、三态输出等。图上部的 INPUT/GLCK1,INPUT/GCLRn,INPUT/OE1,INPUT/OE2 是全

局时钟、清零和输出使能信号,这几个信号有专用连线与 CPLD 中每个宏单元相连,信号到每个宏单元的延时相同并且延时最短。EMP7032/EMP7064/EMP7096 宏单元的具体结构如图 1-3 所示。

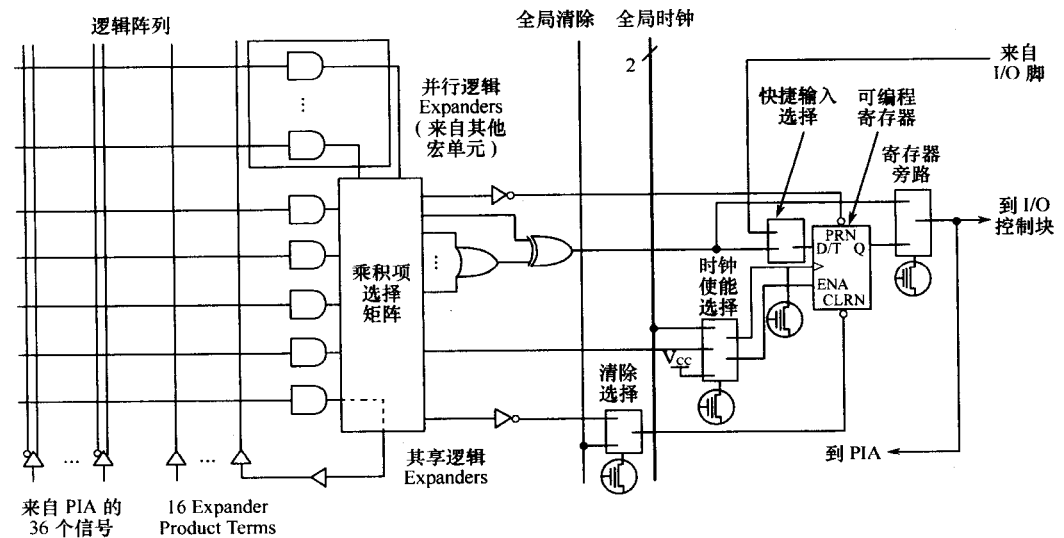


图 1-3 EMP7032/EMP7064/EMP7096 的宏单元

左侧是乘积项阵列,实际上是一个“与或”阵列,每个交叉点都是一个可编程熔丝,如果导通就实现与逻辑,后面的乘积项选择矩阵是一个“或”阵列。两者一起完成组合逻辑。最右侧是一个可编程 D 触发器,它的时钟、清零输入都可以编程选择,可以使用专用的全局清零和全局时钟,也可以使用内部逻辑(乘积项阵列)产生的时钟和清零。如果不需要触发器,也可以将此触发器旁路,信号直接输给 PIA 或输出到 I/O 脚。

2. 基于乘积项结构 CPLD 逻辑实现方式

下面我们以一个简单的电路为例,具体说明 CPLD 是如何利用以上结构实现逻辑的,电路如图 1-4 所示。

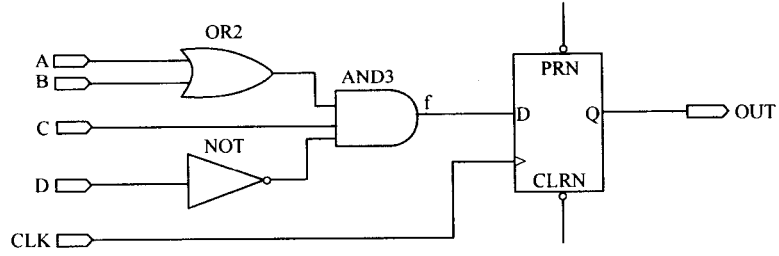


图 1-4 基本逻辑电路

假设组合逻辑的输出(AND3 的输出)为 f,则 $f = (A + B) * C * (\sim D) = A * C * (\sim D) + B * C * (\sim D)$ (“ $\sim$ ”表示“逻辑非”)

CPLD 将以如图 1-5 所示的电路来实现组合逻辑 f。

A、B、C、D 由 CPLD 芯片的管脚输入后进入可编程连线阵列(PIA),在内部会产生 A、 $\sim A$ 、B、 $\sim B$ 、C、 $\sim C$ 、D、 $\sim D$ 八个输出。图中每一个“ $\times$ ”表示相连(可编程熔丝导通),

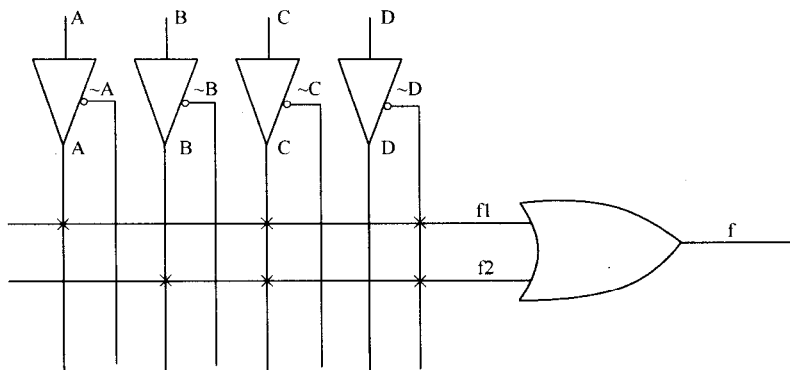


图 1-5 CPLD 的实现方式

所以得到： $f=f1+f2=A * C * (\sim D)+B * C * (\sim D)$ 。这样组合逻辑就实现了。

图 1-4 电路中 D 触发器的实现比较简单,直接利用宏单元中的可编程 D 触发器来实现。时钟信号 CLK 由 I/O 脚输入后进入芯片内部的全局时钟专用通道,直接连接到可编程触发器的时钟端。可编程触发器的输出与 I/O 脚相连,把结果输出到芯片管脚。这样 CPLD 就完成了图 1-4 所示电路的功能。以上这些步骤都是由软件自动完成的,不需要人为干预。

图 1-4 的电路是一个很简单的例子,只需要一个宏单元就可以完成。但对于一个复杂的电路,一个宏单元是不能实现的,这时就需要通过并联扩展项和共享扩展项将多个宏单元相连,宏单元的输出也可以连接到可编程连线阵列,再作为另一个宏单元的输入。这样 CPLD 就可以实现更复杂逻辑。

这种基于乘积项的 CPLD 基本都是由 EEPROM 和 Flash 工艺制造的,一上电就可以工作,无需其他芯片配合。

二、采用查找表的 FPGA 的工作原理

1. 查找表的原理与结构

采用查找表结构的 PLD 芯片称之为 FPGA,如 Altera 的 ACEX、APEX 系列,Xilinx 的 Spartan、Virtex 系列等。

查找表(Look-Up-Table)简称为 LUT,LUT 本质上就是一个 RAM。目前 FPGA 中多使用 4 输入的 LUT,所以每一个 LUT 可以看成是一个有 4 位地址线的 16×1 的 RAM。当用户通过原理图或硬件描述语言描述了一个逻辑电路以后,FPGA 开发软件会自动计算逻辑电路的所有可能的结果,并把结果事先写入 RAM,这样,每输入一个信号进行逻辑运算就等于输入一个地址进行查表,找出地址对应的内容,然后输出即可。

表 1-1 是一个 4 输入与门的例子。

对于 Altera 的 ACEX 系列 FPGA 芯片,其结构主要包括 LAB,I/O 块,RAM 块和可编程行/列连线。在 ACEX 系列中,一个 LAB 包括 8 个逻辑单元(LE),每个 LE 包括一个 LUT,一个触发器和相关的相关逻辑。LE 是 ACEX 芯片实现逻辑的最基本结构,如图 1-6 所示。Altera 其他系列,如 APEX 的结构与此基本相同。

2. 查找表结构的 FPGA 逻辑实现方式

我们以前面介绍的图 1-4 所示的逻辑电路为例,说明查找表结构 FPGA 逻辑实现