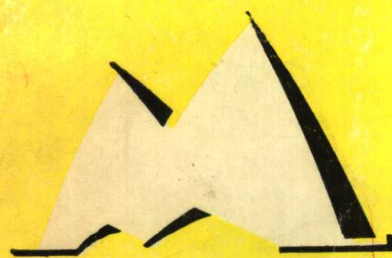


82998-2

微型计算机



Microcomputer

INTEL

微型计算机系列器件手册

(中 册)



上海交通大学

1983-5

(总 34 期)

微型计算机(内部丛刊)

总 34 期

1983 年 第 5 期

编辑: 上海交通大学微型计算机研究室

出版: 上海交通大学科技交流室

发行: 上海市崇明县裕安晨光印刷厂

一九八三年十二月出版

(内部发行)

目 录

前言

第一章 随机存贮器	(1-1)
2114A 1024×4 位静态随机存贮器	(1-1)
2115A、2125A 系列高速 1K×1 位静态随机存贮器	(1-5)
2115H、2125H 系列高速 1K×1 位静态随机存贮器	(1-10)
2118 系列 16384×1 位动态存贮器	(1-16)
2128 2048×8 位 静态随机存贮器	(1-30)
2141 4096×1 位静态随机存贮器	(1-34)
2142 1024×4 位静态随机存贮器	(1-42)
2147A 高速 4096×1 位静态随机存贮器	(1-48)
2147H 高速 4096×1 位静态随机存贮器	(1-54)
2148H 1024×4 位静态随机存贮器	(1-60)
2149H 1024×4 位静态随机存储器	(1-65)
2164 系列 65,536×1 位动态随机存贮器	(1-69)
2167 高速 16,384×1 位静态随机存贮器	(1-80)
8148 4096×8 位集成随机存贮器	(1-86)
2186/7 8192×8 位集成随机存贮器	(1-88)
第二章 只读存贮器	(2-1)
2716 16K(2K×8)紫外线擦除 PROM	(2-1)
2732A 32K(4K×8)紫外线擦除PROM	(2-8)
2764 (8K×8)紫外线擦除PROM	(2-15)
27128 128K(16K×8)紫外线擦除PROM	(2-22)
2815 16K(2K×8)电擦除 PROM	(2-23)
2816 16K(2K×8)电擦除 PROM	(2-35)
2817 16K(2K×8)电擦除 PROM	(2-49)
3628A 8K(1K×8)双极型 PROM	(2-50)
3632 32K(4K×8)双极型 PROM	(2-53)
3636B 16K(2K×8)双极型 PROM	(3-56)
82S181/82HS181 8K(1K×8)双极型PROM	(2-59)
82S191/82HS191 16K(2K×8)双极型PROM	(2-62)
82S321/82HS321 32K(4K×8)双极型PROM	(2-65)
第三章 磁泡	(3-1)
BPK70 1M 位磁泡存贮器子系统	(3-1)
BPK72 磁泡存贮器样机套件	(3-3)

7110 1M 位磁泡存贮器	(3-5)
7220-1 磁泡存贮器的控制器	(3-13)
7230 磁泡存贮器用电流脉冲发生器	(3-31)
7242 磁泡存贮器用的二元格式器/检测放大器	(3-36)
7250 磁泡存贮器用线圈前置驱动器	(3-48)
7254 磁泡存贮器用四芯 VMOS 驱动晶体管	(3-52)
第四章 电话和信号处理	(4-1)
2910A PCM 编码/解码器— μ 原则, 8 位 A/D 和 D/A 组合变换器	(4-1)
2911A PCM 编码/解码器—A 原则, 8 位 A/D 和 D/A 组合变换器	(4-19)
2912A PCM 发送/接收滤波器	(4-35)
2913/2914 组合单芯片 PCM 编码/解码器和滤波器	(4-48)
2920/2921 信号处理器	(4-66)
第五章 HMOS 单片八位微计算机	(5-1)
P80A49H/P80A39HL HMOS 单片 8 位微计算机	(5-1)
P80A48L HMOS 单片 8 位微计算机组件	(5-11)
P80A48H/P80A35HL HMOS 单片 8 位微计算机	(5-21)
第六章 MCS-48TM 系列单片微计算机	(6-1)
8020H HMOS 单片 8 位微计算机	(6-1)
8021 单片 8 位微计算机	(6-9)
8021H HMOS 单片 8 位微计算机	(6-10)
8022 带有 A/D 转换器的单片 8 位微计算机	(6-21)
8022H 带有 A/D 转换器的高性能单片 8 位微计算机	(6-29)
8031/8051/8751 单片 8 位微计算机	(6-31)
8048H/8048H-1/8035HL/8035HL-1 HMOS 单片 8 位微计算机	(6-50)
80C48/80C35 CHMOS 单片 8 位微计算机	(6-60)
8748H/8035H HMOS 单片 EPROM 微计算机	(6-68)
8049H/8039HL HMOS 单片 8 位微计算机	(6-78)
80C49/80C39 CHMOS 单片 8 位微计算机	(6-86)
8749H/8749H-8/8039H/8039H-8 HMOS 单片 EPROM 微计算机	(6-94)
8243 MCS-48 ^R 输入/输出扩展器	(6-105)
8050H/8040H HMOS 单片 8 位微计算机	(6-111)
第七章 MCS-80/85TM 系列微计算机	(7-1)
8080A/8080A-1/8080A-2 8 位 N 沟道微处理器	(7-1)
8085AH/8085AH-2/8085AH-1 8 位 HMOS 微处理器	(7-12)
8085A/8085A-2 单片 8 位 N 沟道微处理器	(7-31)
8155H/8156H/8155H-2/8156H-2 具有输入/输出转接口和计时器的 2048 位静态 HMOS 随机存贮器	(7-35)
8155/8156/8156-2/8156-2 具有输入/输出转接口和计时器的 2048 位静态 MOS 随机存贮器	(7-48)

8185/8185-2 为 MCS-85 的 1024×8 位静态随机存储器	(7-51)
8205 高速 8 选 1 二进制译码器	(7-57)
8212 8 位输入/输出转接口	(7-63)
8216/8226 4 位并行双向总线驱动器	(7-73)
8218/8219 适用于 MCS-80 和 MCS-85 系列的双向微型计算机总线控制器	(7-77)
8224 适用于 8080A CPU 的时钟发生和驱动器	(7-88)
8228/8238 用于 8080A CPU 的系统控制器和总线驱动器	(7-93)
8237A/8237A-4/8237A-5 高性能、可编程序 DMA 控制器	(7-97)
8257/8257-5 可编程序直接存储器存取(DMA)控制器	(7-116)
8259A/8259A-2/8259A-8 可编程序中断控制器	(7-137)
带有输入/输出的 8355/8355-2 16384 位 ROM	(7-158)
带有输入/输出电路的 16, 384 位可擦除可编程序的只读存储器(EPROM)	
8755A/8755A-2	(7-167)
第八章 iAPX 86, 88 微计算机	(8-1)
iAPX 85/10 16 位 HMOS 微处理器 8086/8086-2/5086-1	(8-1)
iAPX 88/10 8 位 HMOS 微处理器 8088/8088-2	(8-28)
8089 8/15 位 HMOS 输入输出处理器	(8-56)
iAPX 86/20, 88/20 数值处理器	(8-74)
iAPX 86/30, iAPX 88/30 操作系统处理器	(8-93)
8282/8283 八位锁存器	(8-116)
8284A/8284A-1 iAPX 86, 88 处理器用时钟发生器和驱动器	(8-120)
8286/8287 八位总线收发器	(8-128)
8288 iAPX 86, 88 处理器用总线控制器	(8-132)
8289 总线裁决器	(8-140)
第九章 微计算机外围器件	(9-1)
一、从处理器	
8041AH/8041AH-2/8641A/8741A 通用外围接口 8 位微计算机	(9-1)
8042/8742 通用外围接口 8 位微计算机	(9-17)
8231A 算术处理部件	(9-33)
8232 浮点处理部件	(9-47)
8294 数据保密部件	(9-61)
8295 点阵打印机控制器	(9-74)
二、存储器控制器	
8202A 动态 RAM 控制器	(9-87)
8203 64K 动态 RAM 控制器	(9-102)
3203 检错和纠错单元	(9-118)
8271/8271-6 可编程序软盘控制器	(9-137)
8272 单/双密度软盘控制器	(9-171)
三、数据通讯	

8251A 可编程序通讯接口	(9-197)
8256 多功能通用异步接收发送器(MUART)	(9-218)
8273, 8273-4, 8273-8 可编程 HDLC/SDLC 规程控制器	(9-231)
8274 多规程串行控制器(MPSC)	(9-263)
8291A 仪器仪表通用接口总线(GPIB)讲者/听者接口	(9-298)
8292 仪器仪表通用接口总线控者接口	(9-331)
8293 仪器仪表通用接口总线收发器	(9-350)
四、控制器件	
8253/8253-5 可编程序区间计数器	(9-364)
8254 可编程间隔定时器	(9-377)
8255A/8255A-5 可编程序的外围接口	(9-396)
8275 可编程序 CRT 控制器	(9-419)
8276 小系统 CRT 控制器	(9-447)
8279/8270-5 可编程序键盘/显示器接口	(9-469)
第十章 iAPX432 微主机系统	(10-1)
iAPX 43201/43202/43203 VLSI 微主机系统	(10-1)
iAPX 43201, 43202 VLSI 通用数据处理处理器	(10-3)
iAPX 43203 VLSI 接口处理器	(10-32)
第十一章 工业级产品(附录一)	(11-1)
第十二章 军级产品(附录二)	(12-1)
第十三章 质量保证	(13-1)
第十四章 通用信息	(14-1)

第七章 MCS-80/85™ 系列微计算机

8080A/8080A-1/8080A-2

8 位 N 沟道微处理器

- 与 TTL 电路直接兼容
- 指令周期为 2 微秒(8080A-1 为 1.3 微秒 8080A-2 为 1.5 微秒)
- 有较强功能的指令系统。
- 6 个通用寄存器和一个累加器。
- 16 位程序计数器对内存 64K 字节有直接寻址能力
- 16 位 堆栈指示器和堆栈, 可程序快速变换的操作模式
- 十进制, 二进制和双倍精度运算。
- 能提供优先级的向量中断。
- 有 512 个直接寻址的输入/输出转接口。

英特尔公司的 8080A 是一种完备的 8 位并行中央处理器(CPU), 采用 N 沟道硅栅 MOS 工艺组合在单片大规模集成电路上, 这就为用户提供了一个高性能解决控制和处理应用的手段。

8080A CPU 中含有 6 个 8 位通用工作寄存器和一个累加器, 6 个通用寄存器可以单个地或成对地寻址, 以提供单精度及双倍精度的操作数, 算术和逻辑指令可使 4 个条件标志置位或复位, 第 5 个标志供十进制算术运算使用。

8080A 的堆栈设置在外部, 使得存储器的任何区域都可作为后进先出的堆栈, 该堆栈用于存放或恢复累加器, 标志寄存器, 程序计数器以及 6 个通用寄存器的内容。16 位堆栈指示器控制外部堆栈的寻址, 这个堆栈提供 8080A 易于处理多级优先级中断, 并能迅速地存放和恢复处理器的状态, 还能提供几乎是无限次的子程序嵌套。

该微处理器设计得能简化系统设计, 把 16 根地址线和 8 根双向数据总线分开, 使得处理器易与存储器及输入/输出接口连接, 存储器及输入/输出接口控制信号由 8080A 直接提供, 出现 HOLD 信号时对地址和数据总线作特殊的控制, 可把处理器操作挂起, 并强制地址及数据总线进入高阻抗状态, 能使这些总线和其他控制设备进行“或”的操作, 保证直接存取存储器或进行多处理器操作。

注意: 8080A 功能及电性能同英特尔 8080 兼容。

8080A 功能框图见图 1 所示, 引脚排列见图 2 所示。

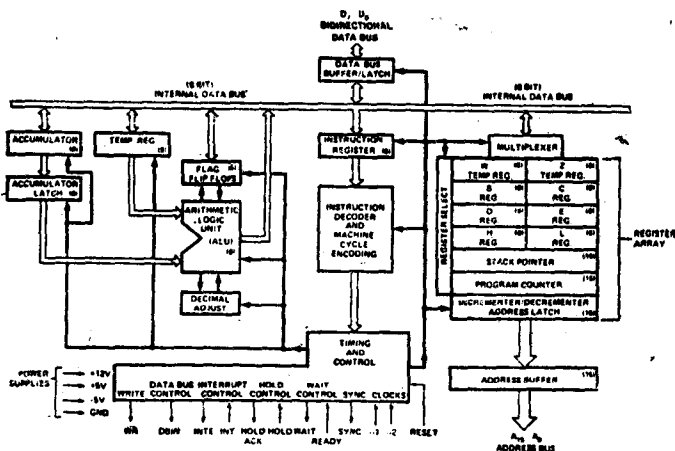


图 1 8080A 功能框图

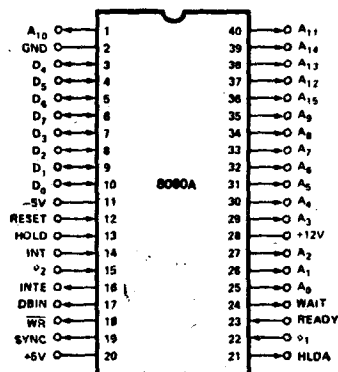


图 2 引脚排列图

表 1 引脚说明

符 号	类 型	名 称 及 功 能
A ₁₅ - A ₀	O	Address Bus(地址总线): 地址总线提供高达 64K 的 8 位字的存储器地址或者表示 256 个输入/输出的 I/O 设备, A ₀ 是最低有效地址位。
D ₇ - D ₀	I/O	Data Bus(数据总线): 数据总线为 CPU 和存储器或 I/O 设备之间进行指令和数据传送提供双向通讯, 在每个机器周期的第一时钟周期, 8080A 输出一个状态字送数据总线, 指出现行的机器周期, D ₀ 为最低有效数据位。
SYNC	O	Synchronizing Signal(同步信号): 同步信号引出端用作指示每个机器周期开始的信号。
DBIN	O	Data Bus in(数据总线允许输入): 数据总线允许输入信号对外部电路指出数据总线处于输入方式。该信号用来开启数据从存储器或 I/O 至 8080A 数据总线的门控电路。
READY	I	Ready(准备就绪): 准备就绪信号表示在 8080A 数据总线上从存储器或输入的数据是有效的, 该信号作为 CPU 与慢速存储器或 I/O 设备同步工作。如果 8080A 送出一个地址后而没有接到 READY 信号输入, 8080A 根据 READY 信号是低电平, 就进入“等待”(WAIT)状态, READY 也能用于 CPU 单步工作。
WAIT	O	Wait(等待): 等待信号用来承认 CPU 处于等待(WAIT)状态。
WR	O	Write(写): 写信号用来控制存储器输入或 I/O 设备输出。当 WR 信号为有效低电平(WR=0)时, 数据总线上数据正是稳定的。
HOLD	I	Hold(保持请求): Hold 信号请求 CPU 进入 HOLD 状态。HOLD 状态允许外设紧接着 8080A 完成现行机器周期对地址和数据总线的使用后, 取得对这些总线的控制。它是在下述条件下被 8080A 识别的: • CPU 处于 HALT(暂停)状态中。 • CPU 处于 T₂ 或 T_W 状态中, 而 READY 信号已有效进入 HOLD 状态的结果 CPU 的地址总线(A₁₅ - A₀)及数据总线(D₇ - D₀)即进入高阻抗状态, CPU 用它的保持响应(HLDA), 引出端表示它已响应 HOLD 状态。
HLDA	O	Hold Acknowledge(保持响应): HLDA 信号出现在于响应 HOLD 信号, 并指出数据和地址总线即将转成高阻抗状态。HLDA 信号开始于: • 读存储器周期或输入周期的 T₃。 • 写存储器周期或输出操作时 T₃ 过后的时钟周期。 不论是那种情况, HLDA 信号都出现在 φ ₂ 的上升沿之后。

INTE	O	Interrupt Enable (中断允许): 指示内部允许中断触发器的内容, 这个触发器可由允许中断及禁止中断指令使之置位或复位, 当它复位时, 它禁止CPU接收中断。当接收一个中断后, 在指令取操作码周期(M ₁)的T ₁ 时间能自动复位(再禁止中断), 它也能用RESET信号来复位。
INT	I	Interrupt Request(中断): 在现行指令结束时, 或者是暂停(Halt)时CPU就用此信号来识别中断请求, 如果CPU处于保持请求(HOLD)状态或者中断允许触发器复位时, 那就不响应这个请求。
RESET	I	Reset(复位): 当RESET信号有效时, 程序计数器的内容被清除, Reset(复位)信号之后, 程序计数器将从零单元开始。允许中断(INTE)触发器和保持响应(HLDA)触发器也被复位。标志寄存器, 累加器, 堆栈指示器及寄存器都不清除。
V _{SS}		参考地
V _{DD}		Power(电源): +12±5% 伏
V _{CC}		Power(电源): +5±5% 伏
V _{BB}		电源Power(电源): -5±5% 伏
φ ₁ φ ₂		Clock Phases: 相时钟外部提供的两相时钟(不能与TTL电路相容的)

最大极限值

加偏压下的温度

0℃至+70℃

存放温度

-65℃至+150℃

对应 V_{BB} 所有输入或输出电压

-0.3V至+20V

对应 V_{BB}, V_{CC}, V_{DD} 及 V_{SS} 的电压

-0.3V至+20V

功率耗境

1.5W

备注: 高于表中引出的“最大极限值”条件会造成器件彻底损坏。这仅是一个恶劣的极限值, 器件在恶劣条件下, 或在下列规定所指出的操作条件之外的状态工作, 将不能保证它的操作功能, 在最大极限值条件下工作若干时间, 就可影响器件的可靠性。

直流特性(T_A = 0℃至70℃, V_{DD} = +12V±5%, V_{CC} = +5V±5%, V_{BB} = -5V±5%, V_{SS} = 0V;

另有注释除外)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Condition
V _{ILC}	Clock Input Low Voltage	V _{SS} -1		V _{SS} +0.8	V	$I_{OL} = 1.9\text{mA}$ on all outputs, $I_{OH} = -150\mu\text{A}$.
V _{IHC}	Clock Input High Voltage	9.0		V _{DD} +1	V	
V _{IL}	Input Low Voltage	V _{SS} -1		V _{SS} +0.8	V	
V _{IH}	Input High Voltage	3.3		V _{CC} +1	V	
V _{OL}	Output Low Voltage			0.45	V	
V _{OH}	Output High Voltage	3.7			V	
I _{DD(AV)}	Avg. Power Supply Current(V _{DD})		40	70	mA	Operation T _{CY} = 48μsec
I _{CC(AV)}	Avg. Power Supply Current(V _{CC})		60	80	mA	
I _{BB(AV)}	Avg. Power Supply Current(V _{BB})		.01	1	mA	

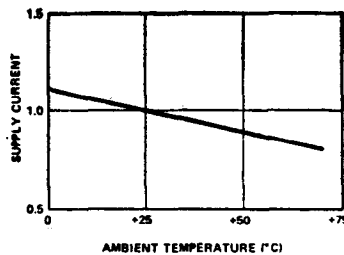
续 表

I_{IL}	Input Leakage			+10	μA	$V_{SS} \leq V_{IN} \leq V_{CC}$
I_{CL}	Clock Leakage			± 10	μA	$V_{SS} \leq V_{CLOCK} \leq V_{DD}$
I_{DL} [2]	Data Bus Leakage in Input Mode			-100 -2.0	μA mA	$V_{SS} \leq V_{IN} \leq V_{SS} + 0.8V$ $V_{SS} + 0.8V \leq V_{IN} \leq V_{CC}$
I_{FL}	Address and Data Bus Leakage During HOLD			+10 -100	μA	$V_{ADDR/DATA} = V_{CC}$ $V_{ADDR/DATA} = V_{SS} + 0.45V$

电容

($T_A = 25^\circ C$, $V_{CC} = V_{DD} = V_{SS} = 0V$, $V_{BB} = -5V$)

Symbol	Parameter	Typ.	Max.	Unit	Test Condition
C_ϕ	Clock Capacitance	17	25	pf	$f_c = 1MHz$
C_{IN}	Input Capacitance	6	10	pf	Unmeasured Pins
C_{OUT}	Output Capacitance	10	20	pf	Returned to V_{SS}



典型的电源电流与温度关系(标准的)

注意: 1. RESET 信号至少应该在 3 个时钟周期是有效的。

2. 电源 $\Delta I / \Delta T_A = -0.45\% / ^\circ C$

交流特性(8080A)

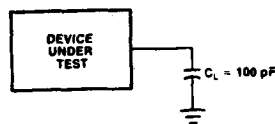
($T_A = 0^\circ C$ 至 $70^\circ C$, $V_{DD} = +12V \pm 5\%$, $V_{CC} = +5V \pm 5\%$, $V_{BB} = -5V \pm 5\%$, $V_{SS} = 0V$; 另有注释除外)

Symbol	Parameter	Min.	Max.	-1 Min.	-1 Max.	-2 Min.	-2 Max.	Unit	Test Condition
$t_{cy}[3]$	Clock Period	0.48	2.0	0.32	2.0	0.38	2.0	μsec	
t_r, t_f	Clock Rise and Fall Time	0	50	0	25	0	50	nsec	
$t_{\phi 1}$	ϕ_1 Pulse Width	60		50		60		nsec	
$t_{\phi 2}$	ϕ_2 Pulse Width	220		145		175		nsec	
t_{D1}	Delay ϕ_1 to ϕ_2	0		0		0		nsec	
t_{D2}	Delay ϕ_2 to ϕ_1	70		60		70		nsec	
t_{D3}	Delay ϕ_1 to ϕ_2 Leading Edges	80		60		70		nsec	
t_{DA}	Address Output Delay From ϕ_2		200		150		175	nsec	$C_L = 100 pF$

续 表

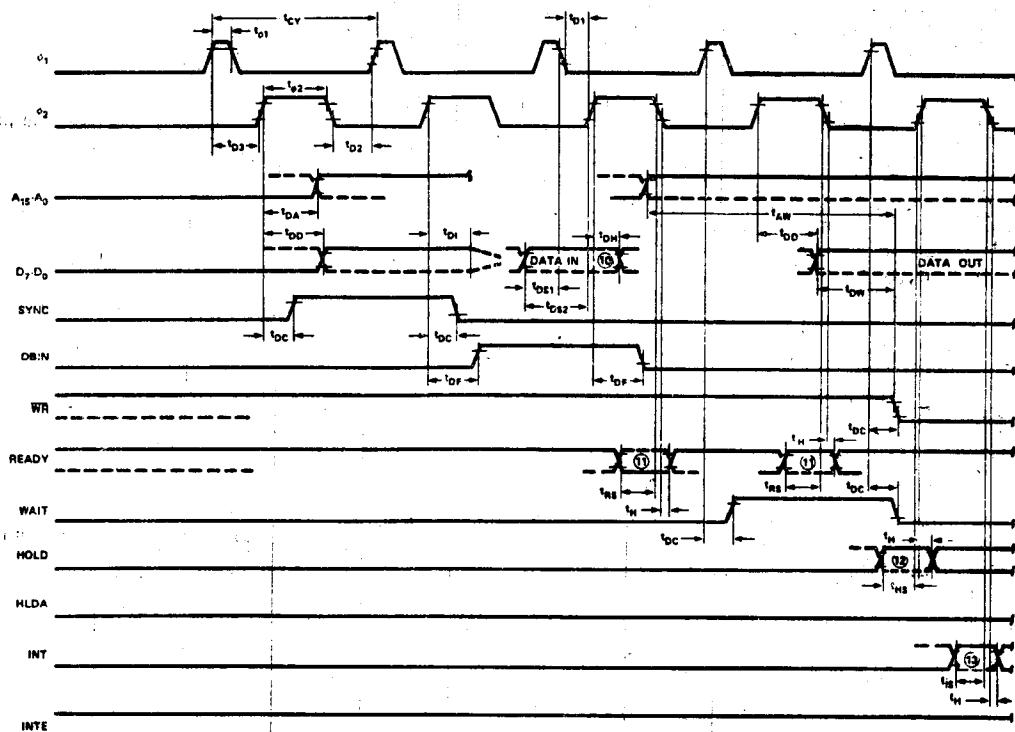
tDD	Data Output Delay From ϕ_2		220		180		200	nsec	} $C_L = 50 \text{ pF}$
tDC	Signal Output Delay From ϕ_2 or ϕ_2 (SYNC, WR, WAIT, HLDA)		120		110		120	nsec	
tDF	DBIN Delay From ϕ_2	25	140	25	130	25	140	nsec	
td1[1]	Delay for Input Bus to Enter Input Mode		tDF		tDF		tDF	nsec	
tDS1	Data Setup Time During ϕ_1 and DBIN	30		10		20		nsec	
tDS2	Data Setup Time to ϕ_2 During DBIN	150		120		130		nsec	} $C_L = 50 \text{ pF}$
tDH[1]	Data Hold time From ϕ_2 During DBIN	[1]		[1]		[1]		nsec	
tIE	INTE Output Delay From ϕ_2		200		200			nsec	
tRS	READY Setup Time During ϕ_2	120		90		90	200	nsec	
tHS	HOLD Setup Time to ϕ_2	140		120		120		nsec	
tIS	INT Setup Time During ϕ_2	120		100		100		nsec	} $C_L = 100 \text{ pF}$, Address, Data $C_L = 50 \text{ pF}$, WR, HLDA, DBIN
tH	Hold Time From ϕ_2 (READY, INT, HOLD)	0		0		0		nsec	
tFD	Delay to Float During Hold (Address and Data Bus)		120		120		120	nsec	
tAW	Address Stable Prior to WR	[5]		[5]		[5]		nsec	
tdW	Output Data Stable Prior to WR	[6]		[6]		[6]		nsec	
tWD	Output Data Stable From WR	[7]		[7]		[7]		nsec	} $C_L = 100 \text{ pF}$, Address, Data $C_L = 50 \text{ pF}$, WR, HLDA, DBIN
tWA	Address Stable From WR	[7]		[7]		[7]		nsec	
tHF	HLDA to Float Delay	[8]		[8]		[8]		nsec	
tWF	WR to Float Delay	[9]		[9]		[9]		nsec	
tAH	Address Hold Time After DBIN During HLDA	-20		-20		-20		nsec	

交流负载测试电路



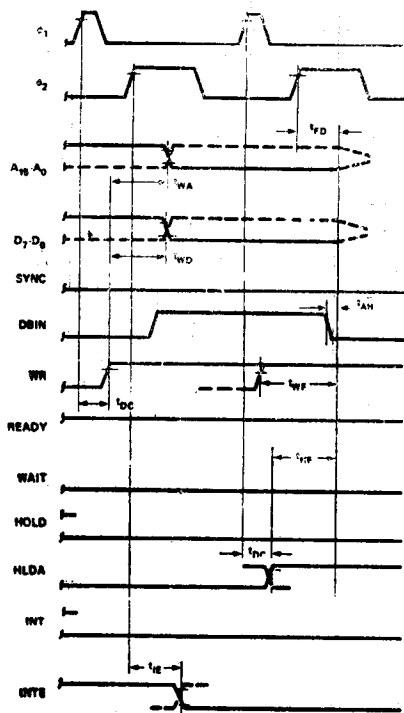
$C_L = 100 \text{ pF}$
 C_L INCLUDES JIG CAPACITANCE

波形



注意：时间的测量是按如下参改电压进行的；时钟“1”=8.0V，“0”=1.0V，输入“1”=3.3V，“0”=0.8V。输出“1”=2.0V，“0”=0.8V

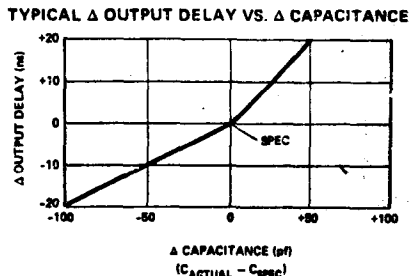
波形(继续)



注意：(括号分别指出 8080A-1, -2 按其详细说明)。

1. 用 DBIN 状态信号, 控制数据允许输入, 此后, 使总线不至于发生冲突, 保证了数据保持的时间。 $t_{DH} = 50ns$ 或 t_{DF} 无论哪一个都得要小。
2. $t_{CY} = t_{DB} + t_{r\phi 2} + t_{\phi 2} + t_{\phi 2}^2 + t_{D2} + t_{r\phi 1} \geq 480ns (-1 : 320ns, -2 : 380ns)$

典型的 Δ 输出延迟与 Δ 容量的关系



3. 当 8080A 与具有 $V_{IH} = 3.3V$ 的设备接口时有下列关系:
 - a. 最大输出上升时间从 0.8V 至 3.3V = 100ns @ $C_L = SPEC$ (规定值)。
 - b. 当测量到 3.0 伏时输出延迟 = SPEC + 60ns @ $C_L = SPEC$ (规定值)。
 - c. $C_L = SPEC$ 规定值的话
若 $C_L > C_{SPEC}$ 的话, 则加 0.6ns/pf
若 $C_L < C_{SPEC}$ 的话, 则减去 0.3ns/pf(修改过的延迟)
4. $t_{AW} = 2t_{CY} - t_{D3} - t_{r\phi 2} - 140ns (-1 : 110ns, -2 : 130ns)$
5. $t_{DW} = t_{CY} - t_{D3} - t_{r\phi 2} - 170 (-1 : 150ns, -2 : 170ns)$
6. 如果不是 HLDA, $t_{WD} = t_{WA} = t_{D3} + t_{r\phi 2} + 10ns$
如果是 HLDA, $t_{WD} = t_{WA} + t_{WF}$
7. $t_{HF} = t_{D3} + t_{r\phi 2} - 50ns$
8. $t_{WF} = t_{D3} + t_{r\phi 2} - 10ns$
9. 在 DBIN T_3 期间, 对这段时间输入数据应该是稳定的, t_{DS1} 及 t_{DS2} 两者都应满足要求。
10. 在 T_2 或 T_W 期间, READY 信号在这段时间应该是稳定的, (必须是外同步)。
11. 当进入 HOLD 方式时在 T_2 或 T_W 期间, 及当在 Hold 方式, 在 T_3 、 T_4 、 T_5 和 T_{WH} 之期间, 对这段时间 HOLD 信号应该是稳定的(不需要外同步)。
12. 任何指令的最后时钟周期的这段时间, 中断信号应该是稳定的。以便能被识别的后面指令(不需要外同步)。
13. 这个时序图仅表示定时的关系, 并不表示任何具体的机器周期。

指令系统

累加器组的指令含有直接, 间接, 和立即寻址方式的算术和逻辑操作。

传送, 装入存取指令组能在存储器, 6 个工作寄存器和累加器之间用直接、间接, 及

立即寻址方式传送 8 位或 16 位的数据。

用转移, 条件转移及算术转移指令, 能提供各部分的程序转移, 也能提供条件和无条件子程序调用及返回。RESTART (或单字节调用指令)用于中断向量的操作。

双倍精度操作,例如堆栈操作和双字长加指令,不仅扩充了8080A的算术运算而且还扩充了中断处理能力。能进行存贮器,6个通用寄存器,累加器的加1及减1操作和所提供寄存器对及堆栈指示器加1及减1操作一样,此外还能提供通过或不通过进位位累加器循环的左移或右移操作的能力。

输入及输出能进行存贮器映象 I/O 的寻址或 8080A 指令系统所提供的直接 I/O 寻址。

8080A 指令系统还有下列特殊指令组, NOP(空操作)指令, 停止执行 存取的 HALT (停机)指令, 及能进行十进制数运算的 DAA(累加器的十进制调整)指令。允许直接置位进位标志的 STC(进位置位)指令, 累加器的内容变反码的 CMA(累加器变反)指令, 两个 16 位寄存器对的内容直接交换的 XCHG(寄存器对交换)指令。

数据和指令格式

数据在 8080A 中是以 8 位二进制整数形式存入的。所有数据以同样格式传送到系统数据总线。

D₇ D₆ D₅ D₄ D₃ D₂ D₁ D₀

数 据 字

程序指令长度可以是 1, 2 或 3 个字节, 多字节指令必须顺序存放在存贮单元里, 指令格式与所执行的具体操作有关。

单字节指令

D₇ D₆ D₅ D₄ D₃ D₂ D₁ D₀

操作码

典型指令

寄存器与寄存器, 存贮器, 算术或逻辑, 循环, 返回、入栈、出栈, 允许或禁止中断指令。

双字节指令

D₇ D₆ D₅ D₄ D₃ D₂ D₁ D₀

操作码

立即数寻址或 I/O 指令

D₇ D₆ D₅ D₄ D₃ D₂ D₁ D₀

操作数

三字节指令

D₇ D₆ D₅ D₄ D₃ D₂ D₁ D₀

操作码

转移, 调用或直接存取指令

D₇ D₆ D₅ D₄ D₃ D₂ D₁ D₀

低位地址或操作数1

D₇ D₆ D₅ D₄ D₃ D₂ D₁ D₀

高位地址或操作数2

8080A 逻辑“1”定义为高电平, 逻辑“0”定义为低电平

表 2 8080A 指令系统总表

Mnemonic	Instruction Code [1]								Operations Description	Clock Cycles [2]
	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀		
MOVE, LOAD, AND STORE										
MOV r ₁ , r ₂	0	1	D	D	D	S	S	S	Move register to register	5
MOV M, r	0	1	1	1	0	S	S	S	Move register to memory	7
MOV r, M	0	1	D	D	D	1	1	0	Move memory to register	7
MVI r	0	0	D	D	D	1	1	0	Move immediate register	7
MVI M	0	0	1	1	0	1	1	0	Move immediate memory	10
LXI B	0	0	0	0	0	0	0	1	Load immediate register Pair B & C	10
LXI D	0	0	0	1	0	0	0	1	Load immediate register Pair D & E	10
LXI H	0	0	1	0	0	0	0	1	Load immediate register Pair H & L	10
STAX B	0	0	0	0	0	0	1	0	Store A indirect	7
STAX D	0	0	0	1	0	0	1	0	Store A indirect	7
LDAX B	0	0	0	0	1	0	1	0	Load A indirect	7
LDAX D	0	0	0	1	1	0	1	0	Load A indirect	7
STA	0	0	1	1	0	0	1	0	Store A direct	13
LDA	0	0	1	1	1	0	1	0	Load A direct	13
SHLD	0	0	1	0	0	0	1	0	Store H & L direct	16
LHLD	0	0	1	0	1	0	1	0	Load H & L direct	16
XCHG	1	1	1	0	1	0	1	1	Exchange D & E, H & L Registers	4
STACK OPS										
PUSH B	1	1	0	0	0	1	0	1	Push register Pair B & C on stack	11
PUSH D	1	1	0	1	0	1	0	1	Push register Pair D & E on stack	11
PUSH H	1	1	1	0	0	1	0	1	Push register Pair H & L on stack	11
PUSH PSW	1	1	1	1	0	1	0	1	Push A and Flags on stack	11
POP B	1	1	0	0	0	0	0	1	Pop register Pair B & C off stack	10
POP D	1	1	0	1	0	0	0	1	Pop register Pair D & E off stack	10
POP H	1	1	1	0	0	0	0	1	Pop register Pair H & L off stack	10
POP PSW	1	1	1	1	0	0	0	1	Pop A and Flags off stack	10
XTHL	1	1	1	0	0	0	1	1	Exchange top of stack, H & L	18
SPHL	1	1	1	1	1	0	0	1	H & L to stack pointer	5
LXI SP	0	0	1	1	0	0	0	1	Load immediate stack pointer	10
INX SP	0	0	1	1	0	0	1	1	Increment stack pointer	5
DCX SP	0	0	1	1	1	0	1	1	Decrement stack pointer	5
JUMP										
JMP	1	1	0	0	0	0	1	1	Jump unconditional	10
JC	1	1	0	1	1	0	1	0	Jump on carry	10
JNC	1	1	0	1	0	0	1	0	Jump on no carry	10
JZ	1	1	0	0	1	0	1	0	Jump on zero	10
JNZ	1	1	0	0	0	0	1	0	Jump on no zero	10
JP	1	1	1	1	0	0	1	0	Jump on positive	10
JM	1	1	1	1	1	0	1	0	Jump on minus	10
JPE	1	1	1	0	1	0	1	0	Jump on parity even	10
JPO	1	1	1	0	0	0	1	0	Jump on parity odd	10
PCHL	1	1	1	0	1	0	0	1	H & L to program counter	5

续 表

Mnemonic	Instruction Code [1] D ₇ D ₆ D ₅ D ₄ D ₃ D ₂ D ₁ D ₀	Operations Description	Clock Cycles [2]
CALL			
CALL	1 1 0 0 1 1 0 1	Call unconditional	17
CC	1 1 0 1 1 1 0 0	Call on carry	11/17
CNC	1 1 0 1 0 1 0 0	Call on no carry	11/17
CZ	1 1 0 0 1 1 0 0	Call on zero	11/17
CNZ	1 1 0 0 0 1 0 0	Call on no zero	11/17
CP	1 1 1 1 0 1 0 0	Call on positive	11/17
CM	1 1 1 1 1 1 0 0	Call on minus	11/17
CPE	1 1 1 0 1 1 0 0	Call on parity even	11/17
CPO	1 1 1 0 0 1 0 0	Call on parity odd	11/17
RETURN			
RET	1 1 0 0 1 0 0 1	Return	10
RC	1 1 0 1 1 0 0 0	Return on carry	5/11
RNC	1 1 0 1 0 0 0 0	Return on no carry	5/11
RZ	1 1 0 0 1 0 0 0	Return on zero	5/11
RNZ	1 1 0 0 0 0 0 0	Return on no zero	5/11
RP	1 1 1 1 0 0 0 0	Return on positive	5/11
RM	1 1 1 1 1 0 0 0	Return on minus	5/11
RPE	1 1 1 0 1 0 0 0	Return on parity even	5/11
RPO	1 1 1 0 0 0 0 0	Return on parity odd	5/11
RESTART			
RST	1 1 A A A 1 1 1	Restart	11
INCREMENT AND DECREMENT			
INR r	0 0 D D D 1 0 0	Increment register	5
DCR r	0 0 D D D 1 0 1	Decrement register	5
INR M	0 0 1 1 0 1 0 0	Increment memory	10
DCR M	0 0 1 1 0 1 0 1	Decrement memory	10
INX B	0 0 0 0 0 0 1 1	Increment B & C registers	5
INX D	0 0 0 1 0 0 1 1	Increment D & E registers	5
INX H	0 0 1 0 0 0 1 1	Increment H & L registers	5
DCX B	0 0 0 0 1 0 1 1	Decrement B & C	5
DCX D	0 0 0 1 1 0 1 1	Decrement D & E	5
DCX H	0 0 1 0 1 0 1 1	Decrement H & L	5
ADD			
ADD r	1 0 0 0 0 S S S	Add register to A	4
ADC r	1 0 0 0 1 S S S	Add register to A with carry	4
ADD M	1 0 0 0 0 1 1 0	Add memory to A	7
ADC M	1 0 0 0 1 1 1 0	Add memory to A with carry	7
ADI	1 1 0 0 0 1 1 0	Add immediate to A	7
ACI	1 1 0 0 1 1 1 0	Add immediate to A with carry	7
DAD B	0 0 0 0 1 0 0 1	Add B & C to H & L	10
DAD D	0 0 0 1 1 0 0 1	Add D & E to H & L	10

续 表

Mnemonic	Instruction Code [1] D ₇ D ₆ D ₅ D ₄ D ₃ D ₂ D ₁ D ₀	Operations Description	Clock Cycles [2]
DAD H	0 0 1 0 1 0 0 1	Add H & L to H & L	10
DAD SP	0 0 1 1 1 0 0 1	Add stack pointer to H & L	10
SUBTRACT			
SUB r	1 0 0 1 0 S S S	Subtract register from A	4
SBB r	1 0 0 1 1 S S S	Subtract register from A with borrow	4
SUB M	1 0 0 1 0 1 1 0	Subtract memory from A	7
SBB M	1 0 0 1 1 1 1 0	Subtract memory from A with borrow	7
SUI	1 1 0 1 0 1 1 0	Subtract immediate from A	7
SBI	1 1 0 1 1 1 1 0	Subtract immediate from A with borrow	7
LOGICAL			
ANA r	1 0 1 0 0 S S S	And register with A	4
XRA r	1 0 1 0 1 S S S	Exclusive Or register with A	4
ORA r	1 0 1 1 0 S S S	Or register with A	4
CMP r	1 0 1 1 1 S S S	Compare register with A	4
ANA M	1 0 1 0 0 1 1 0	And memory with A	7
XRA M	1 0 1 0 1 1 1 0	Exclusive Or memory with A	7
ORA M	1 0 1 1 0 1 1 0	Or memory with A	7
CMP M	1 0 1 1 1 1 1 0	Compare memory with A	7
ANI	1 1 1 0 0 1 1 0	And immediate with A	7
XRI	1 1 1 0 1 1 1 0	Exclusive Or immediate with A	7
ORI	1 1 1 1 0 1 1 0	Or immediate with A	7
CPI	1 1 1 1 1 1 1 0	Compare immediate with A	7
ROTATE			
RLC	0 0 0 0 0 1 1 1	Rotate A left	4
RRC	0 0 0 0 1 1 1 1	Rotate A right	4
RAL	0 0 0 1 0 1 1 1	Rotate A left through carry	4
RAR	0 0 0 1 1 1 1 1	Rotate A right through carry	4
SPECIALS			
CMA	0 0 1 0 1 1 1 1	Complement A	4
STC	0 0 1 1 0 1 1 1	Set carry	4
CMC	0 0 1 1 1 1 1 1	Complement carry	4
DAA	0 0 1 0 0 1 1 1	Decimal adjust A	4
INPUT/OUTPUT			
IN	1 1 0 1 1 0 1 1	Input	10
OUT	1 1 0 1 0 0 1 1	Output	10
CONTROL			
EI	1 1 1 1 1 0 1 1	Enable Interrupts	4
DI	1 1 1 1 0 0 1 1	Disable Interrupt	4
NOP	0 0 0 0 0 0 0 0	No-operation	4
HLT	0 1 1 1 0 1 1 0	Halt	7

注意:

1. DDD或SSS, B=000, C=001, D=010, E=011, H=100, L=101, 存储器=110, A=111
2. 有两种可能的周期数(6/12)表示指令周期数和条件标志有关。