

HZ BOOKS

21
世纪

高等院校电子信息类本科规划教材

DSP技术与应用

张太镒 宁改娣 刘和平 编著



机械工业出版社
China Machine Press

21
世纪

高等院校电子信息类本科规划教材

TN911.72

169

2007

DSP技术与应用

张太镒 宁改娣 刘和平 编著



机械工业出版社
China Machine Press

本书在介绍DSP56800E处理器核特点的基础上,详细介绍了DSP56800E处理器核的硬件结构(包括算术运算单元ALU、程序控制器、地址发生器AGU和位处理操作单元等)、工作原理、数据类型、寻址方式、指令系统和指令流水线,以及DSP56800E系列开发工具;另外还介绍了作者研发的基于56800E处理器核的16位混合控制器MC56F8346实验板,以及在电气工程与自动化工程中的应用实例。为配合教学,每章后附有内容小结和复习思考题。

本书可作为信息与通信工程、电子科学技术、电气工程与自动化、机械与电子工程等专业的DSP课程教材,也可作为从事嵌入式系统设计的技术人员的参考书。

版权所有,侵权必究。

本书法律顾问 北京市展达律师事务所

图书在版编目(CIP)数据

DSP技术与应用/张太镒,宁改娣,刘和平编著. —北京:机械工业出版社,2007.5

(21世纪高等院校电子信息类本科规划教材)

ISBN 978-7-111-21106-8

I. D… II. ①张… ②宁… ③刘… III. 数字信号—信号处理—高等学校—教材 IV. TN911.72

中国版本图书馆CIP数据核字(2007)第032681号

机械工业出版社(北京市西城区百万庄大街22号 邮政编码 100037)

责任编辑:秦燕梅

三河市明辉印装有限公司印刷·新华书店北京发行所发行

2007年5月第1版第1次印刷

184mm×260mm·15.5印张

定价:26.00元

凡购本书,如有倒页、脱页、缺页,由本社发行部调换

本社购书热线:(010) 68326294

前 言

自20世纪80年代第1块DSP (Digital Signal Processor) 芯片问世以来,随着微电子技术的飞速发展,DSP芯片性能在不断提高,应用范围更加广泛。超大规模集成电路(VLSI)工艺的进步和专用集成电路(ASIC)技术的发展,进一步推动了数字信号处理技术和DSP芯片制造技术的发展。作为主要DSP芯片提供商的Freescale公司(原Motorola公司),不断推出各具特色的高性能DSP通用芯片以满足市场需求。Freescale公司致力于将MCU集成到DSP芯片中,构成具有卓越运算能力和强有力控制功能的新一代DSP。

本书选择了美国Freescale公司具有代表性的DSP56800E核的DSP为蓝本进行编译,结合作者长期从事电气工程、自动化及微处理器相关课程教学和研究开发工作经验撰写而成。

DSP56800E核是一个16位定点可编程CMOS DSP,兼容所有DSP56800核架构DSP的指令系统。DSP56800E核指令系统类似MCU指令系统,支持整型和小数型数据,易于优化算法。DSP56800E架构支持C语言编程,多数应用程序可用C语言编写。在DSP56800E上易于实现多任务和实时操作系统。

本书各章节的安排是:

第1章介绍了DSP56800核和DSP56800E核的概要、特点。

第2章介绍了DSP56800E处理器核硬件结构,包括算术运算单元ALU、地址发生器AGU、程序控制器和位处理操作单元等部分的组成和工作原理。

第3章介绍了DSP56800E处理器的核数据类型和寻址方式。

第4章和第5章分别介绍了DSP56800E处理器核指令系统和指令流水线。

第6章介绍了基于DSP56800E核的16位混合控制器MC56F8346性能和主要特点。MC56F8346为Freescale公司推出的一款兼有单片机MCU和数字信号处理器双重功能的DSP芯片,其片内资源丰富、使用成本低、功能强大。

第7章介绍了DSP56800E核DSP开发工具和56F8346实验板,以及在电气工程与自动化专业教学中经实际验证的实验。

每章末尾附有该章小结和思考题,供读者复习参考。

本书的写作工作得到了美国Freescale公司大学计划部的大力支持,Freescale公司为编者提供的56F8346EVM板和相关软件为书中程序实例提供了校验平台,在此表示感谢。

本书第1、2章由西安交通大学张太镒教授撰写,第3、4、5章由西安交通大学宁改娣副教授撰写,第6、7章由重庆大学刘和平教授撰写,全书由西安交通大学张太镒教授统稿。感谢孙国平、杨超、江久适协助翻译了相关参考资料,并参与了应用程序的调试工作。机械工业出版社王颖女士为本书的出版给予了帮助,在此深表谢意。总之,本书的写作出版是集体智慧的结晶,在此,对所有为本书的出版提供了帮助的人们表示诚挚的感谢!

由于作者水平有限,加之时间仓促,文中难免有不妥之处,敬请读者不吝指正。

编著者

2007年2月

目 录

| | |
|--|----|
| 第1章 概述 | 1 |
| 1.1 DSP56800处理器核 | 1 |
| 1.2 DSP56800E处理器核 | 4 |
| 1.2.1 DSP56800E处理器核构成 | 4 |
| 1.2.2 DSP56800E系列芯片构成和外部接口 | 7 |
| 1.2.3 双哈佛存储器结构 | 8 |
| 1.2.4 DSP56800E编程方式 | 9 |
| 1.3 DSP56800处理器核与DSP56800E处理器核性能比较 | 10 |
| 1.3.1 微控制器性能 | 10 |
| 1.3.2 数字信号处理器性能 | 11 |
| 1.4 数字运算基础 | 11 |
| 1.4.1 数的定标 | 12 |
| 1.4.2 定点算术运算 | 13 |
| 本章小结 | 14 |
| 习题与思考题 | 14 |
| 第2章 DSP56800E核的硬件组成 | 15 |
| 2.1 算术逻辑单元 | 15 |
| 2.1.1 访问累加器寄存器 | 17 |
| 2.1.2 小数和整数数据ALU算法 | 22 |
| 2.1.3 无符号算术运算 | 28 |
| 2.1.4 扩展和多精度运算 | 29 |
| 2.1.5 归一化处理 | 32 |
| 2.1.6 条件代码计算 | 33 |
| 2.1.7 饱和与数据限制 | 33 |
| 2.1.8 舍零取整 | 36 |
| 2.2 地址发生器 | 38 |
| 2.2.1 AGU的寄存器 | 40 |
| 2.2.2 8bit和16bit寻址 | 41 |
| 2.2.3 16bit指针寻址 | 42 |
| 2.2.4 8bit指针寻址 | 45 |
| 2.2.5 线性和模地址运算 | 47 |
| 2.3 程序控制器 | 51 |
| 2.3.1 程序控制器的寄存器 | 52 |
| 2.3.2 软件堆栈 | 56 |

| | | |
|----------------------|--------------------|-----------|
| 2.3.3 | 硬件堆栈 | 58 |
| 2.3.4 | 硬件循环 | 58 |
| 2.3.5 | 从数据存储器执行程序 | 61 |
| 2.4 | 中断 | 65 |
| 2.4.1 | 中断优先级 | 65 |
| 2.4.2 | 中断和非常规处理 | 66 |
| 2.4.3 | 中断源 | 68 |
| 2.4.4 | 不可中断的指令序列 | 69 |
| 2.5 | 位处理单元 | 69 |
| 2.5.1 | 硬件组成 | 70 |
| 2.5.2 | 操作方式 | 71 |
| | 本章小结 | 72 |
| | 习题与思考题 | 72 |
| 第3章 数据类型和寻址方式 | | 73 |
| 3.1 | DSP56800E寄存器 | 73 |
| 3.2 | DSP56800E数据类型 | 75 |
| 3.2.1 | 数据格式 | 75 |
| 3.2.2 | 整型数据和小数型数据的关系 | 76 |
| 3.3 | 访问存储器方式 | 77 |
| 3.3.1 | 数据传送类指令 | 77 |
| 3.3.2 | 访问数据存储器的指令 | 78 |
| 3.3.3 | 访问程序存储器的指令 | 79 |
| 3.3.4 | 操作数位于数据存储器中的指令 | 79 |
| 3.3.5 | 并行传送指令 | 80 |
| 3.4 | 数据排列方式 | 80 |
| 3.4.1 | 累加器中的数据排列方式 | 80 |
| 3.4.2 | 数据寄存器中的数据排列方式 | 81 |
| 3.4.3 | 24位AGU寄存器及其数据的排列方式 | 82 |
| 3.4.4 | 16位AGU寄存器及其数据的排列方式 | 83 |
| 3.4.5 | 存储器中的数据排列方式 | 83 |
| 3.5 | 对存储器的访问与指针 | 84 |
| 3.5.1 | 字节指针和字指针 | 84 |
| 3.5.2 | 使用字指针访问字型变量 | 85 |
| 3.5.3 | 使用字指针访问长字型变量 | 85 |
| 3.5.4 | 使用字指针访问字节型变量 | 87 |
| 3.5.5 | 使用字节指针访问字节型变量 | 87 |
| 3.6 | 寻址方式 | 88 |
| 3.6.1 | 寻址方式概要 | 89 |
| 3.6.2 | 寄存器直接寻址 | 91 |
| 3.6.3 | 地址寄存器间接寻址 | 91 |

| | |
|----------------------------------|------------|
| 3.6.4 立即数寻址方式 | 98 |
| 3.6.5 绝对寻址 | 100 |
| 3.6.6 隐含寻址方式 | 103 |
| 本章小结 | 103 |
| 习题与思考题 | 103 |
| 第4章 指令系统 | 104 |
| 4.1 指令分类 | 104 |
| 4.1.1 乘法指令 | 104 |
| 4.1.2 算术指令 | 105 |
| 4.1.3 移位指令 | 107 |
| 4.1.4 逻辑指令 | 108 |
| 4.1.5 AGU运算指令 | 108 |
| 4.1.6 位操作指令 | 109 |
| 4.1.7 循环指令 | 110 |
| 4.1.8 数据传输指令 | 110 |
| 4.1.9 程序控制指令 | 111 |
| 4.2 指令别名 | 112 |
| 4.2.1 ANDC,EORC,ORC和NOTC指令 | 112 |
| 4.2.2 重复操作数指令的重映射 | 113 |
| 4.3 延时控制指令 | 113 |
| 4.3.1 延时控制指令的使用 | 113 |
| 4.3.2 使用延时指令的限制 | 114 |
| 4.3.3 延时指令与中断 | 115 |
| 4.4 指令简表 | 115 |
| 4.4.1 指令简表的用法 | 115 |
| 4.4.2 寄存器组的符号表示 | 116 |
| 4.4.3 立即数的符号表示 | 118 |
| 4.4.4 指令表 | 118 |
| 4.4.5 并行传送指令简表 | 136 |
| 4.5 寄存器间的数据移动 | 137 |
| 本章小结 | 138 |
| 习题与思考题 | 138 |
| 第5章 指令流水线 | 139 |
| 5.1 流水线执行阶段 | 139 |
| 5.2 流水线运行方式 | 140 |
| 5.2.1 普通的流水线运行方式 | 140 |
| 5.2.2 数据ALU的执行阶段 | 141 |
| 5.3 中断过程中的流水线工作方式 | 143 |
| 5.3.1 标准中断过程下的流水线 | 143 |

| | | |
|------------|---------------------------|------------|
| 5.3.2 | 使用延时指令RTID执行中断返回 | 144 |
| 5.3.3 | 中断嵌套 | 145 |
| 5.3.4 | 软中断和非法指令中断的流水线 工作方式 | 146 |
| 5.3.5 | 快速中断的流水线工作方式 | 146 |
| 5.3.6 | 快速中断服务程序的中断 | 147 |
| 5.3.7 | 快速中断被高优先级中断的情况 | 147 |
| 5.3.8 | 中断响应时间 | 150 |
| 5.4 | 流水线依赖和延时 | 154 |
| 5.4.1 | 数据ALU的流水线依赖 | 154 |
| 5.4.2 | AGU的流水线依赖现象 | 155 |
| 5.4.3 | 指令自身的延时 | 157 |
| | 本章小结 | 158 |
| | 习题与思考题 | 158 |
| 第6章 | MC56F8346 | 159 |
| 6.1 | 概述 | 159 |
| 6.2 | 通用I/O端口 | 161 |
| 6.3 | ADC模块 | 164 |
| 6.4 | PWM模块 | 166 |
| 6.5 | 中断控制器 | 171 |
| 6.5.1 | 中断优先级寄存器0 (IPR0) | 171 |
| 6.5.2 | 中断优先级寄存器1 (IPR1) | 172 |
| 6.5.3 | 中断优先级寄存器2 (IPR2) | 173 |
| 6.5.4 | 中断优先级寄存器3 (IPR3) | 174 |
| 6.5.5 | 中断优先级寄存器4 (IPR4) | 175 |
| 6.5.6 | 中断优先级寄存器5 (IPR5) | 176 |
| 6.5.7 | 中断优先级寄存器6 (IPR6) | 177 |
| 6.5.8 | 中断优先级寄存器7 (IPR7) | 179 |
| 6.5.9 | 中断优先级寄存器8 (IPR8) | 180 |
| 6.5.10 | 中断优先级寄存器9 (IPR9) | 181 |
| 6.5.11 | 向量基地址寄存器 (VBA) | 183 |
| 6.5.12 | 快速中断0竞争寄存器 (FIM0) | 183 |
| 6.5.13 | 快速中断优先级0向量低地址寄存器 (FIVAL0) | 183 |
| 6.5.14 | 快速中断优先级0向量高地址寄存器 (FIVAH0) | 184 |
| 6.5.15 | 快速中断1的竞争寄存器 | 184 |
| 6.5.16 | 快速中断向量1低地址寄存器 (FIVAL1) | 184 |
| 6.5.17 | 快速中断向量1高地址寄存器 (FIVAH1) | 185 |
| 6.5.18 | IRQ未决寄存器0 (IRQP0) | 185 |
| 6.5.19 | IRQ未决寄存器1 (IRQP1) | 185 |
| 6.5.20 | IRQ未决寄存器2 (IRQP2) | 185 |

| | | |
|------------|----------------------|------------|
| 6.5.21 | IRQ未决寄存器3 (IRQP3) | 186 |
| 6.5.22 | IRQ未决寄存器4 (IRQP4) | 186 |
| 6.5.23 | IRQ未决寄存器5 (IRQP5) | 186 |
| 6.5.24 | ITCN控制寄存器 (ICTL) | 187 |
| | 附录 | 187 |
| | 本章小结 | 191 |
| | 习题与思考题 | 191 |
| 第7章 | 开发工具 | 193 |
| 7.1 | CodeWarrior IDE R7.0 | 193 |
| 7.2 | 56F8346EVM板 | 195 |
| 7.3 | 在专家系统 (PE) 中创建一个项目 | 197 |
| 7.3.1 | 直接新建工程项目 | 197 |
| 7.3.2 | 在专家系统中为项目添加模块 | 199 |
| 7.3.3 | 编译、修改源程序 | 200 |
| 7.3.4 | 调试工程项目 | 201 |
| 7.3.5 | 下载程序到芯片中 | 203 |
| 7.4 | 应用实例 | 204 |
| 7.5 | MC56F8346实验开发系统 | 213 |
| | 本章小结 | 217 |
| | 习题与思考题 | 217 |
| | 附录 | 219 |
| | 参考文献 | 237 |

第 1 章 概 述

飞思卡尔 (Freescale) 公司是从Motorola公司独立出来的专门从事集成电路芯片设计、研发和制造的半导体公司，是国际上重要的DSP芯片供应商之一。其中嵌入微控制器核 (MCU) 的DSP芯片最具特色。

DSP56800处理器核是该公司在20世纪末生产的一款具有强大处理能力的DSP芯片的核心模块，不久，该公司又推出增强型DSP56800处理器核，即DSP56800E处理器核，其源代码与DSP56800处理器核兼容，处理性能得到了很大的扩展。

本章在全面详细介绍DSP56800E处理器核性能前，先对DSP56800处理器核和DSP56800E处理器核的主要性能进行对比介绍，接着介绍在数字信号处理系统设计中必须掌握的数字运算基础。

1.1 DSP56800处理器核

传统的微控制器MCU指令紧凑、代码尺寸小、易于编程，用于对自动化设备的控制，缺点是缺乏数字信号处理能力且运算效率低。数字信号处理器DSP主要针对数字信号处理中复杂的数学运算，但由于指令复杂，所以程序设计难度较大。

DSP56800和DSP56800E处理器核不同于其他DSP，其主要特点是将传统的微控制器集成到DSP核中，成功地克服了传统控制器和DSP各自的缺点，性能优于两者的简单相加。由DSP56800和DSP56800E处理器核构成的DSP芯片可同时针对控制、数字信号处理和矩阵运算进行设计，提高了传统MCU控制能力并扩展了地址空间，深受IT业界的青睐。新一代的56800E核是多种型号处理器核成功结合的典范，开创了DSP与8bit、16bit和32bit MCU相结合的先例，既具备DSP较强的信号处理能力，又具有16bit MCU易于编程的特点。

DSP56800核是Freescale公司 (原Motorola公司) 先期推出的一款DSP核，它高效的指令集、多种内部总线、片上编程和数据存储、外部总线接口、标准外设、标准在线调试接口，使由它构成的DSP芯片成为嵌入式实时控制任务很好的选择。图1-1为DSP56800核的结构框图。

DSP56800核是一个16位定点可编程CMOS数字信号处理器，它包括一个16位算术逻辑单元 (ALU)、具有16位寻址空间的地址发生器 (AGU)、程序译码器、片上仿真 (OnCE) 能力、联合总线和指令集，主要特点如下：

- 1个指令周期执行1次16bit × 16bit并行乘法/累加运算；
- 2个包括扩展位的36bit累加器；
- 单指令16bit桶形移位器；
- 具有独特的DSP寻址方式特点的并行指令集；
- 硬件DO和REP环；
- 2个外部中断请求；
- 4条16bit内部数据总线；
- 3条16bit内部地址总线；

- 同时支持DSP和控制器的指令集；
- 控制器寻址方式和小尺寸代码；
- 高效的C语言编译器并支持局部变量；
- 软件子程序和无约束长度中断堆栈；
- 片上仿真和调试；
- 低功耗的等待和停止方式；
- 2.7~3.6V单电源供电。

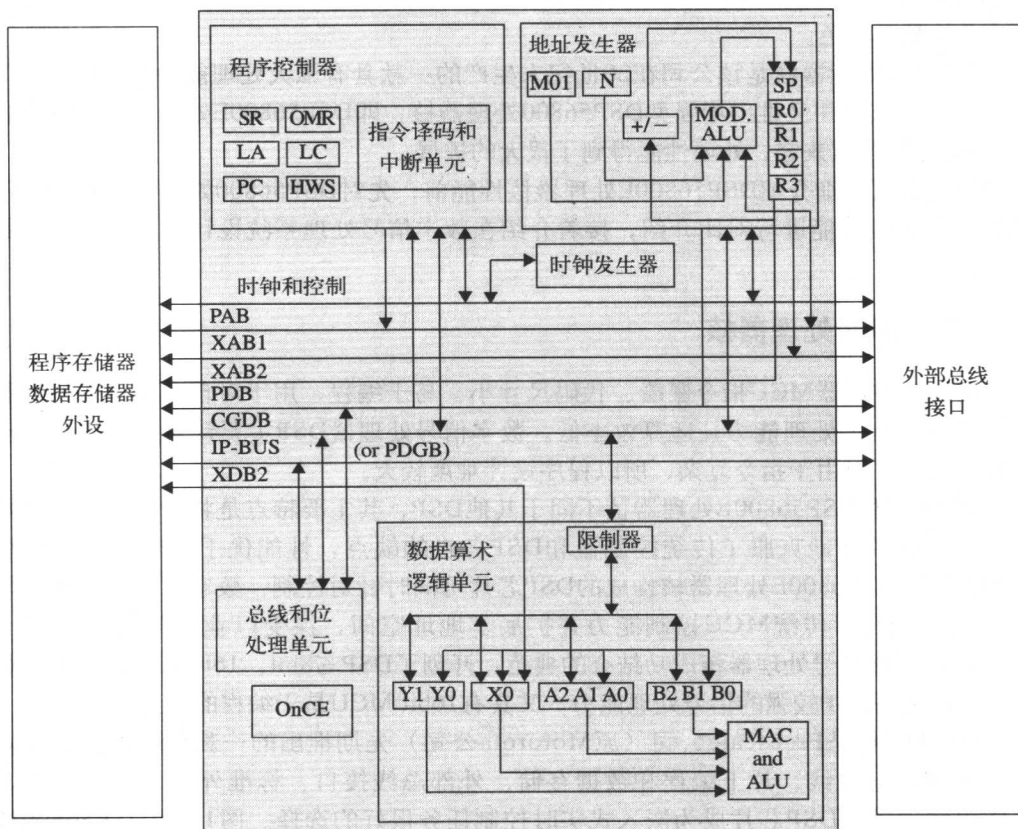


图1-1 DSP56800核的结构框图

由DSP56800处理器核构成的一个实际的16bitDSP芯片还必须包括下列外部设备：

- 程序FLASH和RAM模块；
- 程序RAM单元的自举引导FLASH；
- 数据FLASH和RAM模块；
- 锁相环PLL模块；
- 4个通用定时器；
- 计算机正常工作模块COP；
- 串行通信接口SCI；
- 同步串行接口模块SSI；
- 串行外部接口SPI；

- 四象限译码器；
- 控制器局域网模块CAN；
- 多通道脉宽调制模块PWM；
- 外部存储器接口EMI；
- 多通道模数转换器ADC；
- 可编程通用I/O（专用或共享）；
- 调试用JTAG/OnCE端口；

图1-2给出由DSP56800处理器核构成的56F807芯片结构框图。

DSP56800系列DSP性能特点为

- 处理速度：在70MHz时钟频率下具有35MIPS处理能力，适用于中等处理性能的应用场合；

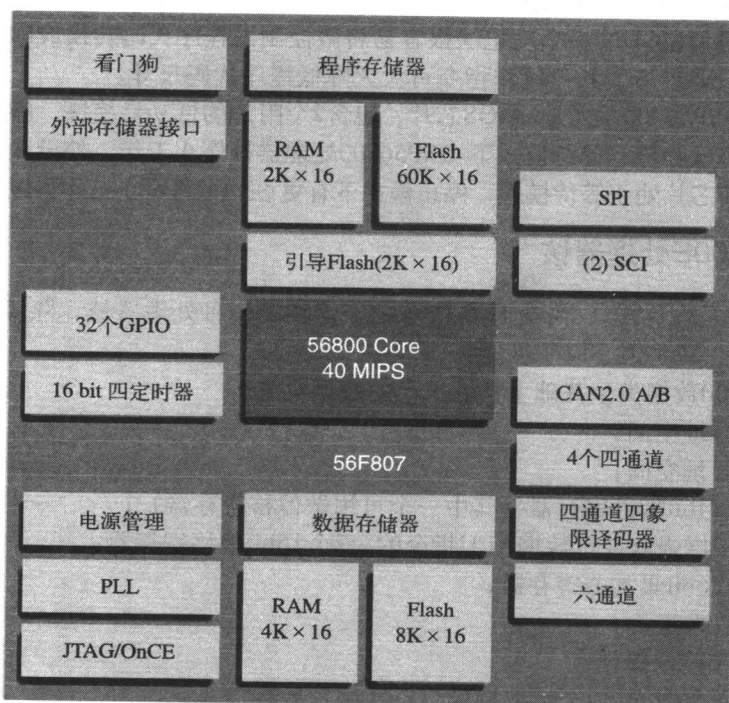


图1-2 由DSP56800E构成的56F807芯片结构框图

- 精度：数据通道为16bit宽，动态范围为96dB。在36bit累加器的中间结果可达216 dB；
- 并行性：每一个片上执行单元、存储器和外设的可独立操作，也可通过完善的总线系统并行操作。数据ALU、AGU和程序控制器的并行运行使下列操作可由单指令执行：
 - 读取下一条指令；
 - 16bit × 16bit乘法；
 - 36bit加法；
 - 2个数据传送；
 - 用一种运算形式（线性或模）更新2个地址指针；
 - 通过串口发送和接收完整成双的数据；
 - 连续对定时器并行计数。

- 灵活性：当许多其他DSP芯片需要使用与外设接口的外部通信电路（A/D转换器、D/A转换器和主处理器等）时，DSP56800系列的DSP提供片上串行和并行接口，可以支持各种存储器和外设模块的配置。外设通过外部总线接口与DSP56800核接口，芯片包含针对许多不同外设的通用接口。
- 完善的调试：Motorola的片上仿真技术OnCE提供一种简单、廉价且与速度无关的对内部寄存器访问的方法。OnCE让程序员更准确地得知寄存器的状态、存储单元和最后执行的哪一条指令。
- 锁相环时钟：锁相环PLL允许系统选用任何一种外部系统的时钟，也能产生与内核时钟同步的输出时钟。既可改善处理器外部存储器端口的同步定时，也可消除与其他处理器共有的时间抖动的缺陷。
- 流水线：指令的3级流水线操作支持汇编、C和C++语言编写。
- 指令集：类似MCU的指令助记法很容易将微控制器程序代码转换成DSP代码。新一代微控制指令、寻址方式和位操作指令可大大降低程序代码尺寸。
- 低功耗：DSP56800系列是CMOS芯片，包含2个附加的低功耗模块、停止和等待，两者均可进一步降低功耗。等待模式下 DSP56800处理器核停止工作，外设和中断控制器继续工作。中断使芯片处于等待模式，停止模式下有更多的电路停止工作，以降低功率消耗。

1.2 DSP56800E处理器核

DSP56800E是在DSP56800处理器核基础上延伸的一种处理器核，除源代码与DSP56800处理器核兼容外，还扩展了以下性能：

- 在DSP56800数据类型基础上补充了长的数据类型；
- 24bit数据寻址空间；
- 21bit程序寻址空间；
- 3个附加的24bit指针寄存器（其中一个可用做偏移寄存器）；
- 用于进一步增强双并行数据ALU指令的第2个16bit偏移寄存器；
- 2个附加的36bit累加器寄存器；
- 全精度整数乘法；
- 32bit逻辑和移位操作；
- 在双读取指令中的第2个读取操作可以访问片外存储器；
- 环路计数器（LC）寄存器扩展到16bit；
- 通过附加的环路寻址和计数寄存器完全支持嵌套DO循环；
- 环路寻址和硬件堆栈扩展到24bit；
- 3个附加的中断级别，每一个级别都带有软件中断；
- 带有3种调试方式（非侵入式实时调试、最小限度侵入式实时调试、断点和逐步方式（处理器核暂停工作）的增强型片上仿真）。

1.2.1 DSP56800E处理器核构成

DSP56800E处理器核由并行运行的多个功能模块组成以增强处理能力。程序控制器、地址发生器AGU和算术运算单元ALU有各自的寄存器组和控制逻辑，既可以独立操作，也可以并行运行。每一个功能单元都可以越过处理器核内部地址和数据总线与其他单元、存储器及与存储器匹配的外部设备进行接口。此外，DSP56800E处理器核还包含一个有效的位处理操作单元，以实现通用MCU的控制功能。DSP56800E核的结构框图如图1-3所示。

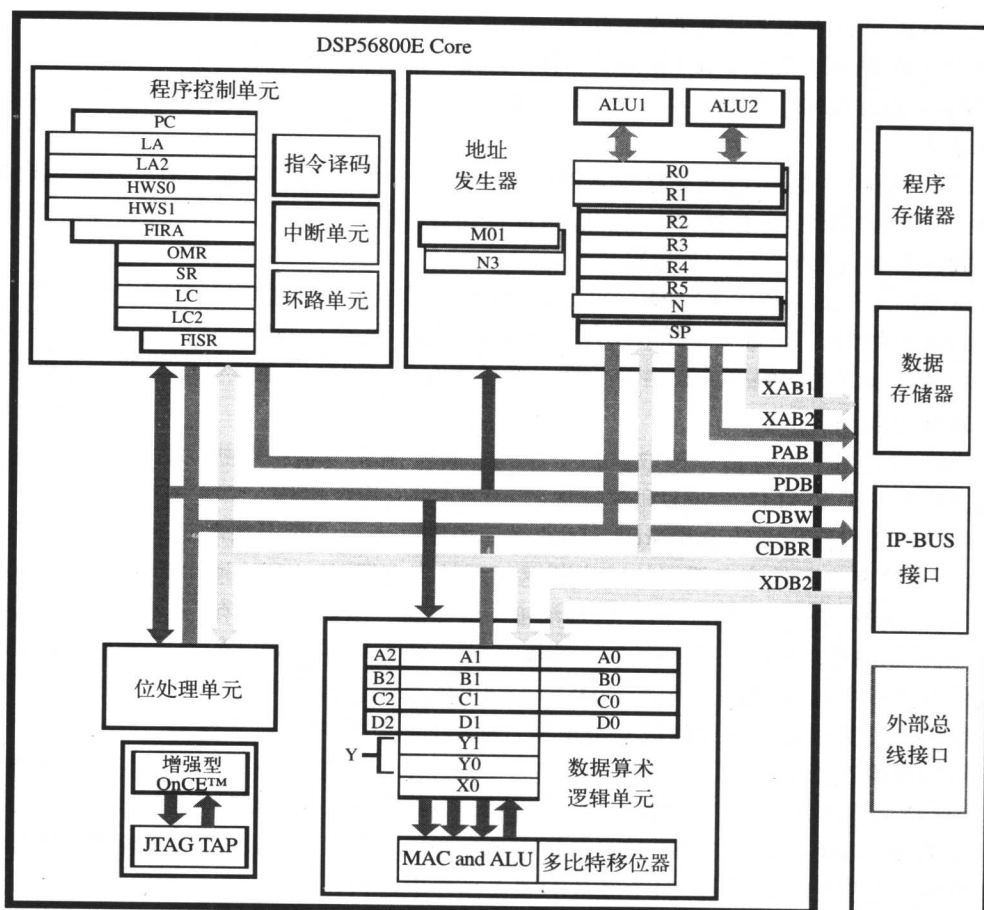


图1-3 DSP56800E核的结构框图

1. 算术逻辑单元 (ALU)

算术逻辑单元ALU用于完成数据、操作数所有的算术运算和逻辑运算，包括3个16位数据寄存器 (X_0 、 Y_0 和 Y_1)、4个36位累加器寄存器 (A、B、C和D)、1个乘-累加单元MAC、1个单比特累加移位器、1个算术和逻辑多比特移位器、1个MAC限制器和1个数据限制器。

ALU可以在单指令周期内执行乘法、乘-累加 (带正数和负数的累加)、加、减、移位和逻辑操作。循环指令可执行除法和归一化操作，也支持带符号和不带符号的多精度运算。所有运算均适用于2次补码小数或整数算法。

ALU源操作数可以是16位、32位或36位，可以来自输入寄存器、存储器单元、立即数或累加器。算术运算和移位都可以产生16位或36位结果，也支持一些8bit运算结果。逻辑运算按16位或32位操作数进行，产生结果的位数也相同。ALU结果或存储在ALU寄存器中，或直接存储于存储器中。

2. 地址发生器单元AGU

地址发生器单元用来完成所有有效地址的计算和存储器中地址操作数所需地址的存储。它包含两个ALU，在每个指令周期内产生两个24位地址：一个是原来的数据地址总线 (XAB1) 或程序地址总线 (PAB)，另一个是数据地址总线 (XAB2)。它可以完成线性运算和模运算两

种运算。AGU可独立于芯片其他单元运行。

AGU在数据地址总线XAB₁和XAB₂上可直接寻址16M字，在程序地址总线PAB上可直接寻址2M字。总线XAB₁可以按字节、字和长数据类型寻址；PAB和XAB₂总线只能按字节在存储器中寻址。

AGU还包含7个24bit地址寄存器（R0~R5和N）、4个映像寄存器（R0、R1、N和M01）、1个24bit专用堆栈指针寄存器SP、2个偏移量寄存器（N和N3）、1个16bit变址寄存器M01、1个24bit模运算单元和1个24bit加运算单元。

上述地址寄存器（R0~R5和N）可以存储地址或数据。所有的寄存器可以给XAB₁和PAB地址总线提供地址，R3寄存器给XAB₂提供地址。偏移量寄存器N可以用做通用地址寄存器，也可以用做寻址方式的偏移量或当前数据。变址寄存器M01可以在线性运算和模运算中选择。

3. 程序控制器

程序控制器用于执行指令读取、指令译码、硬件循环控制和中断（非常规）处理。处理器核的其他单元，如ALU、AGU和位操作单元可以完成指令操作。

程序控制器包括指令读取和译码、硬件循环控制单元、中断控制逻辑单元、程序计数器单元、2个针对快速中断的寄存器（快速中断返回地址寄存器FIRA和快速中断状态寄存器FISR）、7个用户可访问的状态和控制寄存器（2级深度硬件中断、循环地址寄存器LA、循环地址寄存器2LA2、循环控制寄存器LC、循环控制寄存器2LC2、状态寄存器SR、操作方式寄存器OMR）。

操作方式寄存器OMR是一个控制DSP56800E核操作方式的可编程寄存器，包括存储器配置。最初的操作方式是在外部读取复位信号，而后可以由程序控制器变更。

循环控制寄存器LC和循环地址寄存器LA与硬件中断一起工作，支持硬件循环。硬件堆栈是2组24比特后进先出（LIFO）缓冲器，存储第1条硬件DO循环指令地址。当执行DO指令开始一个新的硬件循环时，该循环的第1条指令地址推入堆栈。循环结束或遭遇ENDDO指令时，硬件堆栈中地址弹出。此过程在1个嵌套的硬件循环中进行。

4. 位处理单元

位处理单元针对数据存储器、外设寄存器和所有DSP56800E核中的寄存器执行位操作。它可以进行测试、设置、清除，或将16位代码中某位或多位反相。位处理单元也可以对指令分段测试。

5. 片上仿真单元OnCE

片上仿真单元OnCE允许使用者在调试环境下与DSP56800核和外设进行非侵入交互。其功能包括检查寄存器、片上寄存器或存储器、在程序或数据存储器中设置断点、按步跟踪指令的执行。针对复杂的调试和商业项目的研发工作，片上仿真单元OnCE采用与运行在主计算机上的用户接口程序进行交互的方法对DSP56800E内部进行简便、廉价和快速独立的访问。

6. 地址总线

DSP56800E有3个地址总线：程序存储器地址总线（PAB）、数据存储器地址总线XAB₁和XAB₂。程序地址总线是21bit宽，对程序存储器按字节寻址；2组24bit数据总线可同时对数据存储器X进行访问。XAB₁总线可以按字节、字和长数据类型寻址，而XAB₂只能按字节访问。所有3组总线既可以对片内寻址，也可对包括外部总线接口单元的外设寻址。

7. 数据总线

DSP56800E有2条单向32bit数据总线（用做读的数据总线CDBR和用做写的数据总线CDBW）、2条单向16bit数据总线（次要的X数据总线XDB₂和程序数据总线PDB）和IP-BUS总线接口。

数据ALU与数据存储器之间的数据传输用CDBR总线和CDBW总线，分别进行存储器读

或写。如果要同时对2个存储器进行读操作，需要用CDBR和XDB2总线。DSP56800E处理器核的其他单元中的数据传输都可用CDBR和CDBW总线。外部数据通过IP-BUS总线接口进行传输。在PDB总线上读取指令。

这种总线结构支持3个16bit数据同时传输。单时钟周期可执行1条指令读取、1次从数据存储存储器读、1次从数据存储存储器写、2次从数据存储存储器读、1次从数据存储存储器读和读取1条指令、1次从数据存储存储器写和读取1条指令、2次从数据存储存储器读和读取1条指令。

DSP56800E的特点归纳如下：

- 按字节和长数据类型的操作补充了DSP56800核仅有的按字节操作；
- 24位数据存储地址空间；
- 21位程序存储地址空间；
- 3个附加的24bit指针寄存器（其中一个可用做偏移寄存器）；
- 第二级的16bit偏移寄存器，增强了并行数据ALU的指令功能；
- 2个附加的36bit累加器寄存器；
- 完全精度整数乘法；
- 32bit逻辑运算和移位操作；
- 双读指令的第2次读操作可以访问片外存储器；
- 循环计数寄存器扩展到16位；
- 通过附加的循环地址和计数寄存器完全支持嵌套DO循环；
- 循环地址和硬件堆栈扩展到24位；
- 增加3个中断级别，每一个级别都具备软件中断能力；
- 增强型片上仿真器具有3种调试方式，即无干涉下的实时调试、最小限度干涉下的实时调试、断点和停止模式（处理器核停止工作）。

1.2.2 DSP56800E系列芯片构成和外部接口

一个完整的DSP56800E系列芯片包括DSP56800E核、片上程序存储器、片上数据存储存储器、片上外设、Motorola公司IP-BUS外部接口和外部总线接口等，如图1-4所示。

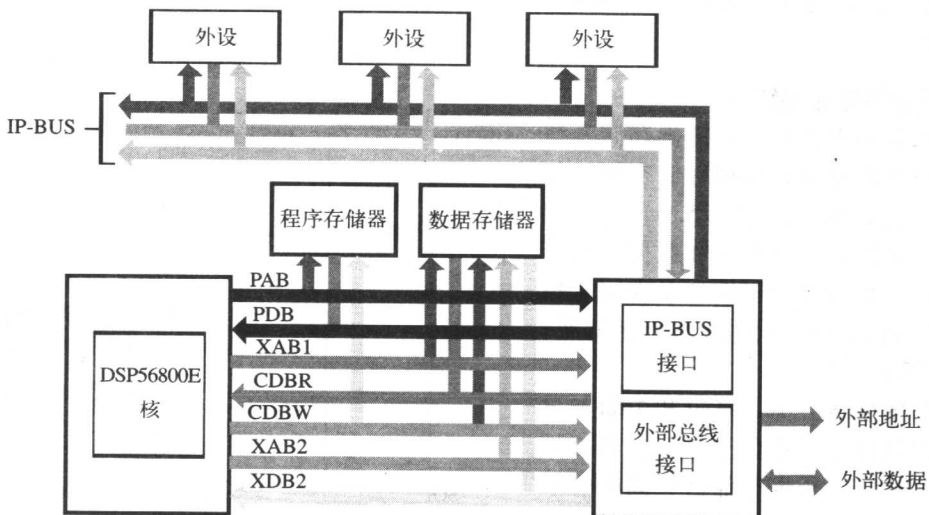


图1-4 DSP56800E系列芯片组成

1. 程序存储器

DSP56800E芯片片内可以提供程序存储器 (RAM或ROM), PAB总线用以选择程序存储器地址、读取指令。用CDBW总线将16bit数据写入程序存储器。

中断和复位矢量表可以是任意尺寸, 位于程序存储器中任意位置。矢量表尺寸由外设和特殊应用的需求确定。

程序存储器可以在片外扩展, 可寻址单元最大为2MB。

2. 数据存储器

DSP56800E芯片片内可以提供数据存储器 (RAM或ROM), XAB1和XAB2总线用以选择数据存储器地址。CDBR和CDBW总线上传输的数据可以是字节、字或长数据类型。XDB₂总线上同时可以完成第2个16bit读操作。

外部寄存器配置到数据存储空间。指令集对带有特殊外部寻址方式的外部寄存器进行优化, 使对64个外部寻址空间的访问更有效。外部寄存器寻址范围从\$00FFC0~\$00FFFF, 单个的DSP56800E芯片可以将其放到数据存储器空间的任何位置。系统将外部寄存器寻址空间最上面的12个单元留给核、中断优先和总线配置寄存器。

数据存储器最上面的64个单元也有特殊的寻址方式。如可以用单字节单周期指令外设寻址方式访问这些单元。

数据存储器可以在片外扩展, 可寻址单元最大为16MB。

3. 引导存储器

器件提供程序引导ROM, 程序执行时被RAM替代。复位时引导ROM用于给RAM加载应用程序。DSP56800E提供引导模式, 从ROM读取指令, 当做只读存储器配置RAM。然后对操作方式寄存器编程, 从RAM中读取指令。

4. 外部总线接口

外部总线接口将数据和地址总线延伸至片外, 处理器可以访问外部的数据和程序存储器、I/O器件和其他外设。外部总线接口定时器是可编程的, 以满足各种各样外部器件需求。这些外部器件可以是缓慢的存储器件、按主从配置的DSP和MPU或其他外部设备。

所有三套总线 (PAB和PDB; XAB1、CDBW和CDBR; XAB2和XDB₂) 都可以延伸访问外部器件。

1.2.3 双哈佛存储器结构

DSP56800E核有一对哈佛存储器结构, 有独立的程序和数据存储空间。每一个地址空间支持 2^{16} (65536) 个存储器字节。允许同时对程序和数据存储器进行访问, 数据存储器接口允许同时执行2次读操作, 可同时访问3个存储器, 如图1-5所示。

在程序存储器中, 复位和中断矢量单元可以任意大小位于任意位置。外设寄存器配置在数据存储器空间中的64个单元。放置存储器配置IP-BUS外部寄存器的数据存储器64个字节块, 可以位

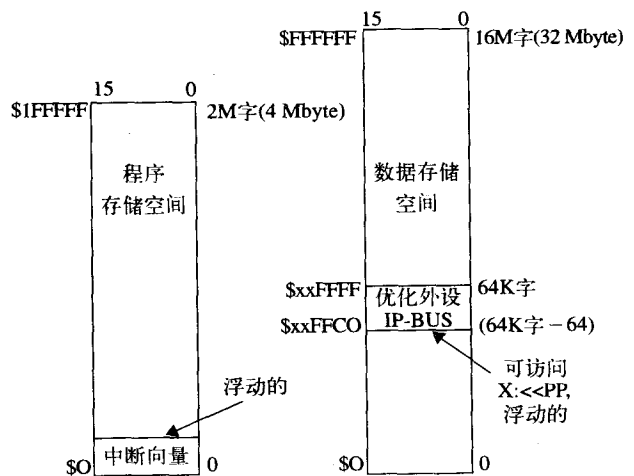


图1-5 DSP56800E核的双哈佛存储器结构