



国际电气工程先进技术译丛

WILEY

# ESD设计与综合

ESD Design and Synthesis

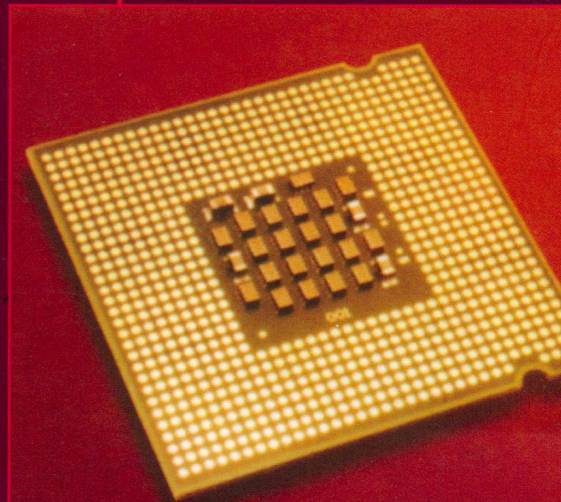
(美) Steven H.Voldman 著

刘志伟 刘继芝 雷鑑铭  
等译

邹雪城 刘俊杰



机械工业出版社  
CHINA MACHINE PRESS



## 关于作者

Steven H. Voldman博士由于在CMOS、SOI和SiGe工艺下的静电放电(ESD)保护方面所作出的贡献,而成为了ESD领域的第一位IEEE Fellow。

他于1979年在布法罗大学获得了工程学学士学位;并于1981年在麻省理工学院(MIT)获得了电子工程方向的硕士学位;以后又在MIT获得第二个电子工程学位(工程硕士学位);1986年他在IBM的驻地研究员计划下从佛蒙特大学获得了工程物理学硕士学位,并于1991年从该校获得了电子工程的博士学位。

他作为IBM开发团队的一员已有25年的历史,主要致力于半导体器件物理、器件设计和可靠性[如软失效率(SER)、热电子、漏电机理、门锁和ESD]的研究工作。Voldman博士参与到门锁技术的研发已有27年之久。他的工作主要针对用于双极型SRAM、CMOS DRAM、CMOS逻辑、SOI、BiCMOS、SiGe、RF CMOS、RF SOI、智能电源和图像处理技术中的工艺和电路设计的研究。在2008年,他成为了奇梦达DRAM开发团队的一员,从事70nm、58nm和48nm CMOS工艺的研究。同年,他创立了一家有限责任公司,并加入台积电(TSMC) 45nm ESD和门锁研发团队,在其总部中国台湾新竹工作。此后(2009~2011年)他作为高级首席工程师在美国Intersil公司从事ESD和门锁相关的研发工作。



国际电气工程先进技术译丛

# ESD 设计与综合

(美) Steven H. Voldman 著  
刘志伟 刘继芝 雷鑑铭 等译  
邹雪城 刘俊杰



机械工业出版社

本书是 Steven H. Voldman 博士所著的《ESD Design and Synthesis》的中文翻译版。

本书的目的在于教会读者半导体芯片上 ESD 设计的“艺术”。全书的线索将按照如下顺序：版图布局、结构、电源轨及电源轨的 ESD 网络、ESD 信号引脚解决方案、保护环还有一大批实现的实例。这条线索同其他已公开的大部分相关资料不同，但却更贴近实际团队在实现 ESD 设计过程中所采用的方法。除此之外，本书还将为读者介绍当下处于热议的许多结构和概念。同时还将展示如 DRAM、SRAM、图像处理芯片、微处理器、混合电压到混合信号应用，以及版图布局等实例。最后，本书还将介绍其他资料中尚未讨论过的话题，包括电源总线结构、保护环、版图布局。

本书主要面向需要学习和参考 ESD 相关设计的工程师，或需要学习 ESD 相关知识的微电子学和集成电路设计专业高年级学生和研究生。

All Rights Reserved. This translation published under license. Authorized translation from the English language edition, entitled <ESD Design and Synthesis >, ISBN <978-0-470-68571-6 >, by <Steven H. Voldman >, Published by John Wiley & Sons, Ltd. No part of this book may be reproduced in any form without the written permission of the original copyrights holder.

本书中文简体字版由机械工业出版社出版，未经出版者书面允许，本书的任何部分不得以任何方式复制或抄袭。版权所有，翻印必究。

本书版权登记号：图字 01-2011-7730 号。

## 图书在版编目 (CIP) 数据

ESD 设计与综合 / (美) 沃尔德曼 (Voldman, S. H.) 著; 刘志伟等译.  
—北京: 机械工业出版社, 2013. 6

(国际电气工程先进技术译丛)

书名原文: ESD Design and Synthesis

ISBN 978-7-111-42776-6

I. ①E… II. ①沃… ②刘… III. ①芯片—静电防护—设计  
IV. ①TN430. 2

中国版本图书馆 CIP 数据核字 (2013) 第 119608 号

机械工业出版社 (北京市百万庄大街 22 号 邮政编码 100037)

策划编辑: 刘星宁 责任编辑: 刘星宁

版式设计: 霍永明 责任校对: 申春香 肖琳

封面设计: 马精明 责任印制: 张楠

北京玥实印刷有限公司印刷

2013 年 8 月第 1 版第 1 次印刷

169mm × 239mm · 15.5 印张 · 307 千字

0001—3000 册

标准书号: ISBN 978-7-111-42776-6

定价: 68.00 元

凡购本书, 如有缺页、倒页、脱页, 由本社发行部调换

电话服务

网络服务

社服务中心: (010) 88361066

教材网: <http://www.cmpedu.com>

销售一部: (010) 68326294

机工官网: <http://www.cmpbook.com>

销售二部: (010) 88379649

机工官博: <http://weibo.com/cmp1952>

读者购书热线: (010) 88379203

封面无防伪标均为盗版

## 作者简介

Steven H. Voldman 博士由于在 CMOS、SOI 和 SiGe 工艺下的静电放电 (ESD) 保护方面所作出的贡献, 而成为了 ESD 领域的第一位 IEEE Fellow。

他于 1979 年在布法罗大学获得了工程学学士学位; 并于 1981 年在麻省理工学院 (MIT) 获得了电子工程方向的硕士学位; 以后又在 MIT 获得第二个电子工程学位 (工程硕士学位); 1986 年他在 IBM 的驻地研究员计划下从佛蒙特大学获得了工程物理学硕士学位, 并于 1991 年从该校获得了电子工程的博士学位。

他作为 IBM 开发团队的一员已有 25 年的历史, 主要致力于半导体器件物理、器件设计和可靠性 [如软失效率 (SER)、热电子、漏电机制、闩锁和 ESD] 的研究工作。Voldman 博士参与到闩锁技术的研发已有 27 年之久。他的工作主要针对用于双极型 SRAM、CMOS DRAM、CMOS 逻辑、SOI、BiCMOS、SiGe、RF CMOS、RF SOI、智能电源和图像处理技术中的工艺和电路设计的研究。在 2008 年, 他成为了奇梦达 DRAM 开发团队的一员, 从事 70nm、58nm 和 48nm CMOS 工艺的研究。同年, 他成立了一个有限责任公司, 并作为台积电 45nm ESD 和闩锁开发团队的一部分在其总部中国台湾新竹工作。目前他作为 ESD 和闩锁研发的高级首席工程师效力于 Intersil 公司。

Voldman 博士从 1995 年到 2000 年任美国半导体制造技术战略联盟 ESD 工作组主席。他的小组主要致力于 ESD 技术的基准量化、配合第一个传输线脉冲 (TLP) 标准的开发、策略计划, 以及 JEDEC - ESD 协会标准和人体模型 (HBM) 标准的协调工作。从 2000 年到 2010 年, 作为 ESD 协会 TLP 和 VF-TLP 工作组的主席, 他的小组主要负责首个 TLP 和 VF-TLP 的规范和标准的建立。Voldman 博士还是 ESD 协会董事会和教育委员会的一员。他开启了“ESD 在校园”计划, 为国际各大学的教职员工和学生带去了关于 ESD 的讲座和互动; 已经在美国、新加坡、马来西亚、菲律宾、泰国、印度和中国总计超过 32 所大学举办关于 ESD 在校园项目。

Voldman 博士在美国、中国、新加坡、马来西亚和以色列等地进行 ESD、闩锁和相关发明的短期授课和培训。他在 ESD 和 CMOS 闩锁领域获得了 210 余项美国专利。他还作为专家证人效力于 ESD 和闩锁方面的专利诉讼案件。

Voldman 博士还在《科学美国人》杂志上撰写了多篇文章, 并且是第一位编写 ESD 和闩锁方面系列书籍的作者, 书籍包括《ESD 物理和器件》、《ESD 电路和器件》、《ESD 射频技术与电路》、《闩锁》、《ESD 实效机制与模型》。他还是《硅锗: 工艺、建模和设计》的投稿人之一。他的中文版书籍包括《ESD 电路和器件》和《ESD 射频技术与电路》。他还是《纳米电子: 纳米线、分子电子和纳米器件》其中一个章节的撰稿人。

## 译者序

随着半导体行业的持续发展与工艺的不断革新，静电放电（ESD）对于集成电路与半导体器件的损伤已经引起工程技术人员的强烈关注。在研究需要以及 ESD 保护领域发展的趋势下，也为了推动中国在静电保护领域的发展，使国内更多的设计人员与高等院校学子了解静电保护领域，在机械工业出版社的大力支持下，由电子科技大学在静电保护方向长期从事一线研究的教师们组织、领导并鼓励一群对 ESD 保护领域充满兴趣的学生完成了本书的翻译工作，将一本静电保护领域的设计参考书籍奉献给读者。

本书既可作为高等院校微电子相关专业本科生及相关方向研究生教材，也可作为相关领域工程技术人员的参考资料。

参加本书翻译工作的人员有电子科技大学微固学院静电保护研究中心的刘俊杰教授、刘志伟副教授、刘继芝老师，何林峰、缪家斌、梁巍、张国彦、纪长志、刘毅、董艾华同学，以及华中科技大学邹雪城教授和雷鑑铭副教授。

鉴于译者水平有限，书中难免存在不足和疏漏之处，敬请广大读者批评指正和谅解，在此表示衷心的感谢！

译者

2013 年 6 月于成都

# 前 言

《ESD 设计与综合》一书主要面向芯片的“架构师”、负责版图布局的首席工程师、电路设计人员、版图设计人员、ESD 工程师以及计算机辅助设计 (CAD) 的集成团队。在本书中，将会在设计综合、设计集成、版图工程和设计检查校验之间寻求平衡。

本书的第一个目的是介绍芯片 ESD 设计的“艺术”。

第二个目的是展示一套用来提供半导体芯片 ESD 保护的逐步方法。本书的流程主要包含了平面布局、结构、电源轨、电源轨的 ESD 网络、ESD 信号引脚解决方案、保护环以及一些应用的实例。这套流程和其他大部分书籍所介绍的方法将会有很大的不同，但却更符合现实中设计团队处理 ESD 问题所采用的流程。

第三个目的是向读者介绍现今不断出现的结构和思想。文中将展示 DRAM、SRAM、图像处理芯片、微处理器、混合电压到混合信号应用及布局等实例。

第四个目的是介绍其他 ESD 书籍中没有讨论过的话题。这些话题包含了电源总线结构、保护环和版图布局。对于许多 ESD 工程师和电路设计者来说，这些都是基本常识；但对其他人来说却并非如此。因此本书的很大一部分将放在版图排布、布局和集成上。

本书将涵盖以下内容：

1) 第 1 章将为读者概述关于 ESD 设计的一些关键词及基础知识。在这一章中，我们将从版图、电路，到设计规则验证等各方面来介绍 ESD 的思想。为了帮助读者从一个更广阔的视角来审视 ESD 设计综合，本章将会为读者提供一个思想的“采样器”。ESD 设计综合将从最小的接触孔，延伸到全芯片的集成。有了这样的认识，读者将可以了解到半导体设计中 ESD 设计准则所涵盖的范围。

作为后续章节的基础，本章内容将主要按照“自顶向下”的 ESD 设计方式排列。首先从版图布局开始，依次介绍总线结构、ESD 电源钳位、ESD 输入电路以及保护环。最后，本章将以更多的版图布局以及设计集成的实例结束。在之前的大部分介绍 ESD 的文章中，大多重点介绍“自底向上”的 ESD 设计方式；而在现实的半导体设计中，大多遵从的是“自顶向下”的设计方式。

2) 第 2 章主要讨论芯片的结构。在这一章中，讨论重点主要集中在 ESD 结构以及布局的思想。这里主要介绍了“外围 I/O”和“I/O 阵列”的结构，并且介绍了它们在全芯片的设计集成中是如何影响不同结构单元的位置的。本章主要探讨本地电压、混合电压以及混合信号的芯片集成。

3) 第3章主要讨论了电源网络的设计。这一章中将继续讨论关于全芯片的ESD设计综合。本章主要集中在互连线、电源网络的版图以及设计本身。本章主要介绍了互连线的鲁棒性、互连线失效以及全芯片ESD设计综合的主要方法。同时本章还讨论了ESD电源钳位的集成问题。该问题将会延续到下一章。

4) 第4章主要介绍了电源域和电源焊盘上的ESD电源钳位。在本章将会讨论ESD电源钳位电路。同时还将讨论到ESD电源钳位电路，ESD电源钳位的分类、关键参数，以及一些特殊的设计。经过本章的介绍后，读者将可以更加清晰地认识到ESD电源钳位同半导体芯片的集成方式。

5) 第5章主要集中介绍ESD信号焊盘网络。在本部分将讨论ESD信号引脚的器件版图及其与键合点的集成。同时将涵盖ESD信号引脚的分类、关键参数以及特殊的设计。本章将重点介绍ESD设计与焊盘的集成，包括从与焊盘相邻的结构，到部分或全部在焊盘下的结构。内容将涉及所有类型排布方式和方向的权衡。本章重点是器件版图和集成。

6) 第6章主要介绍保护环和保护环的集成。在这一章中，将会从密封环开始，到有效区域、标准单元至标准单元、内部单元，再到下层的独立器件，向读者介绍一种用于半导体芯片保护环“自顶向下”的设计综合方式。另外还将介绍一种“自底向上”的设计方式，从独立器件开始，到其在全芯片上的应用。这里还会展示一些特殊的结构和实例，来说明如何进一步完成区域和器件的隔离。最后将会提供一个小实验，来展示利用两种器件的全芯片实现来进行保护环设计综合的可能性。

7) 第7章提供了许多不同芯片版图布局和结构的例子。在这一章中，重点集中在全芯片实现中设计综合的例子，将会提供DRAM、SRAM、微处理器、混合电压、混合信号和RF运用领域的实例。作为ESD设计综合的一部分，版图对于ESD和CMOS闩锁的设计来说都是成功的关键因素。通过这些实例将会使读者了解一些ESD全芯片集成中的一些难题。结合本章及前6章的知识，读者将能够更好地理解在任意半导体芯片结构中进行全芯片ESD设计的策略。

本书是ESD系列书籍的一部分。为了使读者建立起ESD保护方面更好的知识体系，推荐大家阅读其他ESD和闩锁的相关书籍。我们希望本书能够涵盖目前ESD设计综合的趋势和方向。

希望读者能享受本书以及ESD设计综合相关的主题。

Baruch HaShem (B" H)  
Steven H. Voldman 博士  
IEEE Fellow

## 致 谢

在 ESD 和门锁设计领域，我要感谢多年来 SEMATECH、ESD 协会、IEEE 和 JEDEC 组织给予我的支持。我还要感谢 IBM 公司、奇梦达、台积电 (TSMC) 和 Intersil 公司。本书的内容来源于我 30 多年来在双极型存储器、DRAM、SRAM、NVRAM、微处理器、ASIC、混合电压、混合信号、RF 和电源运用等方面的工作。我很有幸能与多个技术团队和许多客户共同工作。同时又让我倍感幸运的是能够在双极型存储器、CMOS DRAM、CMOS 逻辑、ASIC、SOI 和 SiGe 方面，从 1 $\mu$ m 到 45nm 工艺上开展相关工作。我也很有幸能够成为极富创新、智慧和创造力的技术设计团队中的一员。这为我在对应用和产品提供 ESD 设计的过程中探索新的实验思路、尝试新想法提供了机会。

我要感谢那些允许我在会议、工业界和大学里授课、开讲座的机构；这为我撰写本书提供了动力。我要感谢以下大学的教职员工们：麻省理工学院 (MIT)、斯坦福大学、中佛罗里达大学 (UCF)、伊利诺伊大学香槟分校 (UIUC)、加州大学河滨分校 (UCR)、布法罗大学、台湾交通大学 (NCTU)、清华大学、台湾科技大学 (NTUST)、新加坡国立大学 (NUS)、南洋理工大学 (NTU)、北京大学、复旦大学、上海交通大学、浙江大学、马来西亚理科大学、朱拉隆功大学、马汉科理工大学、泰国农业大学、泰国国立法政大学、玛普尔技术学院。

我还要感谢在多年来提供给我支持和机会，让我开办讲座、发言和培训的 EOS/ESD 会议、IRPS、T-ESDC、IEDM、ICSICT 和新加坡 IPFA。

我还要感谢 20 年来我在 ESD 领域的好友：Ming Dou Ker 教授，J. J. Liou 教授，Albert Wang 教授，Elyse Rosenbaum 教授，Timothy J. Maloney，Charvaka Duvvury，Eugene Worley，Robert Ashton，Yehuda Smootha，Vladislav Vashchenko，Ann Concannon，Albert Wallash，Vessilin Vassilev，Warren Anderson，Marie Denison，Alan Richter，Andrew Olney，Bruce Atwood，Jon Barth，Evan Grund，David Bennett，Tom Meuse，Michael Hopkins，Yoon Huh，Keichi Hasegawa，Nathan Peachey，Kathy Muhonen，Augusto Tazzoli，Gaudenzio Meneghesso，Marise BaFleur，Jeremy Smith，Nisha Ram，Swee K. Lau，Tom Diep，Lifang Lou，Stephen Beebe，Michael Chaine，Pee Ya Tan，Theo Smedes，Markus Mergens，Christian Russ，Harold Gossner，Wolfgang Stadler，Ming Hsiang Song，J. C. Tseng，J. H. Lee，Michael Wu，Erin Liao，Jim Vinson，Jean-Michel Tschann，David Swenson，Donn Bellmore，Ed Chase，Doug Smith，W. Greason，Stephen Halperin，Tom Albano，Ted Dangelmayer，Terry Welsher，

## VIII ESD 设计与综合

John Kinnear, Ron Gibson。我还要感谢那些学习 ESD 保护的研究生们: Tze Wee Chen, Shu Qing Cao, Slavica Malobabic, David Ellis, Blerina Aliaj, Lin Lin。

我还要感谢 ESD 协会为我在出版界、标准建立和会议活动中提供的支持。我还要感谢出版商和 John Wiley & Sons 的工作人员, 帮助我将本书列为 ESD 系列书籍的一部分。

致我的孩子们, Aaron Samuel Voldman 和 Rachel Pesha Voldman, 祝你们未来好运。

致我的妻子, Annie Brown Voldman, 谢谢你多年来对我工作的支持。

致我的父母, Carl 和 Blossom Voldman。

Baruch HaShem (B" H)  
Steven H. Voldman 博士  
IEEE Fellow

# 目 录

作者简介

译者序

前言

致谢

第 1 章 ESD 设计综合 .....	1
1.1 ESD 设计综合与系统结构流程 .....	1
1.1.1 自顶向下的 ESD 设计 .....	1
1.1.2 自底向上的 ESD 设计 .....	1
1.1.3 自顶向下的 ESD 设计——存储器芯片 .....	3
1.1.4 自顶向下的 ESD 设计——ASIC 设计系统 .....	3
1.2 ESD 设计——信号通路和备用电流通路 .....	4
1.3 ESD 电路和原理图结构思想 .....	5
1.3.1 理想的 ESD 网络和直流电流 - 电压设计窗口 .....	6
1.3.2 ESD 设计窗口 .....	6
1.3.3 频域设计窗口下的理想 ESD 网络 .....	8
1.4 半导体芯片和 ESD 设计方案的映射 .....	10
1.4.1 半导体制造商之间的映射 .....	10
1.4.2 ESD 设计在不同工艺之间的映射 .....	11
1.4.3 从双极工艺向 CMOS 工艺的映射 .....	12
1.4.4 从数字 CMOS 工艺向数模混合 CMOS 工艺的映射 .....	13
1.4.5 从体硅 CMOS 工艺向绝缘衬底上的硅 (SOI) 工艺的映射 .....	13
1.4.6 ESD 设计——由 CMOS 向 RF CMOS 工艺的映射 .....	14
1.5 ESD 芯片结构和 ESD 测试标准 .....	15
1.6 ESD 测试 .....	15
1.6.1 ESD 质量鉴定测试 .....	16
1.6.2 ESD 测试模型 .....	16
1.6.3 ESD 特性测试 .....	17
1.6.4 TLP 测试 .....	17
1.7 ESD 芯片结构和 ESD 备用电流通路 .....	18
1.7.1 ESD 电路、I/O 和核心 .....	18
1.7.2 ESD 信号引脚电路 .....	19
1.7.3 ESD 电源钳位网络 .....	20

1.7.4	ESD 轨间电路 .....	21
1.7.5	ESD 设计和噪声 .....	22
1.7.6	内部信号通路的 ESD 网络 .....	23
1.7.7	跨区域 ESD 网络 .....	23
1.8	ESD 网络、顺序和芯片结构 .....	24
1.9	ESD 设计综合——无闩锁的 ESD 网络 .....	25
1.10	ESD 设计思想——器件之间的缓冲 .....	27
1.11	ESD 设计思想——器件之间的镇流 .....	28
1.12	ESD 设计思想——器件内部的镇流 .....	29
1.13	ESD 设计思想——分布式负载技术 .....	29
1.14	ESD 设计思想——虚设电路 .....	30
1.15	ESD 设计思想——电源去耦 .....	31
1.16	ESD 设计思想——反馈环去耦 .....	31
1.17	ESD 版图和布局相关的思想 .....	32
1.17.1	设计对称 .....	32
1.17.2	设计分段 .....	33
1.17.3	ESD 设计思想——利用空白空间 .....	34
1.17.4	ESD 设计综合——跨芯片线宽偏差 (ACLV) .....	34
1.17.5	ESD 设计思想——虚设图形 .....	36
1.17.6	ESD 设计思想——虚设掩膜 .....	36
1.17.7	ESD 设计思想——邻接 .....	37
1.18	ESD 设计思想——模拟电路技术 .....	38
1.19	ESD 设计思想——线邦定 .....	38
1.20	设计规则 .....	38
1.20.1	ESD 设计规则检查 (DRC) .....	39
1.20.2	ESD 版图和原理图 (LVS) .....	39
1.20.3	电学电阻检查 (ERC) .....	39
1.21	总结和结束语 .....	40
	习题 .....	40
	参考文献 .....	41
<b>第 2 章</b>	<b>ESD 架构和平面布局 .....</b>	<b>46</b>
2.1	ESD 平面布局设计 .....	46
2.2	外围 I/O 设计 .....	46
2.2.1	焊盘限制的外围 I/O 设计结构 .....	47
2.2.2	焊盘限制的外围 I/O 设计结构——交错 I/O .....	48
2.2.3	核心电路限制的外围 I/O 设计结构 .....	49

2.3	在外围 I/O 设计结构中集成 ESD 电源钳位单元 .....	50
2.3.1	外围 I/O 设计结构中在半导体芯片拐角处集成 ESD 电源钳位单元 .....	50
2.3.2	在外围 I/O 设计结构中集成 ESD 电源钳位单元——电源焊盘 .....	51
2.4	在外围 I/O 设计结构中集成 ESD 电源钳位单元—— 主/从 ESD 电源钳位单元系统 .....	51
2.5	阵列 I/O .....	53
2.5.1	阵列 I/O——片外驱动模块 .....	54
2.5.2	阵列 I/O 四位组结构 .....	55
2.5.3	阵列 I/O 成对结构 .....	56
2.5.4	阵列 I/O——全分布式 .....	57
2.6	ESD 架构——虚设总线结构 .....	59
2.6.1	ESD 架构——虚设 $V_{DD}$ 总线 .....	59
2.6.2	ESD 架构——虚设接地 ( $V_{SS}$ ) 总线 .....	60
2.7	本地电压电源供给结构 .....	61
2.8	混合电压结构 .....	62
2.8.1	混合电压结构——单电源供给 .....	62
2.8.2	混合电压结构——双电源供给 .....	63
2.9	混合信号结构 .....	65
2.9.1	混合信号结构——二极管 .....	66
2.9.2	混合信号结构——CMOS .....	66
2.10	混合系统结构——数字和模拟 CMOS .....	67
2.10.1	数字和模拟 CMOS 结构 .....	67
2.10.2	数字和模拟平面布局——模拟电路布局 .....	68
2.11	混合信号结构——数字、模拟和 RF 结构 .....	70
2.12	总结和结束语 .....	71
	习题 .....	71
	参考文献 .....	73
<b>第 3 章</b>	<b>ESD 电源网络设计</b> .....	<b>75</b>
3.1	ESD 电源网络 .....	75
3.1.1	ESD 电源网络——ESD 设计关键参数 .....	75
3.1.2	ESD 和备用通路——ESD 电源网络电阻的作用 .....	75
3.2	半导体芯片阻抗 .....	78
3.3	互连失效和动态导通电阻 .....	79
3.3.1	互连动态导通电阻 .....	79
3.3.2	钛/铝/钛互连失效 .....	80
3.3.3	铜互连失效 .....	82
3.3.4	互连材料的熔点 .....	83

3.4	互连连线和通孔指南 .....	83
3.4.1	针对人体模型 (HBM) ESD 事件的互连连线和通孔指南 .....	84
3.4.2	针对机器模型 (MM) ESD 事件的互连连线和通孔指南 .....	84
3.4.3	针对充电设备模型 (CDM) ESD 事件的互连连线和通孔指南 .....	85
3.4.4	针对人体金属模型 (HMM) 和 IEC 61000-4-2 ESD 事件的互连连线和通孔指南 .....	85
3.4.5	连线和通孔的 ESD 指标 .....	86
3.5	ESD 电源网络电阻.....	86
3.5.1	电源网络设计——ESD 电源网络输入电阻 .....	87
3.5.2	ESD 输入到电源网络连接——沿 ESD 总线的电阻 .....	88
3.5.3	电源网络设计——ESD 电源钳位到电源网络电阻评估 .....	88
3.5.4	电源网络设计——电阻评估 .....	90
3.5.5	电源网络设计分布表示 .....	92
3.6	电源网络版图设计.....	94
3.6.1	电源网络设计——电源网络的开槽 .....	94
3.6.2	电源网络设计——电源网络的分割 .....	94
3.6.3	电源网络设计——芯片边角 .....	95
3.6.4	电源网络设计——金属层堆叠 .....	96
3.6.5	电源网络设计——连线槽和编织状电源总线设计 .....	96
3.7	ESD 规格电源网络的注意事项 .....	97
3.7.1	充电设备模型标准电源网络和互连设计注意事项 .....	97
3.7.2	人体金属模型与 IEC 标准电源网络和互连设计注意事项 .....	97
3.8	电源网络设计综合——ESD 设计规则检验方法.....	99
3.8.1	电源网络设计分析——应用 ESD 虚拟设计级的 ESD DRC 方法 .....	99
3.8.2	电源网络设计综合——应用 ESD 互连参数化单元的 ESD DRC 方法 .....	99
3.9	总结和结束语 .....	102
	习题 .....	102
	参考文献.....	104
第4章	ESD 电源钳位 .....	106
4.1	ESD 电源钳位 .....	106
4.1.1	ESD 电源钳位的分类 .....	106
4.1.2	ESD 电源钳位的设计综合——关键设计参数 .....	107
4.2	ESD 电源钳位的设计综合.....	108
4.2.1	瞬时响应频率触发元件及 ESD 频率窗口 .....	108
4.2.2	ESD 电源钳位频率设计窗口 .....	109
4.2.3	ESD 电源钳位的设计综合——电压触发的 ESD 触发元件 .....	109
4.3	ESD 电源钳位设计综合——ESD 电压钳位分流元件 .....	110

4.3.1	ESD 电源钳位触发条件与分流单元失效 .....	111
4.3.2	ESD 钳位元件——宽度缩放 .....	111
4.3.3	ESD 钳位元件——导通电阻 .....	112
4.3.4	ESD 钳位元件——安全工作区域 .....	113
4.4	ESD 电源钳位问题 .....	113
4.4.1	ESD 电源钳位问题——上电与断电 .....	113
4.4.2	ESD 电源钳位问题——误触发 .....	113
4.4.3	ESD 电源钳位问题——预充电 .....	113
4.4.4	ESD 电源钳位问题——充电延迟 .....	114
4.5	ESD 电源钳位设计 .....	114
4.5.1	本地的电源供给 RC 触发 MOSFET ESD 电源钳位 .....	114
4.5.2	非本地的电源供给 RC 触发 MOSFET ESD 电源钳位 .....	114
4.5.3	改良的反相器级反馈的 ESD 电源钳位网络 .....	115
4.5.4	ESD 电源钳位设计综合——正向偏置触发的 ESD 电源钳位 .....	117
4.5.5	ESD 电源钳位设计综合——IEC 61000-4-2 响应的 ESD 电源钳位 .....	117
4.5.6	ESD 电源钳位设计综合——对预充电与充电延迟不敏感的 ESD 电源钳位 .....	117
4.6	ESD 电源钳位设计综合——双极型 ESD 电源钳位 .....	118
4.6.1	应用齐纳击穿触发元件的双极型 ESD 电源钳位 .....	119
4.6.2	应用双极型晶体管 $BV_{CEO}$ 击穿触发元件的双极型 ESD 电源钳位 .....	119
4.6.3	应用 $BV_{CEO}$ 双极型晶体管触发及可变触发串联二极管网络的 双极型 ESD 电源钳位 .....	120
4.6.4	应用频率触发元件的双极型 ESD 电源钳位 .....	120
4.7	ESD 电源钳位主/从系统 .....	122
4.8	总结和结束语 .....	123
	习题 .....	123
	参考文献 .....	124
<b>第 5 章</b>	<b>ESD 信号引脚网络的设计与综合 .....</b>	<b>127</b>
5.1	ESD 信号引脚结构 .....	127
5.1.1	ESD 信号引脚网络的分类 .....	127
5.1.2	ESD 信号器件的 ESD 设计综合——关键设计参数 .....	129
5.2	ESD 输入结构——ESD 和引线焊盘布局 .....	129
5.2.1	ESD 和引线焊盘的布局与综合 .....	129
5.2.2	引线焊盘间的 ESD 结构 .....	130
5.2.3	分离 I/O 和引线焊盘 .....	131
5.2.4	分离与焊盘相邻的 ESD .....	132
5.2.5	ESD 结构部分位于焊盘下方 .....	133
5.2.6	ESD 结构位于焊盘下方和焊盘之间 .....	134

5.2.7	ESD 电路和 RF 焊盘集成 .....	134
5.2.8	引线焊盘下的 RF ESD 信号焊盘结构 .....	137
5.3	ESD 设计综合和 MOSFET 的布局 .....	139
5.3.1	MOSFET 关键设计参数 .....	139
5.3.2	带有硅化物阻挡掩膜版的单个 MOSFET .....	142
5.3.3	串联共源共栅 MOSFET .....	142
5.3.4	三阱 MOSFET .....	143
5.4	ESD 二极管的设计综合和版图 .....	144
5.4.1	ESD 二极管的关键设计参数 .....	144
5.4.2	双二极管网络的 ESD 设计综合 .....	146
5.4.3	二极管串的 ESD 设计综合 .....	147
5.4.4	背靠背二极管串的 ESD 设计综合 .....	148
5.4.5	差分对 ESD 设计综合 .....	148
5.5	SCR 的 ESD 设计综合 .....	150
5.5.1	单向 SCR 的 ESD 设计综合 .....	151
5.5.2	双向 SCR 的 ESD 设计综合 .....	154
5.5.3	SCR 的 ESD 设计综合——外围触发元器件 .....	154
5.6	电阻的 ESD 设计综合和布局 .....	154
5.6.1	多晶硅电阻设计布局 .....	154
5.6.2	扩散电阻设计布局 .....	155
5.6.3	p 扩散电阻设计布局 .....	155
5.6.4	n 扩散电阻设计 .....	157
5.6.5	埋置电阻 .....	158
5.6.6	n 阱电阻 .....	159
5.7	电感的 ESD 设计综合 .....	160
5.8	总结和结束语 .....	161
	习题 .....	161
	参考文献 .....	163
<b>第 6 章</b>	<b>保护环的设计与综合 .....</b>	<b>165</b>
6.1	保护环的设计与集成 .....	165
6.2	保护环的特性 .....	165
6.2.1	保护环的效率 .....	165
6.2.2	保护环理论——广义双极型晶体管的视角 .....	167
6.2.3	保护环理论——逃逸概率的视角 .....	167
6.2.4	保护环——注入效率 .....	168
6.3	半导体芯片划片槽保护环 .....	169
6.4	I/O 到内核保护环 .....	170

6.5	I/O 到 I/O 保护环 .....	171
6.6	I/O 内部保护环 .....	172
6.6.1	I/O 单元内部保护环 .....	172
6.6.2	ESD 到 I/O 的片外驱动保护环 .....	172
6.7	ESD 信号引脚保护环 .....	173
6.8	保护环元件库 .....	175
6.8.1	n 沟道 MOSFET 保护环 .....	175
6.8.2	p 沟道 MOSFET 保护环 .....	177
6.8.3	RF 保护环 .....	180
6.9	混合信号电路保护环——数字到模拟 .....	180
6.10	混合电压保护环——从高压到低压 .....	181
6.11	无源和有源保护环 .....	183
6.11.1	无源保护环 .....	183
6.11.2	有源保护环 .....	183
6.12	槽隔离保护环 .....	184
6.13	硅穿孔保护环 .....	186
6.14	保护环 DRC .....	187
6.14.1	内部闩锁和保护环设计规则 .....	188
6.14.2	外部闩锁保护环设计规则 .....	188
6.15	保护环和计算机辅助设计方法 .....	189
6.15.1	内置的保护环 .....	189
6.15.2	p-cell 保护环 .....	189
6.15.3	保护环 p-cell 的 SKILL 代码 .....	191
6.15.4	保护环电阻计算机辅助设计检查 .....	199
6.15.5	保护环调整的后处理方法 .....	200
6.16	总结和结束语 .....	201
	习题 .....	201
	参考文献 .....	203
<b>第 7 章</b>	<b>ESD 全芯片设计——集成与结构 .....</b>	<b>207</b>
7.1	设计综合与集成 .....	207
7.2	数字设计 .....	207
7.3	定制设计和标准单元设计 .....	207
7.4	存储器 ESD 设计 .....	208
7.4.1	DRAM 设计 .....	208
7.4.2	SRAM 设计 .....	211
7.4.3	非挥发性 RAM ESD 设计 .....	213