



国际信息工程先进技术译丛

# 纳米CMOS 电路和物理设计

## Nano-CMOS Circuit and Physical Design


(美) BAN P.WONG ANURAG MITTAL

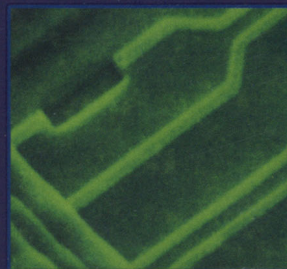
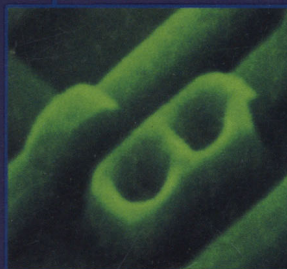
YU CAO GREG STARR

辛维平 刘伟峰 戴显英

著

等译

 机械工业出版社  
CHINA MACHINE PRESS



## 关于本书

新技术的快速发展与纳米级缩小的挑战正促使原先相互分离的电路设计、工艺技术、器件物理和物理实现组合在一起形成一门学科。深刻地理解器件、互连和组装方面包含的物理限制对设计电路系统和器件以及做出合理的技术决定都是非常重要的。

《纳米CMOS电路和物理设计》一书将纳米工艺、器件可制造性、先进电路设计和相关物理实现整合到一起，形成了一套先进的半导体技术。这本内容广泛的书探讨了器件和工艺的新发展；提供了设计考虑，重点关注了技术与设计的相互影响，如信号完整性和互连；并且描述了可制造性设计和波动性的影响。重要的主题包括：

- 纳米CMOS工艺缩小问题及其对设计的影响
- 亚波长光刻
- 运行问题的物理与理论以及解决方案
- 可制造性设计和波动性

《纳米COMS电路和物理设计》对集成电路设计者和该领域的专业人员是一本非常有用的书，给他们提供了实际的设计方案和方法。



国际信息工程先进技术译丛

# 纳米 CMOS 电路和物理设计

(美) BAN P. WONG ANURAG MITTAL

YU CAO GREG STARR 著

辛维平 刘伟峰 戴显英 李玉山 史江一 刘毅 译

贾新章 校



机械工业出版社

本书将纳米工艺、器件可制造性、先进电路设计和相关物理实现等内容整合到一起，形成了一套先进的半导体技术，探讨了器件和工艺的新发展，提供了设计考虑，重点关注了技术与设计的相互影响，并且描述了可制造性设计和波动性的影响。重要的主题包括纳米 CMOS 工艺缩小问题及其对设计的影响；亚波长光刻；运行问题的物理与理论以及解决方案；可制造性设计和波动性。

本书适合集成电路设计者和该领域的专业人员阅读。

Copyright© 2005 by John Wiley & Sons, Inc., Hoboken, New Jersey.

All Right Reserved. This translation published under license.

本书中文简体字版由 Wiley 授权机械工业出版社独家出版。未经出版者书面允许，本书的任何部分不得以任何方式复制或抄袭。版权所有，翻印必究。

本书版权登记号：图字 01-2008-4175 号

## 图书在版编目 (CIP) 数据

纳米 CMOS 电路和物理设计/(美)王班 (Wong, B. P.) 等著;辛维平等译. —北京:机械工业出版社, 2011. 2

(国际信息工程先进技术译丛)

Nano-CMOS Circuit and Physical Design

ISBN 978-7-111-33083-7

I. ①纳… II. ①王…②辛… III. ①纳米材料—互补 MOS 集成电路—集成电路—电路设计 IV. ①TN432

中国版本图书馆 CIP 数据核字 (2011) 第 008772 号

机械工业出版社 (北京市百万庄大街 22 号 邮政编码 100037)

策划编辑:吕潇 责任编辑:吕潇

版式设计:霍永明 责任校对:陈延翔

封面设计:马精明 责任印制:李妍

北京振兴源印务有限公司印刷

2011 年 4 月第 1 版第 1 次印刷

169mm × 239mm · 22.5 印张 · 436 千字

0001—3000 册

标准书号: ISBN 978-7-111-33083-7

定价: 98.00 元

凡购本书,如有缺页、倒页、脱页,由本社发行部调换

电话服务

网络服务

社服务中心: (010)88361066

门户网: <http://www.cmpbook.com>

销售一部: (010)68326294

销售二部: (010)88379649

教材网: <http://www.cmpedu.com>

读者购书热线: (010)88379203

封面无防伪标均为盗版

# 译者的话

随着技术的进步，以 CMOS 技术为主流的集成电路已按照摩尔定律预言的发展规律进入到了纳米时代。CMOS 电路在低成本、低功耗、高集成度等方面的明显优势，以及在速度方面的不断提高，使 CMOS 技术已经成为集成电路芯片，特别是 SoC 芯片设计者的最佳选择。纳米 CMOS 技术不仅对工艺技术提出了一系列需要解决的难题，也给电路设计、版图集成以及工艺工程师带来许多新的挑战，要求他们打破相互之间的隔绝状态，进一步把握电路、版图以及工艺之间的相互影响。例如，工艺技术快速发展带来的泄漏增大、工艺波动性的影响增强等问题要求电路与版图设计工程师采取新的对策；为了成功地实现电路功能的不断增加，需要工艺工程师更多地了解电路设计以及版图设计中的一些细节。

针对纳米时代 CMOS 技术的特点，本书的价值在于第一次在同一本书中将工艺与电路、版图设计综合到一起，结合大量的数据与图片资料详细论述了工艺制造与电路、版图设计之间的相互影响，同时介绍了目前最新的技术对策和发展水平。因此本书同时适合集成电路设计和工艺人员阅读。通过本书的学习，可以使设计者对纳米 CMOS 器件和工艺的现状和未来有较全面的了解，对设计者的工作起到指导作用。同时，本书也是纳米 CMOS 工艺工程师了解电路与版图设计的一个窗口。对于大学研究生来说，本书也是一本较好的参考书。

本书第 1 章、第 2 章、第 5 章、第 9 章、第 10 章和第 11 章由辛维平翻译，第 3 章由戴显英翻译，第 4 章和第 6 章由史江一翻译，第 7 章以及第 9 章和第 11 章中关于 RAM 的部分内容由刘伟峰翻译，第 8 章由李玉山翻译，刘毅协助翻译了第 11 章中关于数字电路的部分内容，徐建强对翻译初稿的改善提出了很多修改建议。全书由贾新章审校、统稿。由于本书内容新颖，涉及不少新技术，加之译校者专业和英语水平有限，译文中不当之处甚至错误在所难免，欢迎读者提出宝贵意见，展开讨论。

译、校者 于西安电子科技大学

# 原 书 序

在过去的数十年中，CMOS 前沿技术不断地发生着翻天覆地的突破性变化，创造了技术上的奇迹。由制造商耗费数十亿美元创建的工厂制造出的线宽小于 100nm、集成度达到 10 亿个晶体管的复杂集成电路，极大地改变了我们生活的世界。只有许多精通其领域技艺的专家经过不懈努力并发挥他们的聪明才智才可能实现微电子领域的革命。

IC 设计者、器件集成者和工艺工程师已经认识到了广泛理解 IC 技术各个方面带来的益处，正通过持之以恒的学习涉猎相关领域的知识。对 IC 设计者来说，为了充分获得可实现的产品价值，深刻地理解器件、互连和制造方面所包含的物理限制是非常重要的。对于技术开发者，了解技术对先进设计的影响是做出合理技术决定的必要基础。

虽然获取相邻领域知识的需求总是存在的，但是近年来，基于多种原因，使得这种需求更加迫切。新技术引入的步伐与电路速度提升的速率明显快于前 20 年。这种加快的步伐可能会延续很长时间，也可能不会持续太久，不过，现在比以前更大量的新知识需要工程师们去学习及使用。还有一个原因是，随着工艺尺寸的缩小变得越来越困难，诸如泄漏与性能之间、线宽与波动性之间的折衷必须基于对设计、器件和组装的细心考虑，采取比以前更加审慎的方式进行确定。最后一点是大量且越来越多数的工程师工作在专门从事设计或者组装的公司（也就是那些没有芯片制造设备或硅代工线的公司）。这些工程师要面对各种问题，比那些为集成 IC 公司工作的工程师面临更大的挑战。

现在有许多书专注于硅工艺技术或 IC 设计，但是很少能对当前这两个方面的状态进行全面的综览。本书是对纳米工艺、器件可制造性、先进电路设计和相关的物理实现等方面的综合分析，使其更有价值。本书第一部分用 3 章的篇幅对器件和工艺的现状及其未来趋势进行了介绍，第二部分用 6 章的篇幅讲述了设计问题，着重于技术和设计的相互影响，例如信号完整性和互连，以及实际的解决方案。第三部分论述了设计对成品率或可制造性设计的影响。

本书由业界专家撰写，适用于那些需要一本方便而且反映最新发展水平参考书的 IC 设计人员和工艺人员。然而，IC 技术中依然有许多需要开拓的新领域和需要发现的新世界。本书是又一本值得我们随身携带的好书。

**CHENMING HU**

中国台湾半导体制造公司及加州大学伯克利分校

2004 年 1 月

# 原书前言

1965年，戈登·摩尔提出了著名的摩尔定律，并成为半导体工业发展的催化剂。今天，如我们所见，半导体工业前进的巨大动力将我们带到了 sub-100nm 时代。这些进步给工艺控制带来许多困难，并随之对电路与物理设计方面也提出了挑战。因此，设计方法的自由度受到了极大的限制，并且对于将芯片集成在一起的途径方面要求进行革命性的变革，使得集成的芯片不仅具有规定的功能，而且要满足设计目标与高成品率要求。

然而，在缺乏制造设施情况下开发的半导体模型的爆炸性增长，导致工艺/器件工程师与电路设计工程师相互隔绝，而且由于受到工艺和器件物理基础的限制，使得电路设计工程师对于自己的设计给可制造性、成品率和性能带来的影响缺乏了解。当我们进入纳米时代时，掌握如何处理这些问题，对产品乃至公司而言都是至关重要的。这几类工程师必须协同工作以弥补彼此知识的欠缺，并且当我们沿着这条工艺尺寸缩小之路前进时，这种知识的欠缺还在不断扩大，只有协同工作才能实现目标。

当我们在工作过程中面对这些问题的时候，我们发现还没有单独的一本书讨论所有这些问题。这些信息以零碎的形式存在，并且大部分存在于专家们的大脑中，其中一部分内容我们已经在工作过程中得到了解。本书尝试着将这些问题有机地组合成一个整体，讨论它们之间的相互作用以及它们对可制造性、成品率以及性能的影响，给设计者提供实用的指导并帮助设计者克服先进半导体工艺给设计带来的一些困难，同时在物理和电路设计与制造工序、可制造性和成品率之间架设一座迫切需要的桥梁。本书中我们提出的一些概念极其重要，特别是随着工艺不断向纳米 CMOS 特征尺寸技术发展，这些概念的重要性更加显现出来。

本书分为三个部分。第一部分详细描述了深亚微米工艺，以帮助设计者理解与之相关的问题，并且使他们深入了解尺寸缩小带来的限制。第二部分总结分析了工艺缩小对电路设计和物理实现的影响。最后一部分主要着重于可制造性和成品率方面的问题，进而提供指导，以确保设计的器件是可制造的，并且满足成品率和性能目标。

第1章总结分析了在深亚微米工艺中设计者所面对的问题，并介绍了本书其余部分的架构。第一部分还包括第2、3两章。第2章总结分析了90nm 以及更小尺寸工艺中（管芯工序）（FEOL）和（组装工序）（BEOL）工序系统的当前状态并展望了未来可能的解决方案。FEOL 部分阐述了栅介质和应变工程的发展，包

括相关的设备问题，并且深入讨论了 CMOS 尺寸缩小中遇到的问题，如栅隧穿和 NBTI 等。BEOL 部分讨论了局部和全局互连缩小、铜互连线开发、低  $k$  介质的挑战、以及集成方案（如双镶嵌工艺）。第 3 章是从物理与理论基础方面介绍光刻的内容，包括了与先进工艺和相应解决方案有关的问题。

第二部分包括第 4~9 章，共 6 章。第 4 章简要总结分析了混合信号电路面临的设计问题，并对于如何克服先进工艺下电路设计所遇到的困难提供指导。第 5 章分析了设计者在一个芯片上构建一个复杂系统时面临的 ESD 问题。对于多电源保护一类问题也进行了详细的阐述，从而使设计者具备对特殊的 ESD 要求进行估计的能力。作为发展中的另一种 ESD 保护策略，对最新的 SCR 结构也进行了介绍。第 6 章介绍了 I/O 缓冲器设计的最新发展趋势，并且总结分析了各种 I/O 规范以及当前在设计实现方面的发展趋势。对电源总线问题和同步开关噪声问题进行了详细的讨论，说明了预先开发 I/O 电源总线方案的重要性。另外，还详细的讨论了对晶片上的去耦问题，因为片上去耦问题正成为满足高速接口规范的一个关键问题。第 7 章介绍了 DRAM 设计基础，然后进一步说明了在纳米 CMOS 工艺下成功地实现存储电容、存取晶体管和读出放大器按比例缩小所涉及的相关技术。第 8 章着重于信号完整性分析和片上互连的设计解决方案。首先，介绍了寄生参数的高效提取技术，并特别强调电感的问题。接着讨论了信号时序、串扰噪声和波形完整性分析的分析方法。本章最后探讨了改善高速信号信号完整性的物理和电路设计解决方案。第 9 章对现有系统设计的各个级别在设计阶段和运行阶段采用的低功耗设计技术进行了全面的讨论，着重阐述了电路级的逻辑和存储器设计方法。第 9 章的最后对未来 90nm 工艺节点以后的超低功耗设计技术进行了展望。

第三部分包括第 10、11 章。第 10 章对实现可制造性设计给出了指导，并给出了多个实例，包括 OPC 后仿真，说明了将电路转换为物理版图时可能出现的问题以及改善的方法。第 11 章介绍了无论工艺如何变化，实现鲁棒且高性能设计的一些原则。本章首先分析了来自工艺和其他方面的各种波动，并讨论了这些波动对电路功能和性能的影响。选用三个主要设计领域（时钟、SRAM 和选定的数字电路）作为案例来说明这些原则。本章还包括了易于进行可制造性设计的指导原则。本章最后简要分析了在纳米 CMOS 设计中对器件统计模型的需求，并简要描述了 BSIM4 模型所具有的新特点。

## 致谢

我们要对许多为本书的完成做出贡献的人们表示感谢。首先，我们要感谢那些撰写了本书部分章节的学科专家们。我们感谢应用材料公司的工艺专家们——Reza Arghavani、Faran Nouri 与 Gary Miner 先生——感谢他们对前道工序的设备

要求部分所做的贡献。我们要感谢应用材料公司的 Khaled Ahmad 先生，他提供了第 2 章前道工艺部分采用的氧化层特性方面的数据。我们要感谢加利福尼亚大学伯克利分校的工艺专家 Qiang Lu 先生，他目前就职于 AMD 公司，感谢他对 FEOL 章节的贡献。我们也要感谢 IBM 微电子的光刻专家 Franz Zach 先生，感谢他关于第 3 章中纳米 CMOS 阶段的光刻技术介绍。对第 5 章，我们要感谢被公认为这方面主题的权威——中国台湾大学的 Ming-Dou Ker 教授。我们要感谢英飞凌公司的存储器权威 Martin Brox 先生对第 7 章的贡献。我们要感谢 Rambus 的 Xuejue Huang 先生对第 8 章的卓越贡献，还要感谢 UC-Berkeley 的 Huifang Qin 先生，他撰写了第 9 章的大部分内容，并且将作者的工作整合到本章中。

我们还要感谢 Altera 公司对本书的支持，特别是 Wanli Chang、William Hwang、KangWei Lai、Richard Chang、Leon Zheng、Mian Smith 和 Howard Kahn 先生，感谢他们的仿真工作。我们感谢 Cynthia P. Tran 先生提供了作为本书中插图的物理版图以及光刻仿真的输入。我们感谢 John Madok 和 Michael Smayling 先生，他们协助推荐应用材料的专家撰写本书中的部分章节并担任顾问。

我们十分感谢 Trecenti/Hitachi 公司的 Shuji Ikeda 先生，NEC 公司的 Ryuichi Hashishita、Yashushi Yamagata 和 Toshiaki Hoshi 先生；AMD 公司的 Richard Klein 和 Qiang Lu 先生，感谢他们提供了本书中使用的技术数据和多幅 SE 和 TE 显微照片。我们感谢 ASML Masktools 公司的 Fung Chen、Armin Liebchen 和 Sabita Roy 先生，感谢他们在光刻仿真以及提供仿真工具用来产生作为插图的仿真光刻胶剖面的俯视图。

我们感谢英国哥伦比亚大学的 Mark Greenstreet 教授，他审阅了本书的编写提纲并给出了许多有价值的建议。最后，我们表示对 Chenming Hu 教授的感谢，感谢他提出的卓有远见的建议以及为本书撰写的序。

作 者

# 目 录

译者的话

原书序

原书前言

<b>第 1 章 纳米 CMOS 的缩小问题及内涵</b> .....	1
1.1 纳米 CMOS 时代的设计方法 .....	1
1.2 使得性能改善得到延续所必需的创新 .....	3
1.3 sub-100nm 缩小的挑战和亚波长光刻综述 .....	5
1.3.1 后道工艺的挑战 (金属化) .....	5
1.3.2 前道工艺的挑战 (晶体管) .....	10
1.4 工艺控制和可靠性 .....	13
1.5 光刻问题和掩膜数据爆炸 .....	14
1.6 新型的电路和物理设计工程师 .....	15
1.7 建模的挑战 .....	16
1.8 变革设计方法的需要 .....	17
1.9 总结 .....	19
参考文献 .....	19
<b>第 2 章 CMOS 器件与工艺技术</b> .....	22
2.1 前道工序的设备要求 .....	22
2.1.1 技术背景 .....	22
2.1.2 栅介质的缩小 .....	24
2.1.3 应变工程 .....	28
2.1.4 快速热处理技术 .....	30
2.2 在 CMOS 尺寸缩小中与前道工序相关的器件问题 .....	36
2.2.1 CMOS 缩小的挑战 .....	36
2.2.2 量子效应模型 .....	38
2.2.3 多晶硅栅耗尽效应 .....	40
2.2.4 金属栅电极 .....	42
2.2.5 栅直接隧穿泄漏电流 .....	43
2.2.6 寄生电容 .....	45
2.2.7 需要关注的可靠性问题 .....	48
2.3 后道工序互连线技术 .....	50

2.3.1 互连缩放	51
2.3.2 铜互连技术	52
2.3.3 低 $k$ 介质的挑战	54
2.3.4 未来的全局互连技术	55
参考文献	56
<b>第3章 亚波长光刻的理论与实践</b>	<b>63</b>
3.1 引言与成像理论概述	63
3.2 对 100nm 节点的挑战	65
3.2.1 100nm 节点的 $k$ 因子	65
3.2.2 重要的工艺波动	67
3.2.3 低 $k$ 成像对工艺敏感性的影响	70
3.2.4 低 $k$ 成像和聚焦深度的影响	71
3.2.5 低 $k$ 成像和曝光容限	71
3.2.6 低 $k$ 成像及其对掩膜误差增强因子的影响	72
3.2.7 低 $k$ 成像及其对像差的敏感性	73
3.2.8 低 $k$ 成像以及 CD 变化与条宽的关系	74
3.2.9 低 $k$ 成像和拐角处的圆角半径	76
3.3 分辨率增强技术：物理	78
3.3.1 专门的照明模式	79
3.3.2 光学邻近修正 (OPC)	80
3.3.3 亚分辨率辅助图形	86
3.3.4 交替式相移掩膜	88
3.4 物理设计风格对 RET 和 OPC 复杂性的影响	91
3.4.1 特定照明条件	92
3.4.2 二维版图	94
3.4.3 交替式相移掩膜	98
3.4.4 掩膜版成本	101
3.5 发展前景：未来的光刻技术	103
3.5.1 发展之路：157nm 光刻	103
3.5.2 进一步演化：浸没式光刻	104
3.5.3 巨大突破：EUV 光刻	106
3.5.4 粒子束光刻	107
3.5.5 直写式电子束设备	108
参考文献	111
<b>第4章 混合信号电路设计</b>	<b>115</b>
4.1 引言	115

4.2	设计考虑 .....	115
4.3	器件建模 .....	116
4.4	无源器件 .....	122
4.5	设计方法学 .....	125
4.5.1	工艺测试基准电路 .....	126
4.5.2	薄氧器件设计 .....	126
4.5.3	厚氧器件设计 .....	127
4.6	低压技术 .....	129
4.6.1	电流镜 .....	129
4.6.2	输入级 .....	131
4.6.3	输出级 .....	132
4.6.4	带隙基准 .....	132
4.7	设计过程 .....	133
4.8	静电放电保护 .....	135
4.8.1	针对多电源情况的考虑 .....	136
4.9	噪声隔离 .....	137
4.9.1	保护环结构 .....	137
4.9.2	隔离的 NMOS 器件 .....	139
4.9.3	外延材料与体硅 .....	139
4.10	去耦 .....	140
4.11	主电源线 .....	144
4.12	集成问题 .....	144
4.12.1	芯片四角区域的影响 .....	144
4.12.2	邻近电路的影响 .....	145
4.13	总结 .....	145
	参考文献 .....	146
<b>第 5 章</b>	<b>静电放电保护设计</b> .....	<b>149</b>
5.1	引言 .....	149
5.2	ESD 标准与模型 .....	149
5.3	ESD 保护设计 .....	150
5.3.1	ESD 保护方案 .....	150
5.3.2	ESD 保护器件开启的一致性 .....	152
5.3.3	ESD 注入与金属硅化物阻挡 .....	153
5.3.4	ESD 保护指导意见 .....	154
5.4	针对高速 I/O 的低电容 ESD 保护设计 .....	154
5.4.1	高速 I/O 或模拟引脚的 ESD 保护 .....	154

---

5.4.2	小电容 ESD 保护设计	156
5.4.3	输入电容的计算	159
5.4.4	ESD 鲁棒性	160
5.4.5	开启验证	161
5.5	混合电压 I/O 的 ESD 保护设计	165
5.5.1	混合电压 I/O 接口	165
5.5.2	混合电压 I/O 接口的 ESD 问题	165
5.5.3	混合电压 I/O 接口的 ESD 保护器件	167
5.5.4	混合电压 I/O 接口的 ESD 保护电路设计	170
5.5.5	ESD 鲁棒性	172
5.5.6	开启验证	173
5.6	用于 ESD 保护的 SCR 器件	174
5.6.1	SCR 器件的开启机制	175
5.6.2	基于 SCR 的 CMOS 片上 ESD 保护器件	176
5.6.3	SCR 闩锁工程	183
5.7	总结	185
	参考文献	186
<b>第 6 章</b>	<b>输入/输出设计</b>	<b>193</b>
6.1	引言	193
6.2	I/O 标准	194
6.3	信号传输	195
6.3.1	单端缓冲器	195
6.3.2	差分缓冲器	196
6.4	ESD 保护	199
6.5	I/O 开关噪声	200
6.6	匹配	203
6.7	阻抗匹配	206
6.8	前置放大	206
6.9	均衡化	208
6.10	总结	209
	参考文献	210
<b>第 7 章</b>	<b>DRAM</b>	<b>212</b>
7.1	引言	212
7.2	DRAM 基础	212
7.3	电容的缩放	215
7.4	阵列晶体管的缩放	217

7.5	读出放大器的缩放 .....	220
7.6	总结 .....	223
	参考文献 .....	223
<b>第 8 章</b>	<b>片上互连的信号完整性问题</b> .....	<b>225</b>
8.1	引言 .....	225
8.1.1	互连的品质因数 .....	227
8.2	互连参数提取 .....	228
8.2.1	互连的等效电路表示 .....	229
8.2.2	RC 的提取 .....	232
8.2.3	电感提取 .....	235
8.3	信号完整性分析 .....	239
8.3.1	互连驱动器模型 .....	239
8.3.2	RC 互连分析 .....	241
8.3.3	RLC 互连分析 .....	244
8.3.4	考虑噪声耦合效应的时序分析 .....	247
8.4	信号完整性设计技术 .....	249
8.4.1	物理设计技术 .....	250
8.4.2	电路技术 .....	254
8.5	总结 .....	258
	参考文献 .....	259
<b>第 9 章</b>	<b>超低功耗电路设计</b> .....	<b>263</b>
9.1	引言 .....	263
9.2	设计阶段的低功耗技术 .....	264
9.2.1	系统级和结构级设计阶段的低功耗技术 .....	264
9.2.2	电路级设计阶段的低功耗技术 .....	265
9.2.3	设计阶段的存储器技术 .....	269
9.3	运行阶段的低功耗技术 .....	274
9.3.1	运行阶段的系统级和结构级低功耗技术 .....	274
9.3.2	针对运行阶段的电路级低功耗技术 .....	277
9.3.3	针对运行阶段的存储器低功耗技术 .....	279
9.4	低功耗设计的技术革新 .....	283
9.4.1	新颖的器件技术 .....	283
9.4.2	组装技术革新 .....	284
9.5	未来超低功耗设计的展望 .....	285
9.5.1	亚阈值电路工作 .....	285
9.5.2	容错设计 .....	286

---

9.5.3 异步设计与同步设计 .....	286
9.5.4 栅感应泄漏抑制方法 .....	286
参考文献 .....	287
<b>第 10 章 可制造性设计 .....</b>	<b>294</b>
10.1 引言 .....	294
10.2 最优和亚最优版图对比 .....	295
10.3 全局布线 DFM .....	300
10.4 模拟电路的 DFM .....	301
10.5 一些基本规则 .....	303
10.6 总结 .....	304
参考文献 .....	304
<b>第 11 章 针对波动性的设计 .....</b>	<b>305</b>
11.1 波动性对未来设计的影响 .....	305
11.1.1 电路设计中的参数波动 .....	305
11.1.2 对电路性能的影响 .....	307
11.2 减轻波动影响的策略 .....	309
11.2.1 使偏斜最小化的时钟分布策略 .....	309
11.2.2 针对波动性的 SRAM 技术 .....	312
11.2.3 应对波动性的模拟电路策略 .....	321
11.2.4 应对波动的数字电路策略 .....	329
11.3 纳米 CMOS 工艺角建模方法 .....	335
11.3.1 统计模型的需求 .....	335
11.3.2 统计模型的使用 .....	336
11.4 BSIM4 模型的新特点 .....	340
11.4.1 halo/packet 注入 .....	340
11.4.2 栅感应漏极泄漏和栅直接隧穿 .....	341
11.4.3 建模的挑战 .....	342
11.4.4 与建模相关的问题 .....	343
11.4.5 模型总结 .....	343
11.5 总结 .....	343
参考文献 .....	343



# 第1章 纳米 CMOS 的缩小问题及内涵

## 1.1 纳米 CMOS 时代的设计方法

随着工艺特征尺寸缩小到 100nm 节点以下，对于硅集成电路，为了满足功能和高成品率的要求，需要针对工艺波动的增加、互连工艺的困难和其他一些新出现的更严重的物理效应，改变传统的设计方法。纳米 CMOS 中栅氧的减薄（见图1-1）致使栅直接隧穿电流急剧增加。亚阈值泄漏和栅直接隧穿电流（见图 1-2）不再是二级效应了<sup>[1,15]</sup>。设计中将要考虑栅感应漏极泄漏（Gate-Induced Drain Leakage, GIDL）的影响。例如对于 DRAM（第 7 章）和低功耗 SRAM（第 9 章），它们的栅压相对于源极来说是负电位<sup>[15]</sup>，如果不考虑这些效应，得到的 SRAM、DRAM 或者任何其他使用这个技术来减小亚阈值泄漏的电路会丧失功能。某些情况下甚至多路器和触发器也会受到影响。

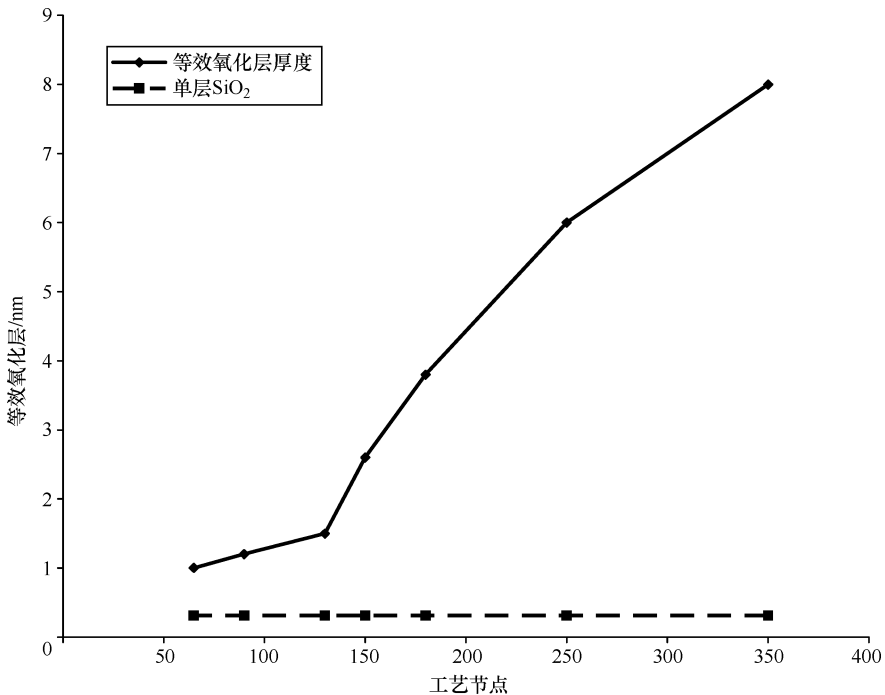


图 1-1 栅氧厚度随工艺节点的变化趋势