

# 现代集成电路测试技术

《现代集成电路测试技术》编写组



化学工业出版社  
工业装备与信息工程出版中心

· 北京 ·

## 内 容 提 要

全书按集成电路测试原理和集成电路测试设备划分为上、下篇。根据现代集成电路测试技术发展和专业测试需求，上篇主要介绍数字 VLSI 结构化测试方法、数模混合信号电路测试方法、设计验证技术和集成电路测试标准；下篇重点介绍数字/模拟/数模混合信号等三种类型集成电路测试系统和集成电路测试验证系统，同时特别关注了以 SOC 测试、基于 DFT 测试、RAM 测试为主要特点的新类别测试系统和基于标准总线集成电路测试系统的发展，并安排了测试系统计量和自动分选机/探针测试台两个专题。

本书可作为从事微电子测试和设计工作的研究人员、技术人员，以及准备进入该领域的管理人员的学习和培训教材，也可作为高等院校相关专业师生的教材和参考书。

### 图书在版编目 (CIP) 数据

现代集成电路测试技术/《现代集成电路测试技术》编写组. —北京: 化学工业出版社, 2005.12

ISBN 7-5025-8131-6

I. 现… II. 现… III. 集成电路-测试 IV. TN407

中国版本图书馆 CIP 数据核字 (2005) 第 157909 号

---

### 现代集成电路测试技术

《现代集成电路测试技术》编写组

责任编辑: 刘 哲 宋 辉

责任校对: 王素芹

封面设计: 尹琳琳

\*

化学工业出版社 出版发行  
工业装备与信息工程出版中心

(北京市朝阳区惠新里 3 号 邮政编码 100029)

购书咨询: (010)64982530

(010)64918013

购书传真: (010)64982630

<http://www.cip.com.cn>

\*

新华书店北京发行所经销

大厂聚鑫印刷有限责任公司印刷

三河市万龙印装有限公司装订

开本 787mm×1092mm 1/16 印张 34½ 字数 925 千字

2006 年 5 月第 1 版 2006 年 5 月北京第 1 次印刷

ISBN 7-5025-8131-6

定 价: 95.00 元

---

版权所有 违者必究

该书如有缺页、倒页、脱页者, 本社发行部负责退换

# 《现代集成电路测试技术》编写组

主 编 时万春

副主编 张 东 魏道政 孙义和

编 委 (按汉语拼音排序)

陈大为 戴昌培 冯建华 时万春

孙义和 魏道政 张 东

# 前 言

本书是一部包括集成电路测试理论、测试方法、测试标准,各种类型测试系统、测试辅助设备和测试系统计量等内容的现代集成电路测试技术全书。本书内容具有全面性、系统性和实用性的特点。编写本书的目的是使读者对集成电路测试问题有一个明晰的解决方法的轮廓,知道今天的集成电路测试需要做什么?我们能做什么?还会有什么样的难题?发展的方向是什么?本书可作为从事微电子测试和设计技术工作的研究人员、技术人员,以及需要进入该领域的专业科技和管理人员的学习和培训教材,也可作为高等院校相关专业师生的教学参考书。

提议写这本书的是北京市科学技术研究院,这个建议得到了北京市科委先进制造技术办公室侯国光主任和信息产业部电子信息产品管理司王勃华处长的支持,并将编写计划列入北京市重大科技项目《集成电路测试业关键技术研究》中基础研究部分。编写的具体领导和组织工作由北京自动测试技术研究所张东所长负责。2004年9月17日正式组建了编写组,由中国科学院计算技术研究所时万春研究员担任主编,北京自动测试技术研究所张东所长、中国科学院计算技术研究所魏道政研究员、清华大学微电子学研究所孙义和教授担任副主编,北京大学微电子学系冯建华副教授、中国电子技术标准化研究所陈大为副总工程师和北京自动测试技术研究所戴昌培研究员担任编委。同时成立了由北京东方泰思特测控装备技术有限责任公司总经理孙亚京和集成电路测试技术中心高工唐平组成的编委会办公室,负责本书编写的全面组织、行政和事务工作。

本书由上、下篇,共23章组成。上篇12章是集成电路测试原理部分,重点介绍现代集成电路测试和设计验证所涉及的方法和技术,它从测试的两大目标(推出合格的产品、诊断和定位故障)出发,论述集成电路测试所涉及的技术和方法,主要有以下几个方面:①数字VLSI结构化测试的方法;②数模混合信号电路的测试方法;③设计验证技术;④集成电路测试标准。下篇11章是集成电路测试设备部分,主要介绍现代集成电路测试和设计验证所需的各种测试和测试验证设备,重点是传统的三大类型集成电路测试系统和集成电路测试验证系统。三种类型测试系统是指数字集成电路测试系统、模拟集成电路测试系统和数模混合信号集成电路测试系统。与这三种类型系统相呼应,下篇还特别关注了以SOC测试、基于DFT测试、RAM测试等为主要特点的新类别测试系统以及基于标准总线集成电路测试系统的发展,并安排了测试系统计量和自动分选机/探针测试台两个专题。

本书的编写工作主要由编委会成员分工完成,一些章节也聘请了中国科学院计算技术研究所和中国电子科技集团公司第45研究所的科技人员参与编写。吕涛编写第1章;魏道政编写第2、4章;王达参与编写第4章;胡瑜参与编写第2章;孙义和编写第3、5~7、14章;吴明行编写第8章;冯建华编写第9~11、20章;陈大为编写第12、22章;时万春编写第13、15、16、19、21章;戴昌培编写第17、18章;李燕玲等编写第23章。本书的上篇由魏道政、孙义和、冯建华审读,下篇由时万春、张东、陈大为、戴昌培审读。审读后的修订、通读、索引工作主要由时万春、张东、魏道政、戴昌培负责。

本书的编写是一次大胆的尝试。全书按集成电路测试原理和集成电路测试设备划分上、下篇,按数字集成电路、模拟集成电路和数模混合信号集成电路测试理论、方法和相应的测试设备呼应成章。根据现代集成电路测试技术发展和专业测试需求,将SOC测试、 $I_{DDQ}$ 测试、测试开发系统、测试标准、测试验证系统、RAM测试系统、基于标准总线的集成电路

测试系统、基于 DFT 测试仪、SOC 测试系统、测试系统计量和集成电路测试辅助设备（自动分选机和探针测试台）独立成章。从现代集成电路测试技术的角度看，这种编写方式的优点是全书比较完整、全面，信息量大，但也给编写带来一些困难，比如全书名词术语和图形符号标准和统一问题，各章叙述和展开的层次与深度不尽一致，还有作者写作习惯和文字表达的差异，这使得本书总体上风格不够统一。我们希望这些问题能在再版修订时有所解决。

我们要感谢从事集成电路测试广大科技工作者的支持和帮助，感谢北京市科委先进制造技术办公室侯国光主任的关心和具体指导，感谢北京自动测试技术研究所为本书编写提供的全面支持。希望本书能为我国微电子测试领域从事科研、开发、生产和教学的广大科技人员有所帮助，并有助于我国集成电路测试产业的发展。

由于我们的水平有限，涉及的技术领域又比较广，书中不妥之处，希望从事微电子领域的专家和广大读者批评指正。

编写组

2005 年 12 月

# 目 录

## 上篇 集成电路测试原理

<b>第 1 章 概述</b> .....	3
1.1 测试的意义 .....	3
1.2 测试的分类 .....	6
1.3 测试成本与产品质量 .....	8
参考文献 .....	11
<b>第 2 章 逻辑模拟与故障模拟</b> .....	12
2.1 电路模型及简单的结构分析 .....	12
2.2 信号状态模型 .....	14
2.3 定时模型 .....	15
2.4 故障模型及故障精简 .....	15
2.5 故障效应的传播 .....	17
2.6 逻辑模拟算法 .....	19
2.7 故障模拟算法 .....	23
2.8 时序电路的逻辑模拟和故障模拟 .....	35
参考文献 .....	38
<b>第 3 章 可测性度量</b> .....	39
3.1 可测性度量的基本概念 .....	39
3.2 可测性的度量 .....	40
参考文献 .....	50
<b>第 4 章 测试生成</b> .....	51
4.1 测试生成方法分类 .....	51
4.2 测试生成算法中的一些基本概念和技术 .....	52
4.3 单路径敏化法 .....	55
4.4 D-算法 .....	56
4.5 9 值算法 .....	61
4.6 PODEM 算法 .....	64
4.7 FAN 算法 .....	67
4.8 布尔差分法 .....	70
4.9 布尔满足法 .....	73
4.10 面向电路的测试生成方法 .....	79
4.11 组合 ATPG 算法研究进展 .....	81
4.12 时序电路测试生成 .....	83
4.13 高层设计的测试生成 .....	89
4.14 测试生成系统 .....	91
参考文献 .....	92
<b>第 5 章 可测性设计方法和技术</b> .....	94
5.1 可测性设计的基本概念 .....	94

5.2	专门的可测性设计方法	99
5.3	基于扫描的可测性设计技术	104
5.4	全速测试和全速扫描测试技术	112
5.5	特征分析测试方法简介及内建自测试	114
5.6	边界扫描设计技术	121
5.7	可测性设计规则综述	131
	参考文献	132
<b>第 6 章</b>	<b>设计验证技术</b>	133
6.1	设计验证技术基本概念	133
6.2	设计的模拟验证	135
6.3	设计的形式验证和断言验证	144
6.4	设计验证辅助功能测试向量的制成	150
6.5	现代数字集成电路芯片设计验证的语言	155
	参考文献	156
<b>第 7 章</b>	<b>测试数据压缩技术</b>	157
7.1	测试数据压缩的缘由、特点和方法概述	157
7.2	Huffman 编码	160
7.3	游程编码的方法	161
7.4	Golomb 码的数学基础和数据压缩	162
7.5	快速编码的优势和特点	164
7.6	二维压缩编码方法的基本实践	168
7.7	数据压缩的硬件实施方法和措施	170
	参考文献	172
<b>第 8 章</b>	<b>测试开发系统</b>	174
8.1	测试语言	174
8.2	测试程序	179
8.3	测试开发环境	182
8.4	测试转换系统	183
8.5	测试设备脱机开发环境	191
	参考文献	197
<b>第 9 章</b>	<b>混合信号集成电路测试</b>	198
9.1	概况	198
9.2	采样理论	199
9.3	基于 DSP 的测试	204
9.4	基于模型的测试	206
9.5	DAC 测试	210
9.6	ADC 测试	214
9.7	混合信号 DFT 和 BIST	220
	参考文献	223
<b>第 10 章</b>	<b><math>I_{DDQ}</math> 测试</b>	225
10.1	$I_{DDQ}$ 基本原理	225
10.2	$I_{DDQ}$ 测试生成	226
10.3	$I_{DDQ}$ 可测性设计	231
10.4	$I_{DDQ}$ 监控器设计	236

10.5	$\Delta I_{DDQ}$ 测试	248
10.6	深亚微米 $I_{DDQ}$ 测试	249
10.7	未来方向	251
	参考文献	252
<b>第 11 章</b>	<b>SOC 测试</b>	<b>253</b>
11.1	概况	253
11.2	SOC 测试困难	253
11.3	测试访问机制	254
11.4	测试外壳	255
11.5	内核测试	259
11.6	SOC 系统测试	262
11.7	测试标准	266
11.8	内核测试语言	267
11.9	未来的挑战	269
	参考文献	270
<b>第 12 章</b>	<b>集成电路测试标准</b>	<b>272</b>
12.1	集成电路相关标准机构	272
12.2	国际集成电路测试标准介绍	275

## 下篇 集成电路测试设备

<b>第 13 章</b>	<b>集成电路测试系统概述</b>	<b>282</b>
13.1	集成电路测试系统发展概述	282
13.2	集成电路测试系统分类	284
13.3	集成电路测试系统专用集成电路	284
13.4	分布式集成电路测试系统	290
	参考文献	294
<b>第 14 章</b>	<b>集成电路测试验证系统</b>	<b>295</b>
14.1	集成电路测试验证要求和测试验证系统发展	295
14.2	第 1 代测试验证手段和系统	296
14.3	第 2 代测试验证系统的构成	298
14.4	第 3 代测试验证系统的特点	301
14.5	现代测试验证系统的要求和特点	302
	参考文献	307
<b>第 15 章</b>	<b>数字集成电路测试系统</b>	<b>308</b>
15.1	数字集成电路测试系统原理	308
15.2	数字 SSI/MSI 测试系统	317
15.3	数字 LSI/VLSI 测试系统	326
	参考文献	351
<b>第 16 章</b>	<b>RAM 测试技术和测试系统</b>	<b>352</b>
16.1	RAM 的基本组成及结构	352
16.2	RAM 测试	354
16.3	RAM 测试系统	363
	参考文献	371
<b>第 17 章</b>	<b>模拟集成电路测试系统</b>	<b>372</b>

17.1	模拟电路的测试需求 .....	372
17.2	模拟电路测试系统的系统结构 .....	380
17.3	模拟测试系统仪器构成原理 .....	388
17.4	现代模拟集成电路测试系统 .....	418
	参考文献 .....	422
<b>第 18 章</b>	<b>数模混合信号集成电路测试系统 .....</b>	<b>423</b>
18.1	混合信号电路对测试的需求 .....	423
18.2	混合信号电路测试系统的体系结构 .....	436
18.3	混合信号电路测试系统的同步 .....	439
18.4	混合信号测试的特殊仪器 .....	444
18.5	混合信号电路测试系统 .....	452
<b>第 19 章</b>	<b>基于标准总线的集成电路测试系统 .....</b>	<b>461</b>
19.1	基于标准总线的集成电路测试系统发展 .....	461
19.2	虚拟仪器 .....	464
19.3	自动测试系统软件体系结构 .....	466
19.4	基于标准总线的通用集成电路测试系统举例 .....	467
	参考文献 .....	470
<b>第 20 章</b>	<b>基于 DFT 测试仪 .....</b>	<b>471</b>
20.1	传统 ATE .....	471
20.2	DFT 测试仪 .....	472
20.3	测试方法 .....	473
20.4	DFT 测试应用 .....	474
20.5	DFT 测试仪与传统 ATE 区别 .....	475
20.6	一种边界扫描 DFT 测试系统——JTAG .....	478
	参考文献 .....	483
<b>第 21 章</b>	<b>SOC 测试系统 .....</b>	<b>484</b>
21.1	SOC 测试特性 .....	484
21.2	SOC 测试系统特性 .....	485
21.3	SOC 测试系统 .....	489
	参考文献 .....	496
<b>第 22 章</b>	<b>集成电路测试系统的计量 .....</b>	<b>497</b>
22.1	量值溯源基础 .....	497
22.2	集成电路测试系统校准与参数溯源的基础原理 .....	502
22.3	集成电路测试系统校准与参数溯源方法介绍 .....	503
22.4	集成电路测试系统国家校准规程 .....	514
	参考文献 .....	516
<b>第 23 章</b>	<b>集成电路测试辅助设备 .....</b>	<b>517</b>
23.1	自动分选机 .....	517
23.2	探针测试台 .....	520
	参考文献 .....	525
<b>索引</b>	<b>.....</b>	<b>527</b>

# 上篇 集成电路测试原理

集成电路从诞生到今天已经近 40 个年头，其中遇到最为棘手的问题是集成电路的测试问题，受到诸如工艺的进步和设计方法深化的挑战，使得测试问题愈来愈难以适应集成电路技术的不断进步。本书的目的就是要使读者对集成电路测试问题有一个明晰的解决方法的轮廓，知道今天的集成电路测试需要做什么？我们能做什么？还会有什么样的难题？

本书上篇重点介绍现代集成电路测试和设计验证所涉及的方法和技术，它从测试的两大目标（推出合格的产品、诊断和定位现有故障）出发，论述集成电路测试所涉及的技术和方法。大体分下列几个方面。

## （1）数字集成电路测试原理

① 概述。第 1 章介绍了集成电路测试的意义、定义和测试的目标和分类，以及测试成本和质量的关系。

② 逻辑模拟与故障模拟。第 2 章从电路模型出发，讨论了逻辑模拟的层次和方法，继而给出失效及描述形式-故障的概括和抽象，最后讨论故障模拟的方法。

③ 可测性度量。第 3 章主要给出了可测性度量的划分：概率测度和非概率测度，着重论述了非概率测度——SCOAP 测度，并给出了实际的计算实例。

④ 测试生成。第 4 章主要以测试生成的经典算法 D 算法、PODEM 算法、FAN 算法等为例，讲述了组合逻辑的测试自动生成原理，也介绍了关于时序逻辑实现自动测试生成的途径。

⑤ 可测性设计方法和技术。第 5 章主要给出了可测性设计的 3 要素：可控制性、可观测性和可隔离性，并阐述了各种可测性设计的方法和实现，也介绍了内建自测试以及如何用特征多项式设计和实现内嵌电路的可测性设计，最后给出可测性设计的规则。

⑥ SOC 面临的测试资源的应用难题及解决方案。

- 测试硬件的数据的外部存取和访问问题。第 11 章主要研究并给出了内核硬件实现的设计方案（测试外壳以及 IEEE P1500 涉及的相关问题等）。

- 测试系统和被测 SOC（集成电路）数据带宽问题。第 7 章阐述了测试数据压缩的数学原理以及目前使用的压缩方法：Huffman 编码、游程编码、Golomb 编码以及快速编码等。

⑦ 测试开发系统。第 8 章着重介绍了在测试生成中脱机开发的问题，给出了开发环境的配置以及测试程序的生成、调试和输出，以及如何适应测试系统变革或翻新，解决测试码的快速、正确地移植。

⑧  $I_{DDQ}$  的测试原理。第 10 章介绍了目前流行的以电流测试为目标的测试方法，给出了静态电流的来源及测试的原理，并且给出了测试静态电流的测试码生成方法以及在纳米级的实际方法的限制。

(2) 混合信号集成电路测试 第9章阐述了根据采样理论建立起来的混合信号集成电路测试的方法,并且以流行的混合信号集成电路为实例讲述实际测试中的问题和解决方案,最后给出了混合信号电路的可测性设计和内建自测试。

(3) 设计验证技术 第6章主要介绍了采用设计验证技术的重要意义,目前主要采用设计验证的两类方法:模拟设计验证和形式验证中的断言验证,并以跨域多时钟电路同步为例,回答了断言验证实现的问题。

(4) 集成电路现有的标准 这是上篇结束章节(第12章)。它简要介绍了目前国内外制定标准的单位,并以目前常用的IEEE 1149、IEEE 1450和建议标准P1500为实例介绍这些标准的概要。

# 第1章 概述

---

## 1.1 测试的意义

### 1.1.1 测试是什么

一个系统的测试 (test) 是一个实验的过程, 在这个过程中运行该系统并分析它的响应结果, 以判定该系统是否正确地运转。若检测到不正确的行为, 测试实验的第二个目标可能就是诊断 (diagnosis) 或定位导致不正确行为的原因。测试和诊断的概念具有广泛的应用范围, 例如, 医学测试与诊断、汽车驾驶测试, 或者调试一个计算机程序。本书只涉及集成电路 (IC) 的测试, 主要是指各种应用的数字集成电路、模拟集成电路和数模混合信号集成电路的测试。

如果设计一个集成电路产品, 并制造和测试这个产品, 而它没有通过测试, 那么可能的原因包括: ① 测试本身有错; ② 制造过程有问题; ③ 设计不正确; ④ 最初提出的规范 (specification) 有问题。测试就是要发现是否有问题, 而诊断就是要发现到底是哪里有问题了, 哪个步骤需要调整。所以测试的正确性和有效性对于产品质量是非常重要的。如果测试过程是正确的, 而产品没有通过测试, 那么我们就有理由怀疑制造过程、设计或者规范。对于一个工程师来说, 如果他对制造和测试过程的物理原理没有深刻的理解, 那么他就不可能设计出高质量的产品。

### 1.1.2 测试的意义

#### 1.1.2.1 测试的概念

集成电路测试是检测集成电路芯片中那些由生产制造过程而引入的缺陷。由于制造缺陷多种多样, 所以逐个检测缺陷是不现实的。通常的方法是通过参数测试和功能测试来进行检测。参数测试通过芯片的交、直流参数测试检测芯片性能和缺陷程度; 功能测试则采用逻辑故障来对缺陷进行建模, 通过算法来自动产生针对这些逻辑故障的测试向量, 以此检测制造缺陷 (“缺陷”、“故障”等概念将在后面的章节中进一步解释)。然而, 测试的作用不仅仅局限于判断被测器件是否合格, 它还可以提供关于制造过程的有用信息, 从而有助于提高成品率, 还可以提供有关设计方案薄弱环节的信息, 有助于检测出设计方面的问题。

当今先进的设计和制造能力为创造功能和性能空前强大的芯片提供了巨大的潜力, 与此同时, 高速度、高集成度的设计也给测试带来了严峻的挑战。市场越来越要求产品的低成本和上市时间, 这要求测试开发人员必须快速而有效地完成测试程序。如果测试程序需要在拿到样片之后进行大量的测试, 那就会延误量产, 推迟上市时间, 从而造成很大的损失。这些潜在的风险说明了一个道理, 即在目前的集成电路设计流程中, 测试不能作为最后考虑的内容。为了控制不断增长的测试复杂度, 设计者必须在集成电路开发过程的早期考虑测试, 因为这会深刻影响测试开发的复杂度和后期的测试成本。

从工程的角度而言, 测试包括了验证测试和产品 (量产) 测试两个主要阶段, 它们分别对应不同的目的。在产品测试中, 测试工程师试图找到最快的方法来检测芯片的制造缺陷。

因此，他们运用每一种可能的编程技巧，例如时钟变化、波形变化、电平变化等来提高检测效率。同时，测试工程师也尽力用最短的测试向量集提供最高的故障覆盖率，并得出简单的测试结果，例如“合格”或者“不合格”。而验证测试需要向设计工程师提供有关芯片功能和性能方面的综合数据。所以，验证测试是一个测试和设计交互的过程，其内容包括进行调试、提高成品率和进行失效分析，从而找到特定的错误或者获得被测芯片全面的性能特征。测试验证过程中通常注重测试项目的多样化和全面的调试能力、Shmoo 图分析等，其测试项目包括更多短小的测试向量，用以找出器件的特定行为并且明确器件的功能。需要强调的是，产品测试和验证测试是两种互补的方法，而不可以互相替换。通常在验证测试的过程中同步开发出产品测试流程，以从总体上缩短开发时间。

### 1.1.2.2 测试产业的发展

集成电路产业是衡量国家综合实力的重要支柱性产业。这个庞大的产业主要由集成电路设计、芯片制造、封装和测试为主体构成。在这个集成电路产业链条中，集成电路测试是惟一个贯穿集成电路生产和应用全过程的产业。如果集成电路设计没有通过原型的验证测试，就不可能投入量产；量产中，晶圆片如果没有通过探针测试台的中测，就无法在下一个工序中进行封装；而封装后的成品测试（成测）又是集成电路产品的最后工序，只有测试合格的电路才可能作为正式的集成电路产品出厂。而在随后的市场流通和工程应用中，集成电路还必须经过多种不同应用目标和不同使用条件的综合性或特需性测试。

集成电路测试产业主要解决两个问题，即提供用于集成电路测试所需的设备和解决集成电路制造和缺陷检测中的测试问题，测试业界常常将其归纳为集成电路测试设备制造和集成电路测试服务。集成电路测试设备主要是指各种数字电路测试、模拟电路测试和数模混合信号电路测试的测试仪（器）或系统，其中包括各种专用的测试仪和测试系统，比如 RAM 测试、RFID 测试、DFT 测试、TFT/LCD 测试、ADC 测试、DAC 测试等，也包括各种集成电路测试的辅助设备，如自动分选机（handler）、探针测试台（prober）、老化测试设备等。集成电路测试服务是一个相当广义且极具内涵的概念，具体化可以包括集成电路生产和集成电路流通、应用中的测试。集成电路生产中的测试可以是前述的验证测试、晶圆中测、产品成测，也可以是集成电路工艺过程控制、工厂综合信息管理、可靠性分析、芯片模拟、验证、安全、解密、解剖中的测试，还可以为集成电路可测性设计提供测试技术的服务。至于集成电路流通、应用中的测试则更具多样性，比如是应用中用于产量控制的测试，用于验收检验的测试，用于现场维修的测试等；另外，应用中的测试可以是器件级的、板级的或系统级的，不同级别的测试所用的测试原理和测试设备是不同的。

## 1.1.3 测试的主要环节

### 1.1.3.1 测试规范（test specification）和测试计划（test plan）

器件的规范文档是其开发过程的开端，应该包含以下内容。

- 功能、参数——参数特性和测试条件、功能特性和要实现的算法、输入/输出信号的特征（波形、信号定时值等）、数据信号和控制信号的行为、时钟频率等。
- 器件的类型——逻辑电路、微处理器、存储器、模拟电路、数模混合信号电路等。
- 物理特性——封装、引脚分布等。
- 工艺——门电路、定制电路、标准单元等。
- 环境特性——工作的温度范围、供电电压、湿度等。
- 可靠性——质量等级（每百万个器件的缺陷比例）、每 1000h（小时）的失效率、噪声特性等。

在测试规范的基础上，可以制定测试计划。在测试计划中，测试仪的种类和测试的种类

都需要指定。测试仪的选择要考虑到很多因素，例如吞吐量、时钟频率、定时的准确度、测试序列的深度、测试仪所含各种仪器模块的性能、指标、测试仪的可用性以及费用等。测试的种类包括参数测试、功能测试、老化测试、速度分选等。对故障覆盖率的要求也需要在测试计划中指明。

### 1.1.3.2 测试仪 (tester)

测试仪的基本功能是向被测器件 (Device Under Test, DUT) 施加输入，并观察其输出。测试仪通常也被称为自动测试设备 (ATE, Automatic Test Equipment)。为 VLSI 器件选择 ATE 时必须考虑该器件的规范，主要的因素包括速度 (该器件的时钟频率)、定时准确度、输入/输出引脚的数目、模拟信号和数模混合信号测试要求等。其他的因素还有费用、可靠性、服务能力 (serviceability)、编程难易程度等。

### 1.1.3.3 测试程序 (test program)

一旦器件被安放在测试仪上，需要有 3 件事情来控制测试过程，即测试程序、数字的测试向量 (test vector) 以及模拟的测试波形 (test waveform)。

正如图 1-1 所示，器件规范影响着好几件工作，这些工作的结果正是测试程序所需要的。自动的测试程序生成 (Test Program Generation, TPG) 系统需要 3 种输入：

- 测试仪的规范以及测试的种类等信息，这些可以从测试计划中得到；
- 器件的物理特性数据 (引脚分布、晶圆图等)，这些可以从版图中得到；
- 信号、测试向量 (输入以及预期响应) 及定时信息，这些可以从模拟器中得到。

测试程序包含着控制测试过程的测试仪指令序列。例如，简单的序列就是上电，向输入引脚施加时钟和向量，探测输出引脚，将输出信号与预先存储好的预期响应进行比较。现代化的测试仪还可以提供输入信号的波形选择、屏蔽输出信号、感知高阻状态以及多种复杂的功能。由于测试的能力和编程语言都不尽相同，TPG 通常产生出与测试仪无关的程序，这些程序经过改造之后可以用于任何特定的 ATE。另外，由于在设计验证中使用的软件模拟器与 ATE 在信号格式上也是不同的，向量编辑器 (vector editor) 就成了测试编程过程中的有用工具。

### 1.1.3.4 测试数据分析 (test data analysis)

从 ATE 得到的数据有 3 个用途：首先，有助于判断被测器件是否合格；其次，可以提供关于制造过程的有用信息；最后，可以提供有关设计方案薄弱环节的信息。

如果器件没有通过测试，当然可以立即指出该器件有问题。但是，即使器件通过了测试，也不能说该器件就是合格的，除非测试过程的故障覆盖率达到 100%。对测试数据的分析可以提供有关器件质量的信息。由于制造过程中会有一些随机的偏差，所以器件的特性也会有高低之分。测试数据分析还可以将那些性能高于平均水平的芯片挑选出来。

对失效芯片进行失效模式分析 (failure mode analysis)，可以为提高集成电路工艺进一步提供信息。失效器件经常会对不同的测试向量都表现出失效现象。这些失效的原因可以指出设计中的薄弱环节，即对工艺偏差比较敏感的地方。这些信息对于逻辑设计规则以及版图设计规则都是十分有用的。

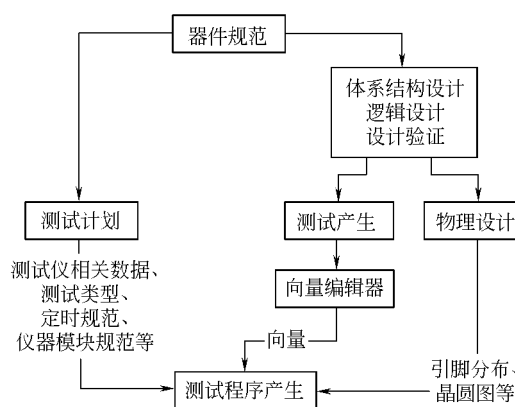


图 1-1 测试程序产生

## 1.1.4 VLSI 技术发展对测试的影响

VLSI 技术已经发展到在单个芯片上可以集成上亿个晶体管，并且时钟频率高达千兆赫兹的程度。这样的发展趋势对芯片测试的成本和难度都有深刻的影响。

(1) 芯片时钟速度提升 随着 VLSI 器件的时钟频率呈指数级增长，全速测试 (at-speed test) 将越来越重要。有相关研究表明，以被测电路的额定频率来进行固定故障 (stuck-fault) 测试，其效果更好。为了实施全速测试，ATE 的频率必须与被测电路的频率一致，甚至更快。所以，ATE 不得不面临持续提高时钟速度的压力。然而，高速的 ATE 非常昂贵。根据 2000 年的数据，一个能以 1GHz 的频率施加测试激励的 ATE，每增加一个测试引脚其价格就上升 3000 美元。因此，用这样的测试仪进行高速测试的费用也很高。于是，半导体工业面临两个矛盾的问题。一方面，世界上大多数厂家的测试能力仍然只允许进行 100MHz 左右的时钟频率测试；另一方面，许多需要测试的芯片的时钟频率已经达到或超过了 1GHz。

(2) 晶体管密度增长 VLSI 芯片中晶体管的特征尺寸每年大约减小 10.5%，导致晶体管的密度每年大约增长 22.1%。再考虑到晶圆和芯片的尺寸增长，以及电路设计和工艺的革新，晶体管的密度几乎呈现平方级的增长。晶体管密度不断增长，而通常情况下芯片的引脚数目不会与晶体管密度呈同级别的增长，这使得芯片内部模块变得越来越难测，使得测试复杂度 (test complexity) 越来越大。除此之外，晶体管密度的增长也带来了芯片功耗的增长，这也是测试必须考虑到的问题。

(3) 单芯片上集成模拟和数字电路 随着消费类电子、汽车、通信等领域的发展，混合信号集成电路的需求不断上升。在一块芯片上集成模拟电路部分和数字电路部分，有助于降低系统成本。另外，这样的集成也有助于提高系统速度。当数据在两块芯片之间传输时，作为发送方的芯片由于要缓存和放大输出信号而导致通信的时延增加；而作为接收方的芯片，由于要消除环境因素导致的电压波动并提高信号质量，也会增加通信的时延。在单芯片上集成模拟电路和数字电路，将显著降低时延，但是这带来了新课题——混合信号电路测试。

## 1.2 测试的分类

### 1.2.1 按目的分类

按照所要达到的目的，可以将集成电路测试分为 4 类，即特性测试、产品测试、老化测试、入厂测试等。

(1) 特性测试 (characterization test) 特性测试也往往称作验证测试 (verification test)，这类测试是在一个新的设计进入量产阶段之前进行的，其目的是验证这个设计是否正确，是否满足了规范中所有的要求。特性测试的测试项目非常全面，包括功能测试、交流 (AC) 和直流 (DC) 参数测试等，也可能会探测芯片的内部结构，而这在产品测试中是很少见的。一些特定的设备，例如扫描电子显微镜和电子束测试仪，以及一些特定的技术，例如人工智能和专家系统，在这类测试中都很有效。

特性测试能够确定器件工作的确切的边界。通常，我们关注最坏情况，因为这比平均情况更容易评估，如果器件通过了最坏情况下的测试，那么它在其他任何情况下都可以运转。我们通常采取的方法是：选择一个能够对芯片进行通过/失效 (pass/fail) 判断的测试，然后选择在统计意义上有代表性的若干芯片，对每两个或者多个环境变量的组合进行重复的测试，测试结果用图形来表示。例如，如果选择供电电压 ( $V_{cc}$ ) 和芯片工作的时钟频率这两个参数进行特性测试，我们可以将  $V_{cc}$  设置成不同的值，然后重复地进行功能测试，来度量

不同供电电压下芯片可工作的最高时钟频率。在这项测试中收集到的数据可以用 Shmoo 图来表示，例如图 1-2，圆圈表示芯片在该处所示的条件下可以正常工作，而在该区域（即右下角圆圈所占据的区域）之外芯片无法正常工作。

通过特性测试，我们可以对设计进行修正，可以度量芯片参数以制定最终的产品特性手册，还可以为产品测试开发出测试程序。有时候，为了提高设计的品质和加工过程的成品率（yield），在产品的整个生命周期中会持续进行部分参数的特性测试。所谓成品率，就是质量合格的芯片相对于所有生产出的芯片的比例或者百分比。在这种情况下的特性测试，可以针对产品测试中失效的芯片进行，也可以在产品使用的现场进行。

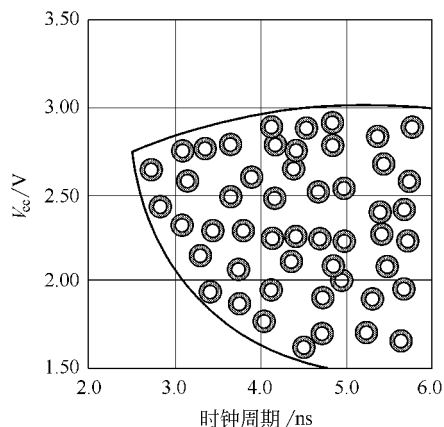


图 1-2 Shmoo 图

(2) 产品测试 (production test) 每一片生产出来的芯片都要接受产品测试。产品测试没有特性测试那么全面，但是它必须满足质量上的要求，也就是在产品测试中通过的芯片应该是满足规范要求的。从降低测试成本的角度出发，产品测试在保证故障覆盖率的前提下，通常使用尽可能小的测试向量集合，从而缩短测试时间。毕竟，每个器件都要被测试，所以测试时间（这直接决定了测试代价）必须尽量短。这个过程不会进行故障诊断，而仅仅判定合格或者不合格。典型的产品测试只有很短的测试程序，却能够验证器件所有的相关规范。这是为每个器件出厂而进行检查，不会重复进行，只是判断待测器件的参数在正常的工作条件下是否满足规范要求。产品测试可以在用户应用所要求的器件频率下进行，或者采取厂家所保证的器件频率进行。

(3) 老化测试 (burn-in test) 通过产品测试的器件也不尽相同，投入使用以后，有的器件很快就失效了，而有的器件可以用很久。老化测试的目的就是保证被测器件的使用可靠性，即在一段时间之内，进行持续性的或者周期性的测试，使得有问题的器件在这段时间之内就失效了。相关研究表明，高温下的测试能够使潜在失效提前发生，至于老化测试过程的详细理论知识，可以参考 Jensen 和 Petersen 的书。简单讲，老化测试可以筛选出两类失效，一种是早期失效 (infant mortality failure)，这通常是由比较敏感的设计和工艺的偏差所导致的，可以在正常的或者稍微强化的环境下通过短期 (10~30h) 的老化测试就筛选出来；另一种是 freak failure (有的译为“反常失效”，是一种具有随机特征的失效)，这些器件和可靠器件有着同样的失效机理，需要在强化环境下进行很长时间 (100~1000h) 的老化测试才行。在老化测试中，芯片需要面临产品测试、高温和过压供电的多重考验。实际情况下，生产者必须在经济效益和产品的可靠性之间权衡，以考虑采取什么样的老化测试方案。但是无论如何，消除早期失效总是必要的。

(4) 入厂测试 (incoming test) 系统制造商在进行系统集成之前，需要对所购买的器件进行入厂测试。在不同的情况下，此类测试的内容不同，可能与产品测试的项目类似，可能比产品测试更全面，也可能为了特定的系统应用而进行调整。另外，根据器件质量和系统要求，可能进行随机抽样，只针对样品做入厂测试。这一类测试最主要的目的是避免在系统组装的时候使用有缺陷的器件，那种情况一旦出现，其诊断费用远高于入厂测试的费用。

## 1.2.2 按内容分类

按照所涉及的内容，可以将集成电路测试分为参数测试、功能测试、结构测试等。

(1) 参数测试 (parameter test) 直流参数测试包括短路测试 (short test)、开路测试 (open test)、最大电流测试 (maximum current test)、泄漏测试 (leakage test)、输出驱动电流测试 (output drive current test), 以及阈值测试 (threshold level test) 等。交流参数测试包括传输延时测试 (propagation delay time test)、建立和保持时间测试 (setup and hold time test)、工作频率测试 (functional speed test)、访问时间测试 (access time test)、刷新时间测试 (refresh time test), 以及上升和下降时间测试 (rise and fall time test)。这些测试通常是和集成电路工艺相关的, 例如测量 CMOS 输出电压的时候不需要负载, 而测量 TTL 器件则要求有电流负载。

数字、模拟和数模混合信号电路均有各自定义的参数系, 要求对参数系中定义的每个参数完成准确测试和测量。

(2) 功能测试 (functional test) 功能测试由输入向量和对应的响应所组成, 检验芯片的内部结构是否实现了设计方案所要求的正确的操作。功能测试能够对模型化故障 (例如固定故障) 达到一定的覆盖率。通常, 功能向量被理解成验证用的向量, 可以验证硬件是否满足设计规范。

功能测试可以在高温下进行以保证芯片满足规范要求。例如, 如果在 85°C 下通过了测试, 那么可以保证在 70°C 能够正常工作。这种方法称为防护带 (guardbanding)。功能向量的另外一个应用是速度分级, 也就是根据芯片的性能 (可以到达的主频) 将其划分不同等级, 这样的测试通常是在不同的供电电压和不同的时钟条件 (例如时钟频率) 下进行的。

(3) 结构测试 (structural test) 早在 1959 年, Eldred 提出了一种测试方法, 在一个大规模数字系统的原始输出端口观察其内部信号的状态。这样的测试被视为结构化的, 因为它依赖电路的特定结构 (门类型、互连、网表)。我们可以将功能测试和结构测试进行简单的比较。功能测试是依赖电路功能的, 例如同样的输入信号 2 和 3, 对于加法器, 其输出应该是 5, 而对于乘法器, 其输出应该是 6, 这是与电路功能有关的。而结构测试则不关注电路功能。对于某个输入引脚的信号变化, 结构测试的测试产生算法会根据电路的内部结构 (例如相关通路上依次经过了什么类型的门) 来推算内部节点的状态变化, 以及输出引脚的值的变化的。

结构测试最大的优点就是使得我们可以研发测试相关的算法, 这是以故障模型为核心的, 即大多数测试产生算法和测试评估算法都基于某种故障模型。这在后面的章节会介绍。

## 1.3 测试成本与产品质量

工程师通常关注的是提高技术功效, 例如设计引擎的时候, 主要考虑尽可能多地将热能转化成机械能。而另一方面, 经济学家看重的是在满足客户需求的同时尽可能地降低成本。这两方面都是不可偏废的, 除了技术功效之外, 其他的因素例如材料、设备、人力等的成本, 也是很重要的。在电子测试领域, 考虑到成本的因素, 可测性设计 (Design For Testability, DFT) 应运而生。

### 1.3.1 测试成本

测试成本包括自动测试仪的费用 (初始化和运转的费用)、测试开发 (包括 CAD 工具、测试向量产生、测试编程) 的费用, 以及 DFT 的费用。例 1.1 说明了测试的成本计算方法。

**例 1.1** 在 2000 年, 一台主流的测试仪能够以 500MHz 的时钟频率来施加测试向量, 并且包含有模拟部件 (A/D 转换、波形分析等)。如果配置为 1024 引脚, 那么这样一台测试仪的价格大约是

测试仪的购买价格 = 机台的价格 + 引脚个数 × 单个引脚的价格