



“十二五”国家重点出版物出版规划项目  
国家出版基金资助项目  
四川省重点出版资金资助项目

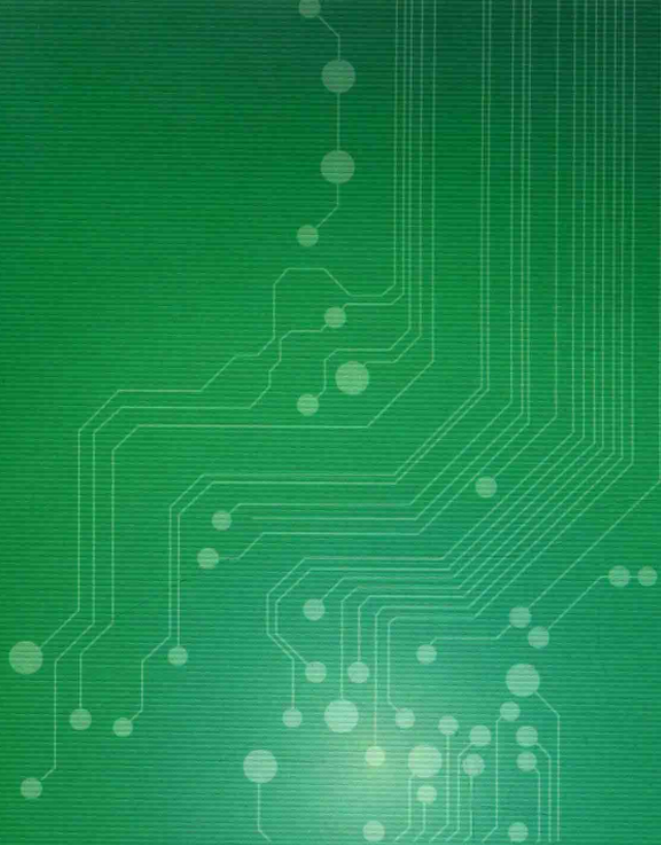
集成电路系统科技创新技术 >>>

张波  
罗小蓉◎著  
李肇基

# 功率半导体器件 电场优化技术

2010年国家科技进步二等奖

 电子科技大学出版社



集成电路系统科技创新技术

**功率半导体器件电场优化技术**

**宽带信号实时捕获与合成技术**

总策划：郭蜀燕

责任编辑：李述娜

封面设计：



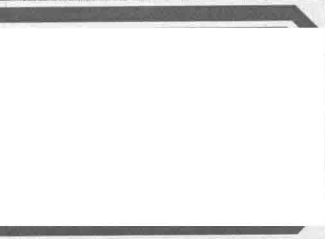
ISBN 978-7-5647-3262-2



定价：68.00元



“十二五”国家重点出版物出版规划项目  
国家出版基金资助项目  
四川省重点出版资金资助项目



集成电路系统科技创新技术 >>>

张波  
罗小蓉◎著  
李肇基

# 功率半导体器件 电场优化技术

2010年国家科技进步二等奖



电子科技大学出版社

## 图书在版编目 (CIP) 数据

功率半导体器件电场优化技术 / 张波, 罗小蓉, 李肇基著.

— 成都: 电子科技大学出版社, 2015. 12

ISBN 978 - 7 - 5647 - 3262 - 2

I. ①功… II. ①张… ②罗… ③李… III. ①功率半  
导体器件—电场—信息技术 IV. ①TN303

中国版本图书馆 CIP 数据核字 (2015) 第 246179 号

## 功率半导体器件电场优化技术

GONGLÜ BANDAOTI QIJIAN DIANCHANG YOUHUA JISHU

张 波 罗小蓉 李肇基 著

---

出 版: 电子科技大学出版社 (成都市一环路东一段 159 号信息产业大厦  
邮编: 610051)

总 策 划: 郭蜀燕

责任编辑: 李述娜

责任校对: 王 坤

主 页: [www.uestcp.com.cn](http://www.uestcp.com.cn)

电子邮箱: [uestcp@uestcp.com.cn](mailto:uestcp@uestcp.com.cn)

发 行: 新华书店经销

印 刷: 四川煤田地质制图印刷厂

成品尺寸: 170mm × 240mm 印张 29 字数 536 千字

版 次: 2015 年 12 月第一版

印 次: 2016 年 4 月第一次印刷

书 号: ISBN 978 - 7 - 5647 - 3262 - 2

定 价: 68.00 元

---

■ 版权所有 · 翻印必究 ■

◆ 本社发行部电话: 028 - 83202463; 本社邮购电话: 028 - 83201495。

◆ 本书如有缺页、破损、装订错误, 请寄回印刷厂调换。



## 前 言

功率半导体 (Power Semiconductor) 器件是进行电能 (功率) 处理的半导体器件, 其中功率 MOSFET (Metal Oxide Semiconductor Field-Effect Transistor) 是功率半导体器件中单一品种市场占有率最大的产品。功率 MOSFET 具有输入阻抗高、易驱动、频率高、正温度系数的导通电阻以及安全工作区宽等诸多优点。功率 MOSFET 有两个重要发展方向。一是遵循传统功率半导体器件的发展轨迹, 器件既能承受高击穿电压 (Breakdown Voltage,  $BV$ ), 又具有较低的导通电阻 (on-Resistance,  $R_{on}$ )。为此, 功率 MOSFET 发展了许多新结构, 其中超结 (Super Junction, SJ) 结构是最典型的代表。超结突破了传统功率 MOSFET 的理论极限, 被誉为功率 MOSFET 的里程碑器件。二是向极低导通电阻并具优良开关特性 (即栅电容小或栅电荷少) 方向发展。同时, 功率 MOSFET 中的 LDMOS (Lateral Double-diffused MOS) 因便于集成并具有良好的频率特性, 在功率集成电路和射频功率放大器领域获得广泛应用。

击穿电压或耐压是功率半导体器件最重要的电学参数之一。然而, 对于常规功率 MOSFET, 随着器件耐压的升高, 漂移区长度增加, 漂移区浓度降低, 器件的比导通电阻 (specific on-Resistance,  $R_{on,sp} = R_{on} \times$  器件表面积) 增加, 导致形成  $R_{on,sp} \propto BV^{2.5}$  的“硅极限”关系, 功率半导体器件的优值 (Figure Of Merit,  $FOM = BV^2/R_{on,sp}$ ) 降低, 器件的功耗也迅速增大。

对于横向器件而言, 击穿电压由纵向击穿电压和横向击穿电压的较小者决定。纵向击穿电压的提高可以通过增加纵向尺寸、引入附加 PN 结等方式来实现; 横向耐压的提高可以通过增加漂移区长度、降低漂移区浓度的方法来实现, 这是最直接的方法, 但这些措施不仅会增大芯片面积, 还会增加比导通电阻和功耗。结终端技术 (Junction Terminal Technology, JTT) 与 RESURF (Reduced SURface Field) 技术是通过改善电场分布而提升器件耐压的两种基本技术, RESURF 技术的另一种重要作用是降低器件的导通电阻。

结终端技术是通过在器件表面 (或体内) 采用特殊结构以增大结的曲率



半径、减小曲率效应，从而降低器件电场峰值以提高击穿电压的一种技术。结终端技术常被用来优化纵向和横向器件的表面电场。然而，一方面场板（Field Plate, FP）和场限环（Field Limiting Ring, FLR）等结终端技术提高器件耐压的幅度有限；另一方面，对纵向器件而言，场限环和场板等结终端结构占用芯片面积，增加器件的比导通电阻和降低器件的工作频率。

RESURF 技术是改善横向功率器件的击穿电压与导通电阻折中关系最常用的方法之一。RESURF 技术是在轻掺杂的外延层上制作器件，利用外延层与衬底之间的纵向耗尽作用使器件表面电场峰值降低，表面平均电场增强，并使器件的击穿点由表面移到体内，以提高器件耐压。RESURF 技术主要通过改善器件的表面电场以提高耐压，其不足之处包括：①器件的低电位端承担电压很低，电场在高电位端集中，导致在高电位端体内提前击穿，例如，对于常规 N 沟道 LD MOS，源端纵向承受电压很低，在漏端外延层与衬底的界面提前击穿；②外延层的厚度和浓度必须精确控制，因而器件击穿电压在实际工艺中不易达到最优值；③不能有效降低横向器件的漂移区长度和芯片面积，在改善耐压和比导通电阻折中方面的效果受到限制。

超结结构采用相互交替的高掺杂浓度的漂移区（N 区或 P 区）代替单一导电类型的低掺杂浓度的漂移区（N 区或 P 区），在提高器件耐压的基础上保持低比导通电阻，其特性展现出了动人的前景。

SOI（Semiconductor-On-Insulator）功率集成电路中的高压与低压单元之间以及有源层与衬底之间采用介质隔离而非 PN 结隔离。因此，SOI 高压电路具有寄生效应小、泄漏电流低、集成度高以及无自锁（Latch up）效应等优点，在低功耗、高温、高速以及抗辐射等领域倍受青睐<sup>[8-9]</sup>。但是横向 SOI 高压器件的耐压存在两个问题：①SOI 器件的介质埋层阻止耗尽层向衬底扩展，衬底不能参与耐压，耐压仅由顶层硅和埋氧层承担，然而，基于隔离和散热的考虑，顶层硅和埋氧层都不能太厚，前者一般为数微米，后者为 3~4 $\mu\text{m}$ ，因此，其纵向耐压受限。②由电场连续性原理可知，常规 SOI 器件的埋氧层电场为硅临界击穿电场的 3 倍，通常为 75~90V/ $\mu\text{m}$ ，远低于其临界击穿电场强度。因而常规 SOI 器件的耐压较低，这是 SOI 高压器件面临的重要问题之一。在著作者相关成果发表之前，有关 SOI 高压器件的纵向耐压统一理论报道尚未被发现。

此外，尽管 JTT 和 RESURF 两项技术在解决表面电场优化以提高耐压的问题上卓有成效，且相关理论和技术也较为成熟，但正如前述指出，由于电场在高电位端集中的原因，导致器件体内击穿问题成为提升器件耐压的瓶颈问题，

即功率半导体器件体内场优化问题亟待解决。

基于上述两点，本书以著作者及其团队牵头获得的国家科技进步二等奖“新型功率半导体器件体内场关键技术与应用”研究成果为基础，结合近几年团队在功率器件体内场领域研究的最新成果，详细阐述了电场优化理论和相关技术，包含 SOI 基高压器件介质场增强（Enhanced Dielectric layer Field, ENDIF）技术和体硅高压器件体内场降低（Reduced Bulk Field, REBULF）技术。前者通过增强 SOI 器件的介质埋层电场并调制顶层硅的体内场以提高器件耐压，后者通过缓解体内电场集中（降低体内场）并增强低电位端的电场以提高体硅横向器件的击穿电压。基于 SOI 基高压器件 ENDIF 和硅基高压器件 REBULF 技术，团队提出了系列高压器件新结构，开发了介质场增强 SOI 高压器件和体硅 REBULF 高压器件的设计技术，依托华润微电子有限公司、上海华虹宏力半导体制造有限公司、中国电子科技集团公司第 24 研究所和 58 研究所以及上海新傲科技股份有限公司等单位的工艺平台，研制出若干相应的新结构器件，这些都将在本书中一并向同行和读者展示。

本书共分五章，第一章介绍功率半导体器件的结终端技术和 RESURF 技术；第二章分析超结的机理特性、解析模型、器件结构和制造工艺；第三章阐述 SOI 高压器件 ENDIF 理论和技术，并详细介绍在 ENDIF 指导下提出的三类 SOI 高压器件耐压机理和新结构（电荷型 SOI 高压器件、低  $k$  型 SOI 高压器件和薄硅层 SOI 高压器件）；第四章详细介绍硅基高压器件体内场降低技术；第五章概述功率半导体器件的发展。

本书涉及的部分实验是在乔明老师、方健老师、李泽宏老师、任敏老师以及相关研究生的支持和帮助下完成的；在本书的撰写过程中，博士生章文通对第二章的撰写做了辛勤工作，博士生胡夏融、周坤、伍伟、蒋华平、陈伟中、魏杰，以及硕士生罗尹春、蒋永恒、代刚、谭桥、张彦辉、刘建平、尹超等参与了搜集资料和图文校对，在此对他们一并表示感谢！

编者

2015 年 8 月



# 目 录

Contents

前言 .....	(1)
<b>第一章 功率半导体器件的耐压基本技术 .....</b>	<b>(1)</b>
1.1 概述 .....	(2)
1.1.1 功率半导体器件的击穿电压 .....	(2)
1.1.2 结终端技术 .....	(2)
1.1.3 RESURF 技术 .....	(3)
1.2 平面终端技术 .....	(4)
1.2.1 结击穿与曲率效应 .....	(4)
1.2.2 场板技术 .....	(7)
1.2.3 场限环技术 .....	(12)
1.2.4 结终端扩展技术 .....	(16)
1.2.5 磨角终端技术 .....	(25)
1.2.6 复合终端技术 .....	(28)
1.3 衬底终端技术 .....	(31)
1.3.1 衬底终端 (STT) 的基本结构 .....	(31)
1.3.2 STT 的机理 .....	(32)
1.3.3 STT 的典型结构和特性 .....	(39)
1.4 纵向终端技术 .....	(44)
1.4.1 体内附加场 .....	(44)
1.4.2 沟槽终端技术 .....	(46)





1.4.3	纵向场板技术 .....	(50)
1.4.4	纵向 JTE (VJTE) 技术 .....	(61)
1.5	RESURF 技术 .....	(72)
1.5.1	体硅 RESURF 技术 .....	(72)
1.5.2	SOI RESURF 技术 .....	(81)
1.5.3	SR, DR 及 TR 的统一纵向耐压模型 .....	(86)
1.5.4	MR 条件和耐压模型 .....	(98)
	参考文献 .....	(100)
<b>第二章</b>	<b>超结器件 .....</b>	<b>(106)</b>
2.1	概述 .....	(107)
2.1.1	功率半导体器件的基本特性 .....	(107)
2.1.2	耐压层的作用基础与分析方法 .....	(108)
2.1.3	VDMOS 和 IGBT .....	(111)
2.1.4	超结器件的问世 .....	(114)
2.2	超结器件原理 .....	(116)
2.2.1	超结概念与电荷场 .....	(116)
2.2.2	超结电场的二维性 .....	(120)
2.2.3	超结等势关系 .....	(130)
2.2.4	超结的耐压归一化 .....	(132)
2.2.5	超结全耗尽与非全耗尽耐压模式 .....	(133)
2.2.6	超结临界场增强 .....	(136)
2.3	超结器件的基本特性 .....	(140)
2.3.1	杂质密度 $D_c$ .....	(140)
2.3.2	超结器件的耐压与比导通电阻的关系 <sup>[26]</sup> .....	(144)
2.3.3	超结器件电荷非平衡 .....	(148)
2.3.4	超结器件的 $I-V$ 特性和安全工作区 .....	(154)
2.3.5	超结器件瞬态特性 .....	(169)
2.4	横向超结器件 .....	(175)
2.4.1	泊松方程解与特征厚度 .....	(175)



2.4.2	衬底辅助耗尽效应 .....	(178)
2.4.3	等效衬底 (ES) 模型 <sup>[46]</sup> .....	(180)
2.4.4	横向超结器件的耐压与比导通电阻的关系 .....	(189)
2.4.5	横向超结器件的典型结构 .....	(191)
2.5	典型的超结器件 .....	(196)
2.5.1	超结 IGBT .....	(196)
2.5.2	部分超结结构 .....	(201)
2.5.3	超结肖特基器件 .....	(202)
2.5.4	OB 超结结构 .....	(204)
2.5.5	高 $k$ 耐压层结构 .....	(205)
2.5.6	介质电荷薄层超结结构 .....	(207)
2.6	超结制作技术 .....	(207)
	参考文献 .....	(211)
<b>第三章</b>	<b>介质场增强技术及其 SOI 横向高压器件 .....</b>	<b>(219)</b>
3.1	SOI 技术概述 .....	(219)
3.2	SOI 高压器件和模型 .....	(223)
3.2.1	SOI 高压器件 .....	(223)
3.2.2	SOI 高压器件解析模型 .....	(227)
3.3	SOI 高压器件介质场增强技术 .....	(231)
3.3.1	SOI 高压器件介质场增强理论分析 .....	(231)
3.3.2	介质场增强模型与技术 .....	(243)
3.4	电荷型 SOI 高压器件 .....	(254)
3.4.1	具有双面电荷槽的新型 700V SOI LDMOS .....	(254)
3.4.2	部分 SOI 的新型高压 (大于 1200V) 电荷槽型 MOSFET .....	(258)
3.4.3	新型薄膜双面阶梯埋氧层功率 MOSFET .....	(269)
3.4.4	具有消除背栅偏置效应的新型高压 SOI 器件 ...	(272)
3.4.5	界面固定电荷 SOI 高压器件新结构和耐压模型 .....	(284)



3.5	低 $k$ 型介质埋层 SOI 高压器件 .....	(293)
3.5.1	变 $k$ 介质埋层 SOI 高压器件与解析模型 .....	(293)
3.5.2	低 $k$ 介质埋层 PSOI 高压器件 .....	(304)
3.6	薄膜 SOI 高压器件 .....	(309)
3.6.1	薄硅层临界电场模型与阈值能量模型 .....	(309)
3.6.2	薄膜 SOI 高压器件及耐压模型 <sup>[81]</sup> .....	(323)
3.6.3	薄膜 SOI 阶梯漂移区 LDMOS 新结构及耐压模型 <sup>[82]</sup> ... .....	(328)
	参考文献 .....	(337)
<b>第四章</b>	<b>体内场降低技术与新器件 .....</b>	<b>(344)</b>
4.1	REBULF 技术 .....	(344)
4.2	REBULF LDMOS 结构与耐压分析 .....	(351)
4.3	部分浮空层 REBULF LDMOS .....	(359)
4.4	多浮空层 REBULF LDMOS .....	(364)
4.5	REBULF SJ-MOSFET .....	(367)
4.6	部分浮空层 SJ-MOSFET 理论分析和工艺实现 .....	(372)
	参考文献 .....	(378)
<b>第五章</b>	<b>功率半导体器件的发展 .....</b>	<b>(381)</b>
5.1	功率半导体器件的定义与作用 .....	(381)
5.2	功率半导体器件的分类 .....	(382)
5.3	功率半导体器件的发展 .....	(383)
5.3.1	功率二级管 .....	(383)
5.3.2	功率晶体管 .....	(388)
5.3.3	晶闸管类器件 .....	(427)
5.3.4	功率集成电路 .....	(428)
5.4	总结 .....	(429)
	参考文献 .....	(430)
<b>附录</b>	<b>.....</b>	<b>(443)</b>



## 功率半导体器件的耐压基本技术

半导体器件的反向击穿机理分为热击穿 (Thermal Runaway) 与电击穿。热击穿是指载流子在高反向电压下获得能量, 再将获得的能量通过碰撞传递给晶格, 使晶格能量增加, 结温升高, 本征载流子浓度随结温迅速升高, 导致反向饱和电流迅速增加, 反向饱和电流和结温形成正反馈, 使电流和温度无限增大, 最终致使器件烧毁。热击穿是永久破坏性的不可逆击穿。当反偏电压达到某临界值时, 反向电流急剧升高, 这种现象称为 PN 结的电击穿。它分为齐纳击穿和雪崩击穿。齐纳击穿一般发生在掺杂浓度较高或缓变结的杂质浓度梯度大、势垒区较窄的 PN 结中。功率器件因耐高压而需要较低掺杂浓度和较长漂移区, 因此其击穿机理主要是雪崩击穿。

本章主要讨论提高功率半导体器件击穿电压的两种基本技术: 结终端技术 JTT 和降低表面场技术 RESURF。所谓结终端技术就是在主结附近引入电荷, 利用这些电荷产生的附加电场来调制主结的电场; 一方面降低主结的曲率效应和电场峰值, 另一方面扩展耗尽区宽度, 从而获得优化的电场分布, 提高器件的击穿电压。在结终端技术中, 著作者讨论常规的几项终端技术 (场板 (Field Plate, FP)、场限环 (Field Limiting Ring, FLR)、结终端扩展 (Junction Termination Extension, JTE)、扩散保护环 (Diffused Guard Ring, DGR) 和横向变掺杂 (Variation of Lateral Doping, VLD), 同时还将讨论著作者总结的衬底终端技术 (Substrate Termination Technology, STT) 和纵向终端技术 (Vertical Junction Termination technology, VJTT)。RESURF 技术就是利用衬底对漂移区的耗尽, 使漂移区电荷由体区和衬底共享, 漂移区电场由一维场转变为二维场, 从而降低体区主结的表面电场峰值, 提高器件的击穿电压。在 RESURF 技术中, 著作者将讨论基于体硅和 SOI 的三种 RESURF 技术: Single-RESURF (SR)、Double-RESURF (DR) 和 Triple-RESURF (TR) 技术, 同时给出三种 RESURF 技术的统一纵向耐压模型以及推广至 Multi-RESURF (MR) 的耐压模型和相应的优化条件。



通过对本章内容的讨论,读者将了解到耐压与电场和电荷的关系。具体而言,耐压技术是电场分布的优化技术,其实质是优化设计电荷分布,“荷生场,场生势”是其本质的反映。耐压的问题最终回归到电荷的问题,这是贯穿整个耐压设计的基本内涵。

## 1.1 概述

本节对本章的内容进行简要概述,首先介绍功率器件击穿电压的概念,然后分别引出两种基本的耐压技术。

### 1.1.1 功率半导体器件的击穿电压

多数情况下,作为开关器件的功率器件通过控制电流的“开通”和“关断”实现对电流和电压的变换。但是,现代电力电子领域里的开关器件与低压逻辑器件不同,功率半导体器件的两大突出特性为需要承受高反向击穿电压和具有大开态电流<sup>[1]</sup>。在众多参数当中,击穿电压是功率器件的基本特性和首要目标,而大开态电流可以通过增加器件宽度或者多个元胞并联来实现。要承受高的击穿电压,功率半导体器件的尺寸必须远大于低压逻辑器件,以600V级LDMOS为例,其漂移区长度达到40 μm以上。在这种大尺寸情况下,表面曲率、电荷分布会对器件的击穿电压带来显著的影响。

功率半导体器件工作在阻断状态时,仅有非常微小的电流流过,在器件内部会产生耗尽区并存在较强的电场。载流子在强电场的作用下运动,被电场加速并与晶格发生碰撞。在两次碰撞之间,当载流子加速获得的能量达到电离的阈值能量 $\varepsilon_T$  (Threshold Energy)时,可能使价带电子激发至导带,产生二次电子-空穴对,成为二次载流子。这些二次载流子同样在强电场的加速下,进一步与晶格发生碰撞,产生下一代载流子,如此往复,形成载流子的倍增效应,使反向电流急剧上升,最终导致器件发生雪崩击穿。功率半导体器件的击穿电压是指器件在反偏电流急剧上升之前所能承受的最高阻断电压。

功率半导体器件能承受的击穿电压取决于发生雪崩击穿时的电场分布,即 $V_B = \int_s E ds$ ,其中 $s$ 为击穿路径。功率半导体器件的耐压技术是电场分布的优化技术,也能降低局部高场、提高整体平均电场并扩展耗尽区宽度。改善电场分布有两项基本技术:结终端技术和降低表面场技术。

### 1.1.2 结终端技术

雪崩击穿按照发生的位置可分为表面击穿和体内击穿(分别对应于表面击穿电压和体内击穿电压),器件的耐压由二者中的较小者决定。因此,设计器件时,一方面要合理选择材料参数和器件结构参数以提高体内击穿电压,另



一方面,实际的平面结(Planar Junction)因表面曲率效应使器件的表面最大电场大于体内最大电场,这使得器件耐压一般由表面击穿决定,所以通常在表面或体内采用特殊结构以增大曲率半径,减小曲率效应以降低表面电场峰值,提高表面击穿电压。这类技术称作结终端技术,是功率器件主要的耐压技术之一<sup>[2]</sup>。必须指出,由于体内电场和表面电场是相互关联的,因此,这两方面应进行综合考虑。

结终端技术的实质就是在作为主结的PN结附近加入或减少电荷 $\Delta Q$ 。这些电荷对原有电场 $E_0$ 进行调制,以降低主结的电场峰值,并将耗尽区向远离主结的方向延展,使表面电场分布更加优化,以提高表面击穿电压。结终端的耗尽区电荷及电场分布可以表示为

$$Q(r) = Q_0(r) \pm \Delta Q(r) \quad (1-1)$$

$$E(r) = E_0(r) + \Delta E(r) \quad (1-2)$$

其中, $Q_0(r)$ 和 $E_0(r)$ 是未使用结终端技术时主结耗尽区的电荷和电场, $\Delta Q(r)$ 和 $\Delta E(r)$ 是结终端技术加入或减少的附加电荷及其产生的附加电场。

结终端结构大致可分为两类。一类是在主结的耗尽区表面附近选择性地加入附加电荷 $\Delta Q(r)$ ,以降低最大表面场并扩展耗尽区,通常用于平面工艺,如结终端扩展、场板、场限环、横向变掺杂等。本书将这类结终端技术称为平面终端技术。

相对于上面提到的平面终端技术,另一类为纵向终端技术。该技术是从半导体表面向体内操作,去除主结附近的部分半导体区域,通过对主结附近的半导体几何形状的控制,一方面可使强电场得以释放,如磨角终端技术(Bevel Edge Termination Technology, BETT);另一方面,采用刻槽去除电场集中的半导体区域,或者刻槽并填充绝缘介质,将高电场转移至临界击穿电场更高的介质中,从而提高击穿电压。典型的纵向终端制作方法简述如下:腐蚀成槽之后填充介质,适于台面晶体管[以下称为沟槽终端(Trench Terminative)技术];划片之后的边缘腐蚀,适于同轴封装的器件;晶圆片的边缘磨角,适于大电流晶闸管和整流管(以下称为磨角技术)。

这些结终端技术各有优缺点和适用范围,为此,以上几种结终端常常结合构成复合终端结构,本节也一并介绍。下面首先对曲率效应做简要讨论,然后分别详细介绍各种结终端技术及其应用。

### 1.1.3 RESURF 技术

早期的LDMOS制作是在比较厚的轻掺杂外延层上制作体区、源区和漏区,形成完整的器件。在阻断状态下,表面电场容易在体区与漂移区的PN结处产生电场尖峰,并且沿表面向漏端逐渐衰减,导致器件在较低的反偏电压下在体区附近的表面发生提前击穿,此时漂移区非全耗尽(Non-Fully Depletion, NFD)。在阻



断状态下,漂移区的耗尽可以看作是一维耗尽,施主电荷发出的电力线只能横向终止于体区受主电荷。1979年 J. A. Appels 和 H. M. J. Vaes 提出 RESURF 概念<sup>[3]</sup>,通过减薄外延层后,发现器件的击穿电压可以高达 1200V,突破了早期单片功率集成电路的应用电压难以超越 250V 的限制<sup>[4]</sup>。这与纵向器件的耐压设计显著不同,在纵向器件设计中,要获得高的击穿电压往往需要较厚且掺杂浓度较低的外延层作为漂移区。然而,在设计 LDMOS 等横向功率器件时,外延层的厚度( $t_{\text{epi}}$ )和掺杂浓度( $N_{\text{D}}$ )需要保持在一定的优化范围内,才能使器件获得高耐压。1980年 J. A. Appels 等人给出了一个简单的关系<sup>[5]</sup>,漂移区杂质的最优剂量  $N_{\text{D}} \times t_{\text{epi}} \approx 1 \times 10^{12} \text{ cm}^{-2}$ ,过高的剂量将使漂移区不能全耗尽,耐压较低。正是这样一个简单的理论发现,成为横向功率器件的一个里程碑式的进步。RESURF 原理在横向器件设计中得到了广泛运用,把功率集成电路大幅拓展到高压领域。在 2012 年举行的功率半导体领域顶级学术会议——国际功率半导体器件与集成电路年会 (ISPSD) 中,RESURF 理论发明人 H. M. J. Vaes 被授予了先驱奖。

RESURF 原理是利用衬底与漂移区形成的纵向 PN 结辅助耗尽漂移区,使整个漂移区的耗尽由原来的一维耗尽转变成二维耗尽,漂移区电荷的电力线部分转向衬底,即漂移区电荷由体区和衬底共同分享,从而有效地降低体区表面的电场,允许器件承受更高的击穿电压。电力线垂直转向是降低表面电场的关键所在。这与第二章将要介绍的超结器件在原理上具有相似之处。剑桥大学的 Florin Udrea 曾指出,超结器件亦可以看成是一种高级的 RESURF<sup>[6]</sup>。RESURF 技术不仅大幅提高了 LDMOS 等横向器件的耐压,对导通电阻也有明显的改善。经过几十年的发展,RESURF 技术不断地延伸出新的概念,如 DR、TR 等。本章的 1.5 节会对 RESURF 原理进行详细阐述。

## 1.2 平面终端技术

### 1.2.1 结击穿与曲率效应

雪崩击穿源于强电场下载流子在平均自由程中获得足够的能量(对电子而言,获得的能量大于  $1.5E_{\text{c}}$ ,  $E_{\text{c}}$  为此半导体的禁带宽度),与晶体中价键电子碰撞并传递能量使其脱离价键的束缚,将价带中的电子激发到导带,产生一对二次电子-空穴对,这个过程称为碰撞电离。二次电子-空穴对继续进行碰撞电离,如此往复,形成雪崩倍增。定义一个电子(或空穴)沿电场方向在单位距离内通过碰撞电离而产生二次电子-空穴对的数目为电子电离率  $\alpha_{\text{N}}$ (或空穴电离率  $\alpha_{\text{P}}$ )。可见,电离率强烈依赖于电场强度,在 PN 结耗尽区内的电场强度从结面处向两侧下降,因而并非耗尽区的每一点对雪崩倍增贡献相同,经计算,电场值为



最高电场的 80% 时对应的电离率值仅有最高电场处电离率值的 20%。因此,在峰值电场附近极窄的范围内是强雪崩倍增区,根据击穿条件  $\int_0^{x_0} \alpha dx = 1$ , 强雪崩倍增区对击穿贡献极大。这是功率器件的设计重点,也是采用若干技术降低峰值电场以提高耐压的根本原因。Fulop 给出的近似公式<sup>[7]</sup> 为

$$\alpha_N = \alpha_P = 1.8 \times 10^{-35} E^7 (\text{cm}^{-1}) \quad (1-3)$$

利用  $\int_0^{x_0} \alpha dx = 1$  和式(2-3),可以得到室温下理想平行平面硅单边突变 PN 结击穿电压的近似公式:

$$V_B = 5.34 \times 10^{13} N_B^{-3/4} \quad (1-4)$$

其中,  $N_B$  是低掺杂一侧的浓度。

对于功率 MOSFET 和 IGBT 等绝大部分现代电力电子器件而言,其主要承担耐压的 PN 结通常用平面工艺制作,即在光刻形成掺杂窗口后进行扩散或离子注入并推结形成。在窗口中间的区域,冶金结面近似为平行平面结;在角和边之处,冶金结面则分别近似为球面和圆柱面,其曲率半径减小导致电场集中和耐压降低,称为曲率效应。

假设角和边的区域可分别用泊松(Poisson)方程的球对称解和圆柱对称解做近似求解:

$$\frac{1}{r^n} \frac{d}{dr} [r^n E(r)] = - \frac{qN_B}{\epsilon_s} \quad (1-5)$$

则  $n = 1$  时,该式对应于圆柱面,  $n = 2$  时,该式对应于球面;  $r$  是圆柱面或球面的半径。推得圆柱结和球面结的归一化击穿电压为<sup>[8-9]</sup>

$$\frac{V_{B,CY}}{V_{B,P}} = 0.5(\eta^2 + 2\eta^{6/7}) \ln(1 + 2\eta^{-8/7}) - \eta^{6/7} \quad (1-6)$$

$$\frac{V_{B,SP}}{V_{B,P}} = \eta^2 + 2.14\eta^{6/7} - (\eta^3 + 3\eta^{13/7})^{2/3} \quad (1-7)$$

其中,  $V_{B,P}$ ,  $V_{B,CY}$  和  $V_{B,SP}$  分别表示平行平面结、圆柱结和球面结的击穿电压;  $\eta = r_j/W_M$  称为归一化曲率半径,描述冶金结面曲率效应的大小,  $W_M$  是平行平面结击穿时的耗尽层宽度,  $r_j$  是冶金结面的曲率半径。图 1-1 中的虚线给出了式(1-6)和式(1-7)的结果。由于曲率效应,球面结和柱面结的击穿电压均小于理想的平行平面结击穿电压,即归一化击穿电压小于 1。  $\eta$  越小,冶金结面的半径越小,曲率效应越显著,电场越集中,归一化击穿电压越低。球面结的击穿电压较柱面结低,因此在功率器件的设计中需尽量避免球面结,例如,在边角处进行倒角使其呈较大的圆弧形,冶金结面的边缘基本上成为柱面结。若柱面结的耐压





仍然较低,则通过结终端技术降低曲率效应。图 1-1 中,  $f_{\max}$  表示在相同衬底浓度与外加电压条件下表面最大电场与平行平面结最大电场的比值。

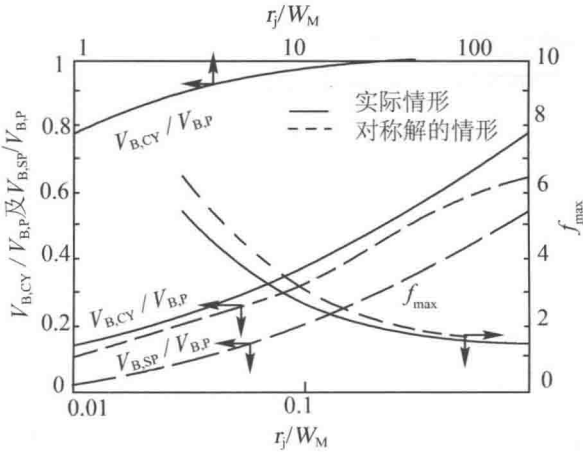


图 1-1 球面和柱面结的归一化击穿电压和最大电场<sup>[11]</sup>

前述的圆柱面或球面对称解是一个近似解。陈星弼指出,圆柱面解和平行平面结的一维解在两部分的交界处  $C_1C_2$  不能连续过渡,如图 1-2 所示<sup>[10]</sup>。文献 [11-13] 提出利用椭圆圆柱坐标求解泊松方程以获得与实际更接近的电场分布。该方法的第一步是将坐标、电场及电势归一化;第二步是求解椭圆形圆柱体(简称椭圆圆柱)坐标下的泊松方程,求解泊松方程的关键是电势的表达式需根据边界条件进行相应变化。归一化泊松方程的具体求解过程见参考文献[13]。

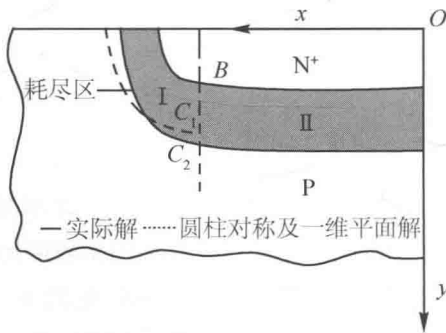


图 1-2 单边突变结的柱面解与一维平面解在交界处不连续

最终,击穿电压的近似表达式<sup>[11]</sup>为

$$\frac{V_{B,CY2}}{V_{B,P}} = 0.545 \ln \left[ \frac{8}{\ln(6.73/\eta)} \right] \quad (1-8)$$