



国际信息工程先进技术译丛

WILEY

信号处理系统的 FPGA实现

**FPGA-based Implementation of Signal
Processing Systems**

罗杰·伍兹 (Roger Woods)

约翰·麦考利斯特 (John McAllister)

[英]

盖伊·莱特博迪 (Gaye Lightbody)

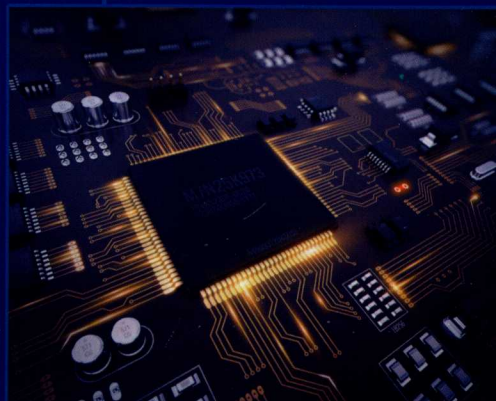
著

易英 (Ying Yi)

李争平 曾勇波 黄明 白文乐 译



 **机械工业出版社**
CHINA MACHINE PRESS



技术译丛

信号处理系统的 FPGA 实现

[英]

罗杰·伍兹 (Roger Woods)

约翰·麦考利斯特 (John McAllister)

著

盖伊·莱特博迪 (Gaye Lightbody)

易英 (Ying Yi)

李争平 曾勇波 黄明 白文乐 译



机械工业出版社

本书从数字信号处理技术、定点、浮点的运算到微处理器技术、FPGA技术的演进过程出发,以结构原理为基础,讨论了各种典型FPGA系列的特点,为器件选型提供指导。同时,详细讲解了FPGA的DSP快速设计流程、先进的综合工具、性能测试分析工具、性能优化技术、低功耗设计及可重配置技术。本书还提供了诸如自适应波束形成器等大量翔实的FPGA实现DSP的复杂实例,为开发者提供便利。全书共14章,涵盖了DSP基础知识、DSP处理器的发展、各系列FPGA介绍、FPGA实现DSP的方法、IRIS综合技术、IP核技术、异构FPGA模型化设计、自适应波束形成器、低功耗技术及可重配置技术。全面展现了FPGA的特点及各种主流开发技术。

本书适合有一定电路与信息处理基础的研究生或工程开发人员使用。

Copyright © 2008 John Wiley & Sons Ltd.

All Rights Reserved. This translation published under license. Authorized translation from the English language edition, entitled FPGA - based Implementation of Signal Processing Systems, ISBN: 978 - 0 - 470 - 03009 - 7, by Roger Woods, John Mcallister, Ying Yi, Gaye Lightbody, Published by John Wiley & Sons. No part of this book may be reproduced in any form without the written permission of the original copyrights holder.

本书中文简体字版由Wiley授权机械工业出版社独家出版,未经出版者书面允许,本书的任何部分不得以任何方式复制或抄袭,版权所有,翻印必究。

北京市版权局著作权合同登记 图字:01-2014-7259号。

图书在版编目(CIP)数据

信号处理系统的FPGA实现/(英)罗杰·伍兹(Roger Woods)等著;
李争平等译. —北京:机械工业出版社,2017.2

(国际信息工程先进技术译丛)

书名原文:FPGA - based Implementation of Signal Processing Systems

ISBN 978-7-111-55723-4

I. ①信… II. ①罗…②李… III. ①数字信号处理②可程序逻辑器件 - 系统设计 IV. ①TN911.72②TP332.1

中国版本图书馆CIP数据核字(2016)第311054号

机械工业出版社(北京市百万庄大街22号 邮政编码100037)

策划编辑:江婧婧 责任编辑:江婧婧 翟天睿

责任校对:刘雅娜 封面设计:马精明

责任印制:李 昂

三河市国英印务有限公司印刷

2017年3月第1版第1次印刷

169mm×239mm·23.75印张·452千字

0 001—3 000册

标准书号:ISBN 978-7-111-55723-4

定价:109.00元

凡购本书,如有缺页、倒页、脱页,由本社发行部调换
电话服务 网络服务

服务咨询热线:010-88361066 机工官网:www.cmpbook.com

读者购书热线:010-68326294 机工官博:weibo.com/cmp1952

010-88379203 金书网:www.golden-book.com

封面无防伪标均为盗版

教育服务网:www.cmpedu.com

译者序

由于集成电路与 DSP 技术的迅猛发展,可编程逻辑电路的处理能力越来越强大,不仅具有强大的逻辑门阵列,而且嵌入了 ARM 核等微处理器与乘法器等协处理器,可以在 DSP、控制等相关领域广泛应用。国内外对可编程逻辑设计的专业人才需求较大,尤其是高级人才缺口较大。目前大部分可编程逻辑电路的相关教材着重讨论应用实现方法,本书则尝试将电路内部实现原理与方法呈现给读者,从而能从容应对高级应用开发。本书将 DSP 与 FPGA 逻辑电路原理与实例结合起来讲解,能很好地帮助开发者深入理解 FPGA 的原理并快速完成开发任务。

本书的一个重要特点是把 DSP 与 FPGA 结合起来讲解。从 DSP 逐步过渡到 DSP 算法的逻辑电路实现,使得采用 FPGA 电路实现 DSP 算法概念清晰化。

本书的另一个特点是详细比较了 Xilinx、Altera、Lattice 等大型 FPGA 生成时的电路实现架构,并指出了各种型号 FPGA 的特点,为开发者深入理解 FPGA 的原理、合理进行 FPGA 的选型有很大益处。

本书讲解深入浅出,适合有一定电路与信息处理基础的研究生或工程开发人员使用。本书可以帮助他们切实掌握信号处理的 FPGA 实现原理,并快速利用 FPGA 实现各种信号处理算法;还可以帮助他们深入理解 FPGA 架构,提升根据各种技术指标进行 FPGA 优化的基本技能。

全书共 14 章,由北方工业大学白文乐副教授、李争平副教授、黄明讲师以及北京邮电大学曾勇波博士进行翻译和校对。其中,曾勇波负责第 1~4 章、第 6 章和第 12 章;李争平负责第 5 章、第 7~9 章和第 13 章;黄明负责第 10 章、第 11 章和第 14 章。白文乐副教授对全书进行了统稿。

由于译者水平有限,译文不妥之处在所难免,希望广大读者批评指正。

译者

2016 年 10 月

原 书 序

数字信号处理 (DSP) 用途广泛, 如高分辨电视、移动电话、数字音频、多媒体、数字相机、声纳探测器、生物图像、全球定位、数字无线电、语音识别等。在需求的不断推动下, DSP 技术在以上领域的应用直到硅芯片技术发展起来才成为可能。为以上应用开发可编程 DSP 芯片和专用片上系统解决方案在过去 30 多年来一直是研发的热点。实际上, 一类专用微处理器已经向 DSP 演进, 即 DSP 微处理器 (或 DSP μ s)。

硅技术成本逐渐增加, 让开发专用片上系统 (SoC) 承受了相当大的压力, 并且意味着这一技术将更多地面向高容量或专业化的市场。另一策略是使用微处理器类解决方案, 比如微控制器、微处理器和 DSP 微处理器, 但是有时候这些方法不能很好地满足许多 DSP 应用对速度、面积和功耗的要求。最近, 现场可编程门阵列 (FPGA) 被认为是一种 DSP 硬件实现技术, 因为它采用与 SoC 类似的方法, 可以根据计算、存储和功耗的应用需求开发出最合适的电路架构。这一观点消除了 FPGA 只是“胶合逻辑”平台的偏见, 且揭示了 FPGA 是多种组件的有机统一体, 可以用来开发 DSP 系统。由 DSP 系统描述到实现高效的 DSP 系统仍然是一个十分复杂的问题, 然而 FPGA 预制构件技术避免了开发 SoC 时面临的大量深层次细节问题。

本书从多层次对 FPGA 实现流程进行讨论, 从而说明如何采用 FPGA 技术实现 DSP 系统。首先, 本书包含了电路级优化技术, 允许底层 FPGA 结构以逻辑资源中的查找表 (LUT) 与触发器形式被智能调用。对具体 DSP 算法运算的仔细研究表明, 将系统需求映射为面积更加优化且更快速的底层硬件实现是可行的。这表明基于 LUT 的高效 FPGA 实现可以展现一些 DSP 系统的本质特性, 如 DSP 变换、快速傅里叶变换 (FFT)、离散余弦变换 (DCT) 和固定参数滤波器。

其次, 考虑了从 SFG 表示创建高效的电路架构的问题。很明显, 有效使用底层资源来匹配吞吐量的电路架构是成本最低的解决方案。这要求开发者挖掘 DSP 系统高度规律的、高度计算的、数据独立的本质来为 FPGA 实现设计高度并行的流水线电路架构。多重分布式逻辑资源和专用的寄存器使得这种方法具有高度的吸引力。书中讲述了采用必要层次的并行与流水线为拟建设的系统搭建高效电路架构的技术。最后, 随着技术演变, FPGA 现已形成了一个包含多种硬件和软件组件及互连构造的异构平台。很明显, 人们对真正系统级设计流程的渴望需要更加高级的系统建模语言来支撑。前几章详述了在实现硬件功能时如何进行系

列优化的语言与方法，同时讲述了诸如互连与存储的系统级考量。这些目前仍然是很热门的研究方向。

本书涵盖了 FPGA 实现的这三个领域，并聚焦于后两个领域，即电路架构的创建和系统级建模，因为这些代表了更新的挑战。此外，电路级优化技术也在其他多处有非常详细的论述。这体现了本书和其他讲述 DSP 系统 FPGA 实现文献之间的一个主要区别。

总之，本书尽量以作者搭建 DSP 系统的实际经验来支撑论述。书中详细列举了大量的例子，其中包括在自适应波束形成器设计举例中基于 QR 的递归最小二乘（RLS）滤波器的实现，也包括自适应差值脉冲编码调制（ADPCM）语音压缩系统的设计。本书始终使用有限冲激响应（FIR）及无限冲激响应（IIR）滤波器来讲述映射和重定时。采用了一个基于 FFT 的应用讲述低功率优化，采用了波形数字滤波器（WDF）讲述分层重定时开发。

除了建模和设计方面，本书也关注知识产权（IP）核的发展，因为它已经成为 DSP 系统开发中一个关键的方面。当缺少相关的高级设计工具时，设计者可以依靠创造可重复使用的组件模块来缩小设计差距，即技术和设计师有效使用该技术的能力之间的差距。有一章重点描述了这种 IP 核的创建，另一章专门讲述了一个重要的自适应滤波器架构的核的创建，即 RLS 滤波器。

读者

本书针对致力于使用 FPGA 技术实现信号处理应用的工程师们。前面的章节力求帮助大学生和毕业生完成他们的学业，带领大家浏览 DSP 系统映射到 FPGA 硬件时所做的各种权衡的简单例子。本书的中间部分包含了大量复杂的使用 FPGA 实现 DSP 系统的实例，清楚展现了使用 FPGA 的好处。这些例子包括：矩阵乘法、自适应滤波系统、波形数字滤波器和基于 RLS 滤波器的自适应波束形成系统。从算法复杂度到 FPGA 硬件映射的清晰论述将为各类读者呈现利用 FPGA 硬件实现这些解决方案的专业知识，这在现有的文献中是无法找到的。值得一提的是，本书是作者 30 多年实践经验的完美归纳。

本书聚焦于可以构建复杂 DSP 系统的 FPGA 异构平台。需要特别说明的是，我们采用系统级的问题解决方法，比如系统级优化、IP 核集成与实现、系统通信架构与低功耗实现等。目的是让设计者能够利用书中讲述的技术与实例，结合现有的基于 C 语言或 HDL 语言的开发方案实现他们自己的想法。

组织方式

本书的目的是通过 FPGA 技术实现 DSP 中具有挑战性的实例来启发人们；为了这一目的，它主要讲述把 DSP 算法转换为合适电路结构的高层映射，而不是赘述 FPGA 的具体优化。其他文献更多侧重于结合基于 HDL 的设计工具来讲述，而本书把 FPGA 当成可以开发复杂 DSP 系统的硬件来讲述。这样，FPGA 就成为

一个包含复杂资源的异构平台,把软、硬件处理器,专用 DSP 模块,处理单元通过可编程快速专用连接互联。本书由 4 个主要部分组成。

第一部分,即第 2~5 章讲述了 DSP 系统和实现的基础知识,帮助进入这些领域做入门引导。第 2 章从对 DSP 简单论述开始,涵盖了数字滤波和变换。详述了基本的滤波器结构,自适应滤波器算法。至于变换方面,本章简单讲述了 FFT、DCT 和离散小波变换(DWT)。同时,讲述了一些在心电图(ECG)的应用实例来说明一些关键知识点,为本书后续的例子做背景铺垫。

第 3 章重点讲述计算机运算,它在 DSP 系统实现中很重要。本章从对数字系统的思考与基本运算开始,引出了加法器和乘法器。这些是 FPGA 核心模块的代表,但主要思考的是二次方根和除法执行电路,因为一些 DSP 应用中需要这些知识。对其他数的表示也做了简单介绍,即有符号数的表示(SDNR)、对数系统(LNS)、余数系统(RNS)和坐标旋转数字计算机(CORDIC)。但是,因为没有例子使用这些数值系统,所以没有详细讲述。

第 4 章涵盖了各种实现 DSP 算法的现有技术。理解其他技术的特点很重要,有助于用户选择最合适的技术。在 FPGA 技术与其他技术比较中发现区别显著。这些技术包括以 ARM 处理器与 DSP 为代表的微处理器技术,主要详细讲述了德州电气 TMS320C64 系列。之后介绍了并行机制,包括脉动阵列、单指令多数据(SIMD)及多指令多数据(MIMD)。紧接着讲述了 SIMD 机制的两个例子,即 Imagine 处理器和 Clearspeed 处理器。

在这部分的最后,也就是第 5 章,详细讲述了商用 FPGA,主要集中于两大供应商 Xilinx 和 Altera 的 Virtex 和 Srratix 系列 FPGA,也讲述了一些 Lattice、Atmel 和 Actel 的技术。这一章给出了它们的架构细节、DSP 的具体处理能力、存储器结构、时钟网络、互连框架和 I/O 及外部存储接口。

本书第二部分讲述了三个主要阶段的系统级实现,即从电路架构到具体 FPGA 系列上的有效实现、从信号流图(SFG)表示创建电路架构,以及来自一个计算表示高级模型的系统级规范和实现方法。在这部分的起始部分,即第 6 章,从电路架构描述角度讲述了 FPGA 设计的有效实现。因为这部分内容已有大量文献出版,所以这一章只是综述了现有的有效 DSP 实现技术,重点讲了分布式算法(DA),同时详细讲述了别处未讲到的折减系数乘法器(RCM)。后边讲到的技术对固定参数函数很有用,如固定系数滤波器、DCT 等变换。这一章也简要探讨了如存储器实现和延时实现的细节设计问题。

第 7 章概述了实现快速设计的工具,并用 Petri 网络和其他计算模型(MoC)的形式讲述了高级嵌入式系统的系统规范。涉及的工具有 Gedae、Compaan、ES-PAM、Daedalus 和 Koski。这一章也讲到了 FPGA 的 IP 核生成工具,包括 Labview FPGA、Synplify DSP、基于 C 的快速 IP 核设计工具及 MATLAB。

第8章讲述了下一个阶段工作,即DSP算法如何以信号流程图(SFG)或者数据流程图(DFG)的形式被映射到第6章开头讲述的电路架构中去。这个工作基于由K-K-Parhi撰写的一本优秀教材(《VLSI 数字信号处理系统:设计和实现》,Wiley, 1999),它讲述了大量技术如何被应用到基于VLSI的信号处理系统中。这一章讲述了DFG描述怎么被转换成不同级别的并行和流水线结构,形成最符合应用需求的电路架构。这部分技术以简单的FIR和IIR滤波器为例进行了讲解。

第9章介绍了IRIS工具,开发这一工具主要为了从DSP系统SFG描述和算法及第8章所述的大量特征中提取创建电路架构的过程产物。它用WDF例子进行说明,并展示了系统级设计中分层这个主要问题,提出白盒方法是一个可行的解决途径。这些章节为书中后续章节系统级问题的讲解做了准备。

本书的最后部分,第10章和第12章讲述了设计挑战的第三方面,突出讲述了高级设计。第8章和第9章已经讲述了如何提取DSP功能层来生成FPGA实现,通常被认为是生成DSP IP核的有效方法,是系统部分性能的标志。第10章详细讲述了创建硅IP核的原理,突出了不同的风格,即硬、软和固件风格,阐述了复用设计核心理念,这被认为是缩小设计效率差距的关键方法。IP核的产生已经成为长期与FPGA关联的增长型行业;实际上,以最短的设计时间获得高度有效的FPGA解决方案在使用FPGA实现DSP过程中变得至关重要。第10章讲述了以公司的实践经验为基础的核的产生细节,以及与之伴随的IP核演进历史,并回顾了如何创建可参数化IP核的整个过程,顺便简述了来自Xilinx和Altera的现有FPGA IP核。

沿着高级设计这条主线,第11章讲述了异构FPGA的模块化设计。这一章集中讲述数据流建模这一适合开发DSP系统的平台,介绍了多种风格的数据流,包括了同步数据流、环形的静态数据流、多维的同步数据流。快速综合和优化技术用以由DFG创建有效的嵌入式软件方案,涵盖了多个主题,如图表平衡、群集、代码生成和DFG作用物的可配置性。然后,这章描绘了如何经由白盒概念把流水线IP核包含进来,这里用了两个例子进行说明,即一个标准化的桥形网络滤波器(NLF)例子和一个固定的波束形成器例子。

第12章剖析了创建软的、高度可参数化的RLS滤波器核。这一章开始介绍了自适应波束形成和基于QR识别算法进行波束形成的有效方法。然后,从算法讲述开始,清楚讲述了如何由一系列架构形成单一通用架构。同时,考虑了定点和浮点算法的选择及控制开销等问题。第13章讲述了FPGA实现的关键部分,也是硬件设计的另一关键部分,即低功耗设计。只有在与微处理器比较时,FPGA才是所谓的低功率解决方案,在与相应的ASIC比较时,FPGA实现还存在很大差距。本章开始主要讲述了各种静态和动态功耗源,之后提出了大量的解决方案,首先来减少静态功耗,受限于FPGA的固有属性而减少有限,然后来减少

动态功耗，主要通过减少 FPGA 实现中的开关电容达到目的。本书使用了一个基于 FFT 的实现来说明在减小功耗中取得的一些收获。

最后，第 14 章归纳了本书中的主要方法，并考虑了将来可能被采用的 FPGA 架构。此外，它简述了一些在书中未包括的主题，特别是可重配置系统。通常认为 FPGA 的一个优势是在启动时可编程，在运行周期期间允许修改。但是值得关注的想法是，动态重配置 FPGA，允许在运行期间进行修改，即动态重配置（前边的模式可视为静态重配置）。其优势在于 FPGA 可以被当成虚拟硬件，利用可用硬件实现远超现有 FPGA 设备可用容量能够实现的功能。这是一个极具诱惑力的想法，但实际情况限制了其可行性。

致 谢

作者有幸得到了大量同事、同学和朋友的帮助、支持和建议。作者真心感谢 Richard Walke 和 John Gray 在 Queen's University Belfast 给予 FPGA 方面大量启迪灵感的帮助工作。其他很多人也通过各种方式提供了技术或其他支持。他们是 Steve Trimberger, Ivo Bolsens, Satnam Singh, Steve Guccioe, Bill Carter, Nabeel Shirazi, Wayne Luk, Peter Cheung, Paul Mc Cambridge, Gordon Brebner 和 Alan Marshall。书中所述作者的研究经费有很多资助来源, 包括工程和物理科学研究所、国防部、国防技术中心、奎奈蒂克公司、英国航空公司、Selex 和北爱尔兰的教育和学习机构。

有几章是与以下同事和同学共同创作的, 他们是 Richard Walke, Tim Har-riss, Jasmine Lam, Bob Madahar, David Trainor, Jean - Paul Heron, Lok Kee Ting, Richard Turner, Tim Courtney, Stephen McKeown, Scott Fischaber, Eoin Malins, Jonathan Francey, Darren Reilly 和 Kevin Colgan。

作者感谢 John Wiley & Sons 的 Simone Taylor 和 Nicky Skinner, 他们无私奉献, 提供了很多帮助, 准备并协助完成了本书。

最后作者想感谢朋友和家庭的支持, 他们是 Pauline, Rachel, Andrew, Beth, Anna, Lixin Ren, David, Gerry 和 Outlaws, Colm 和 David。

目 录

译者序

原书序

致谢

第1章 FPGA 概述	1
1.1 引言	1
1.1.1 FPGA	1
1.1.2 可编程能力和 DSP	3
1.2 芯片发展简介	4
1.2.1 技术特点	6
1.3 可编程能力的影响	7
1.4 FPGA 面临的挑战	9
参考文献	10
第2章 DSP 基础	11
2.1 引言	11
2.2 DSP 系统基础	12
2.3 DSP 系统定义	13
2.3.1 采样速率	14
2.3.2 时延和流水线	15
2.4 DSP 变换	17
2.4.1 快速傅里叶变换	17
2.4.2 离散余弦变换	18
2.4.3 小波变换	19
2.4.4 离散小波变换	19
2.5 滤波器结构	21
2.5.1 有限冲激响应滤波器	21
2.5.2 相关	23
2.5.3 无限冲激响应滤波器	23
2.5.4 波形数字滤波器	25
2.6 自适应滤波	27
2.7 自适应滤波基础	27
2.7.1 自适应滤波器的应用	28

2.7.2 自适应算法	30
2.7.3 LMS 算法	31
2.7.4 RLS 算法	32
2.8 总结	34
参考文献	34
第3章 算术运算基础	36
3.1 引言	36
3.2 数字系统	37
3.2.1 数字表示	37
3.3 定点和浮点	40
3.3.1 浮点表示	40
3.4 算术运算	41
3.4.1 加法器和减法器	42
3.4.2 乘法器	44
3.4.3 除法	46
3.4.4 二次方根	47
3.5 定点和浮点的比较	51
3.6 总结	53
参考文献	54
第4章 FPGA 技术概述	56
4.1 引言	56
4.2 架构和可编程能力	57
4.3 DSP 功能特点	58
4.4 处理器分类	60
4.5 微处理器	60
4.5.1 ARM 微处理器架构系列	62
4.6 DSP 微处理器	62
4.6.1 DSP 微运算	65
4.7 并行机	66
4.7.1 脉动阵列	66
4.7.2 SIMD 架构	68
4.7.3 MIMD 架构	72
4.8 专用 ASIC 和 FPGA 解决方案	73
4.9 总结	74
参考文献	74
第5章 当前的 FPGA 技术	76

5.1 引言	76
5.2 FPGA 的发展	77
5.2.1 FPGA 的早期结构	79
5.3 Altera 的 FPGA 技术	80
5.3.1 MAX [®] 7000 FPGA 技术	81
5.3.2 Stratix [®] III FPGA 系列	83
5.3.3 Hardcopy [®] 结构化 ASIC 系列	91
5.4 Xilinx FPGA 技术	92
5.4.1 Xilinx Virtex [™] -5 FPGA 技术	94
5.5 Lattice FPGA 系列	102
5.5.1 Lattice [®] isp XPLD 5000MX 系列	102
5.6 Actel [®] FPGA 技术	105
5.6.1 Actel [®] Pro ASIC ^{PLUS} FPGA 技术	105
5.6.2 Actel [®] 反熔丝 SX FPGA 技术	106
5.7 Atmel [®] FPGA 技术	108
5.7.1 Atmel [®] AT40K FPGA 技术	108
5.7.2 Atmel [®] AT40K FPGA 的重构技术	109
5.8 FPGA 技术上的总思考	109
参考文献	110
第 6 章 FPGA 实现详解	111
6.1 引言	111
6.2 LUT 的各种形式	112
6.3 可用的几种存储器	115
6.4 固定系数设计技术	117
6.5 分布式体系结构	117
6.6 折减系数乘法器	120
6.6.1 RCM 的设计过程	122
6.6.2 FPGA 的乘法器综述	125
6.7 总结	125
参考文献	126
第 7 章 FPGA 的快速 DSP 系统设计工具和流程	127
7.1 引言	127
7.2 FPGA 系统设计的革新	128
7.2.1 时代一: 定制胶合逻辑	128
7.2.2 时代二: 中密度逻辑	128
7.2.3 时代三: 分层级的 SoC	129

7.3	FPGA DSP 设计方法的必要条件	129
7.4	系统详述	131
7.4.1	Petri 网	131
7.4.2	进程网络和数据流	131
7.4.3	嵌入式多处理器软件综合	132
7.4.4	GEDAE	133
7.5	FPGA 的 IP 核生成工具	134
7.5.1	图解 IP 核发展途径	134
7.5.2	Synplify DSP	135
7.5.3	基于 C 语言的迅速 IP 核设计	136
7.5.4	基于 MATLAB® 的快速 IP 核设计	136
7.5.5	其他快速 IP 核设计	137
7.6	FPGA 的系统级设计工具	138
7.6.1	Compaan	138
7.6.2	ESPAM	138
7.6.3	Daedalus	140
7.6.4	Koski	140
7.7	总结	141
	参考文献	142
第 8 章	基于 FPGA 的 DSP 系统的架构由来	144
8.1	引言	144
8.2	DSP 算法特点	145
8.2.1	算法特点的进一步描述	146
8.3	DSP 算法的表示	149
8.3.1	SFG 的描述	149
8.3.2	DFG 的描述	150
8.4	FPGA 上映射 DSP 系统的基础	151
8.4.1	重定时	152
8.4.2	割集定理	155
8.4.3	延迟比例的应用	156
8.4.4	流水线周期的计算	158
8.5	并行运算	162
8.6	硬件共享	164
8.6.1	不折叠	164
8.6.2	折叠	166
8.7	FPGA 中的应用	170
8.8	总结	170

参考文献	171
第9章 IRIS 行为综合工具	172
9.1 行为综合工具的介绍	172
9.2 IRIS 行为综合工具	174
9.2.1 模块化设计过程	175
9.3 IRIS 重定时	177
9.3.1 IRIS 中重定时程序的实现	178
9.4 分层的设计方法	181
9.4.1 白盒分层的设计方法	182
9.4.2 从以前的综合架构中提取处理器模型的自动化实现	183
9.4.3 IRIS 中分层的电路实现	187
9.4.4 分层电路中流水线周期的计算	188
9.4.5 分层电路中的重定时技术	190
9.5 RIS 硬件共享 (调度算法) 的实现	193
9.6 实例研究: 自适应时延最小均方的实现	201
9.6.1 高速实现	202
9.6.2 按具体性能要求的硬件共享设计	207
9.7 总结	210
参考文献	210
第10章 FPGA 的复杂 DSP 核的设计	213
10.1 可重用设计的动机	214
10.2 IP 核	215
10.3 IP 核的演变	217
10.3.1 运算库	218
10.3.2 基本 DSP 功能	220
10.3.3 复杂的 DSP 功能	221
10.3.4 IP 核的未来	221
10.4 可参数化 (软) IP 核	221
10.4.1 适合 IP 开发的识别设计组件	224
10.4.2 确定 IP 核参数	225
10.4.3 针对 FPGA 技术的参数化特性的发展	227
10.4.4 简单的 FIR 滤波器应用	229
10.5 IP 核集成	231
10.5.1 设计问题	232
10.5.2 接口标准化和质量控制指标	233
10.6 ADPCM IP 核的例子	235
10.7 FPGA 的 IP 核	239

10.8 总结	241
参考文献	241
第 11 章 基于模型的异构 FPGA 设计	243
11.1 引言	243
11.2 数据流建模及快速实现基于 FPGA 的 DSP 系统	244
11.2.1 SDF	245
11.2.2 CSDF	246
11.2.3 MSDF	246
11.2.4 数据流异构系统原型	247
11.2.5 分区算法实现	248
11.3 DFG 嵌入式软件的快速合成与优化	249
11.3.1 图形级优化	249
11.3.2 图形平衡操作与优化	250
11.3.3 聚类操作和优化	251
11.3.4 调度操作和优化	252
11.3.5 代码的生成操作和优化	253
11.3.6 系统级别设计方案探索中 DFG 触发器的可配置性	253
11.3.7 DFG 专用硬件的快速合成和优化	254
11.3.8 专用硬件体系结构流水线的限制行为合成	255
11.4 异构嵌入式 DSP 系统的系统级建模	257
11.4.1 交叉和模块触发器在 MADF 中的进程	258
11.5 MADF 算法的流水线核心设计	259
11.5.1 MADF 可配置流水线专用硬件结构的合成	261
11.5.2 WBC 配置	262
11.6 专用硬件网络的系统级设计与开发	263
11.6.1 设计示例: NLF	263
11.6.2 设计示例: FBF 系统	265
11.7 总结	268
参考文献	269
第 12 章 自适应波束形成器实例	271
12.1 引言	271
12.2 通用设计过程	272
12.3 自适应波束形成规范	274
12.4 算法的开发	276
12.4.1 自适应算法	277
12.4.2 RLS 实现	278
12.4.3 通过 QR 分解求解 RLS	278

12.4.4 用于 QR 因数分解的 Givens 旋转	279
12.5 从算法到结构	282
12.5.1 DG	283
12.5.2 SFG	283
12.5.3 Givens 旋转的脉动实现	285
12.5.4 二次方的 Givens 旋转	286
12.6 高效结构设计	287
12.6.1 调度 QR 运算	292
12.7 通用 QR 单元	293
12.7.1 处理器阵列	294
12.8 重定时通用结构	302
12.8.1 重定时 QR 结构	308
12.9 可参数化 QR 结构	310
12.9.1 结构的选择	310
12.9.2 可参数化控制	311
12.9.3 线性架构	311
12.9.4 稀疏线性架构	312
12.9.5 矩形架构	318
12.9.6 稀疏矩形架构	319
12.9.7 通用 QR 单元	320
12.10 通用控制	321
12.10.1 线性与稀疏线性阵列的通用输入控制	321
12.10.2 矩形与稀疏矩形阵列的通用输入控制	322
12.10.3 时延对控制种子的影响	323
12.11 波束形成设计实例	325
12.12 总结	326
参考文献	327
第 13 章 低功率 FPGA 的实现	329
13.1 引言	329
13.2 能源消耗	330
13.2.1 动态功耗	330
13.2.2 静态功耗	332
13.3 降低功耗的技术	334
13.4 FPGA 中电压按比例缩小	335
13.5 开关电容的减少	337
13.6 数据的重新排序	337
13.7 固定参数的运算	338