



普通高等教育“十三五”规划教材
电工电子基础课程规划教材



数字电路

(第3版)

■ 贾立新 编著

 中国工信出版集团

 电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

省精品课程教材
普通高等教育“十三五”规划教材
电工电子基础课程规划教材

数字电路

(第3版)

贾立新 编著



电子工业出版社
Publishing House of Electronics Industry
北京·BEIJING

内 容 简 介

本书是浙江省精品课程重点建设教材,依据电子信息科学与电气信息类平台课程教学基本要求编写。全书共8章,主要内容包括:数字电路基础知识、数制和码制、逻辑代数基础,集成门电路,组合逻辑电路,锁存器、触发器和时序逻辑电路,半导体存储器,脉冲信号的产生与整形电路,数模与模数转换器,可编程逻辑器件、VHDL语言简介、数字系统设计实例等。几乎各章都安排了例题讲解、自我检测题、习题和实验题,并配套电子课件、习题参考答案。

本书可作为高等学校电子信息、电气、通信、控制和计算机等专业的教材,也可供电子信息领域的广大科技工作者学习、参考。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有,侵权必究。

图书在版编目(CIP)数据

数字电路 / 贾立新编著. —3版. —北京:电子工业出版社,2017.4

ISBN 978-7-121-30731-7

I. ①数… II. ①贾… III. ①数字电路—高等学校—教材 IV. ①TN79

中国版本图书馆CIP数据核字(2016)第316553号

策划编辑:王羽佳

责任编辑:周宏敏

印 刷:三河市鑫金马印装有限公司

装 订:三河市鑫金马印装有限公司

出版发行:电子工业出版社

北京市海淀区万寿路173信箱 邮编:100036

开 本:787×1092 1/16 印张:20.25 字数:598千字

版 次:2007年9月第1版

2017年4月第3版

印 次:2017年4月第1次印刷

印 数:3000册 定价:45.00元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010)88254888,88258888。

质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

本书咨询联系方式:(010)88254535, wylj@phei.com.cn。

前 言

本书是浙江省首批精品课程“数字电路与数字逻辑”的配套教材，也是浙江工业大学重点建设教材。本书依据教育部教学指导委员会电子信息科学与电气信息类平台课程教学基本要求编写，同时充分吸收了国内外经典教材中的新概念、新理论和新技术，可作为高等学校“数字电子技术基础”或“数字电路与数字逻辑”等课程的教学用书。

全书分为8章。第1章是逻辑电路的数学基础。本章介绍了数字电路的基本概念、数制和码制、逻辑代数基础、逻辑电路的分析与设计。

第2章是数字电路的硬件基础。本章介绍了晶体管的开关特性，如何用MOS管和双极型晶体管来构建门电路，介绍了CMOS和LSTTL这两种典型门电路的逻辑功能、电气特性和主要技术指标。同时介绍了OD(OC)门、三态门和CMOS传输门的结构、功能和应用。

第3章是组合逻辑电路。本章介绍了编码器、译码器、数据选择器、数值比较器和加法器等常用组合逻辑电路模块的逻辑功能、符号、应用和VHDL代码；介绍了组合逻辑电路竞争与冒险的概念、判别和消除方法。

第4章是时序逻辑电路。本章讨论了锁存器和触发器两种常用存储单元电路；讨论了如何使用触发器来构建寄存器和计数器等常用时序逻辑电路；介绍了N进制计数器、同步状态机、序列信号发生器的分析设计方法；给出了常用时序电路的VHDL代码。

第5章是半导体存储器。本章介绍了掩模ROM、PROM、EPROM、SRAM、DRAM等几种常用的半导体存储器，重点介绍其存储单元的工作原理和特点。

第6章是脉冲产生与整形电路。本章介绍了施密特触发器、单稳态触发器、多谐振荡器等3种电路的结构、工作原理和主要参数，并给出了这3种电路的许多应用实例。

第7章是D/A和A/D转换器。本章介绍了权电阻型、R-2R网络型、权电流型3种典型D/A转换器；介绍并行比较型、逐次逼近型、双积分型、 Σ - Δ 型4种典型的A/D转换器。

第8章是现代数字系统设计基础。本章介绍了SPLD、CPLD和FPGA等典型可编程逻辑器件；介绍了VHDL语言的基本语法；介绍了数字频率计和乘法器两个设计实例。

本书第1版于2007年9月出版，第2版于2011年5月出版。本次修订在前两版的基础上做了以下修改。

1. 提升了教材的实践性和实用性。本书作者从事数字电路与数字逻辑课程教学和大学生电子设计竞赛赛前辅导20年，实践经验丰富。在指导电子设计竞赛的过程中，对学生设计、调试和应用数字电路方面的能力需求有切身体会。对数字新器件、新技术在实际电子系统中的应用有深刻理解。对通过竞赛引导课程改革有多年实践。因此，理论与实践相结合将是本教材的亮点之一。

2. 引领实验教学模式改革，促进理论课和实验课相融合。本书第1章就介绍了Quartus II软件的基本操作，帮助读者在课程学习的初始阶段，了解和掌握Quartus II软件这一逻辑电路分析与设计的重要工具。在介绍常用组合逻辑电路和时序逻辑电路模块时，既给出典型的标准集成电路芯片，也给出相应的VHDL代码。通过这些代码，让学生掌握入门级的VHDL语言。每一章后面均安排了实验题。例题、习题和实验题有机结合。这些实验题与教学内容紧密结合，利用随身携带的数字电路学习板，由学生在课外完成。从传统的数字电子技术实验箱切换到以FPGA为核心的数字电路学习板，有利于将数字系统的设计方法从传统手工设计方法切换到应用EDA工具的现代数字系统设计方法，有利于

数字设计能力的提高,有利于理论教学、基础实验、大型实验有机融合,有利于课程教学从课内延伸到课外,促进教学模式的改革。

3. 教材内容编排的优化。将组合逻辑电路的分析与设计内容从第3章移到第1章,因为这部分内容与逻辑代数紧密相关;在第4章中,将时序逻辑电路的分析与设计移到寄存器和计数器之后,以便讲完触发器后可以自然地过渡到寄存器和计数器,而且可以突出时序逻辑电路的分析与设计。将可编程逻辑器件、VHDL语言简介、数字系统设计合并成一章,因为这3部分内容紧密相关。大部分章节安排了例题讲解,帮助读者提高解题能力。书尾提供了自我检测题答案,便于学生课后自学。

4. 本书配套提供丰富的教学资源:多媒体电子课件、习题参考答案等,读者也可通过华信教育资源网(<http://www.hxedu.com.cn>)注册下载。

本书由贾立新负责编写。浙江工业大学数字电路和数字逻辑课程组各位教师对第3版教材的修订提出了许多有益的建议。教育部电子信息科学与电气信息类基础课程教学指导委员会委员南余荣教授仔细审阅了全书,提出了许多建设性意见。在此一并表示衷心感谢。

本书的出版得到了2015年度浙江工业大学重点教材建设项目和2015年度浙江省课堂教学改革项目“‘数字电路与数字逻辑’理论与实验相融合的课堂教学改革”(kg2015056)项目资助。

由于作者学识有限,书中难免有错误和不妥之处,望广大读者批评指正。如果在阅读本书的过程中发现错误或对本书有改进建议,请与本书的策划编辑联系,E-mail: wylj@phei.com.cn。

作者

2016年9月于浙江工业大学

目 录

| | | | |
|------------------------|----|----------------------|-----|
| 第1章 数字逻辑基础 | 1 | 2.1.5 CMOS 逻辑电路系列 | 67 |
| 1.1 绪论 | 1 | 2.1.6 CMOS 漏极开路门 | 68 |
| 1.1.1 模拟信号和数字信号 | 1 | 2.1.7 CMOS 三态门 | 71 |
| 1.1.2 模拟电路、数字电路和混合信号电路 | 2 | 2.1.8 CMOS 传输门 | 73 |
| 1.1.3 数字电路的发展历史 | 3 | 2.2 TTL 门电路 | 74 |
| 1.1.4 数字电路的优点 | 4 | 2.2.1 二极管和三极管的开关特性 | 74 |
| 1.2 数制和码制 | 5 | 2.2.2 分立元件门电路 | 76 |
| 1.2.1 数制 | 5 | 2.2.3 LSTTL 与非门 | 78 |
| 1.2.2 码制 | 9 | 2.2.4 LSTTL 门电路的电气特性 | 80 |
| 1.3 逻辑代数基础 | 12 | 2.2.5 TTL 集电极开路门和三态门 | 83 |
| 1.3.1 基本逻辑运算 | 12 | 2.3 BiCMOS 门电路 | 84 |
| 1.3.2 复合逻辑运算 | 14 | 2.4 不同系列门电路的接口 | 85 |
| 1.3.3 基本公式 | 15 | 2.5 例题讲解 | 88 |
| 1.3.4 基本规则 | 17 | 本章小结 | 91 |
| 1.4 逻辑函数及其表示方法 | 18 | 自我检测题 | 91 |
| 1.5 逻辑函数的两种标准形式 | 21 | 习题 | 93 |
| 1.6 逻辑函数的化简 | 24 | 实验题 | 98 |
| 1.6.1 化简的意义 | 24 | 第3章 组合逻辑电路 | 100 |
| 1.6.2 公式化简法 | 26 | 3.1 编码器 | 100 |
| 1.6.3 卡诺图化简法 | 26 | 3.2 译码器 | 104 |
| 1.7 逻辑电路分析设计举例 | 32 | 3.3 数据选择器 | 110 |
| 1.8 Quartus II 软件的基本操作 | 34 | 3.4 数值比较器 | 114 |
| 1.9 例题讲解 | 44 | 3.5 加法器 | 116 |
| 本章小结 | 47 | 3.6 组合逻辑电路的竞争与冒险 | 120 |
| 自我检测题 | 47 | 3.6.1 竞争、冒险及其产生原因 | 120 |
| 习题 | 50 | 3.6.2 冒险现象的识别 | 121 |
| 实验题 | 52 | 3.6.3 冒险现象的消除 | 123 |
| 第2章 集成门电路 | 53 | 3.7 例题讲解 | 124 |
| 2.1 CMOS 门电路 | 53 | 本章小结 | 127 |
| 2.1.1 MOS 管的开关特性 | 53 | 自我检测题 | 127 |
| 2.1.2 CMOS 门电路的结构和工作原理 | 54 | 习题 | 128 |
| 2.1.3 CMOS 门电路的静态特性 | 58 | 实验题 | 131 |
| 2.1.4 CMOS 门电路的动态特性 | 65 | 第4章 时序逻辑电路 | 133 |
| | | 4.1 锁存器 | 133 |
| | | 4.1.1 基本 SR 锁存器 | 133 |

| | | | | | |
|------------------|-----------------------|-----|----------------|--------------------------------|-----|
| 4.1.2 | 钟控 SR 锁存器 | 137 | 6.4 | 单稳态触发器 | 218 |
| 4.1.3 | 钟控 D 锁存器 | 138 | 6.4.1 | 由 CMOS 门构成的微分型 单稳态触发器 | 218 |
| 4.2 | 触发器 | 141 | 6.4.2 | 集成单稳态触发器 | 220 |
| 4.2.1 | 主从 D 触发器 | 141 | 6.4.3 | 单稳态触发器的应用 | 222 |
| 4.2.2 | 维持阻塞 D 触发器 | 143 | 6.5 | 555 定时器及应用 | 223 |
| 4.2.3 | 其他功能的触发器 | 144 | 6.5.1 | CMOS 集成定时器 7555 的 电路结构和工作原理 | 223 |
| 4.2.4 | 触发器的动态参数 | 145 | 6.5.2 | 555 定时器构成的施密特 触发器 | 224 |
| 4.3 | 计数器 | 147 | 6.5.3 | 555 定时器构成的多谐 振荡器 | 225 |
| 4.4 | 寄存器 | 155 | 6.5.4 | 555 定时器构成的单稳态 触发器 | 227 |
| 4.4.1 | 并行寄存器 | 155 | 本章小结 | | 229 |
| 4.4.2 | 移位寄存器 | 155 | 自我检测题 | | 229 |
| 4.5 | 序列信号发生器 | 159 | 习题 | | 231 |
| 4.6 | 时序逻辑电路的分析与设计 | 164 | 实验题 | | 235 |
| 4.6.1 | 概述 | 164 | 第 7 章 数模与模数转换器 | | 236 |
| 4.6.2 | 同步时序逻辑电路的分析 | 166 | 7.1 | 概述 | 236 |
| 4.6.3 | 同步时序逻辑电路的设计 | 169 | 7.2 | D/A 转换器 | 236 |
| 4.6.4 | 异步时序逻辑电路的分析 | 177 | 7.2.1 | D/A 转换器的基本原理 | 236 |
| 4.7 | 例题讲解 | 178 | 7.2.2 | 权电阻型 D/A 转换器 | 237 |
| 本章小结 | | 181 | 7.2.3 | R-2R 网络型 D/A 转换器 | 238 |
| 自我测验题 | | 182 | 7.2.4 | 权电流型 D/A 转换器 | 240 |
| 习题 | | 185 | 7.2.5 | D/A 转换器的主要技术 指标 | 243 |
| 实验题 | | 192 | 7.2.6 | D/A 转换器的典型应用 | 245 |
| 第 5 章 半导体存储器 | | 196 | 7.3 | A/D 转换器 | 246 |
| 5.1 | 概述 | 196 | 7.3.1 | A/D 转换器的基本原理 | 246 |
| 5.2 | 只读存储器 | 197 | 7.3.2 | 并行比较型 A/D 转换器 | 249 |
| 5.3 | 静态随机存取存储器 | 202 | 7.3.3 | 逐次逼近型 A/D 转换器 | 252 |
| 5.4 | 动态随机存取存储器 | 205 | 7.3.4 | 双积分型 A/D 转换器 | 256 |
| 本章小结 | | 207 | 7.3.5 | Σ - Δ 型 A/D 转换器 | 258 |
| 自我检测题 | | 208 | 7.3.6 | A/D 转换器的主要技术 指标 | 260 |
| 习题 | | 208 | 本章小结 | | 261 |
| 第 6 章 脉冲波形的产生与整形 | | 210 | 自我检测题 | | 261 |
| 6.1 | 概述 | 210 | 习题 | | 262 |
| 6.2 | 施密特触发器 | 210 | 实验题 | | 265 |
| 6.2.1 | 由 CMOS 门构成的施密特 触发器 | 211 | | | |
| 6.2.2 | 施密特触发器的应用 | 213 | | | |
| 6.3 | 多谐振荡器 | 215 | | | |
| 6.3.1 | 由 CMOS 门构成的多谐 振荡器 | 215 | | | |
| 6.3.2 | CMOS 石英晶体振荡器 | 217 | | | |

| | | | |
|---------------------|-----|--------------------|-----|
| 第 8 章 现代数字系统设计基础 | 267 | 8.4 数字系统设计实例 | 294 |
| 8.1 概述 | 267 | 8.4.1 4 位数字频率计设计 | 294 |
| 8.2 可编程逻辑器件 | 268 | 8.4.2 4 位数字乘法器设计 | 297 |
| 8.2.1 可编程逻辑阵列 PLA | 268 | 本章小结 | 304 |
| 8.2.2 可编程阵列逻辑 PAL | 269 | 自我检测题 | 305 |
| 8.2.3 复杂可编程逻辑器件 | | 习题 | 306 |
| CPLD | 271 | 实验题 | 307 |
| 8.2.4 现场可编程门阵列 FPGA | 273 | 附录 A 常用集成芯片引脚排列 | 310 |
| 8.3 VHDL 语言简介 | 278 | 附录 B EDA-3 数字电路学习板 | 312 |
| 8.3.1 概述 | 278 | 自我检测题答案 | 314 |
| 8.3.2 VHDL 的语言要素 | 281 | 参考文献 | 316 |
| 8.3.3 VHDL 程序的基本结构 | 284 | | |
| 8.3.4 VHDL 程序的句法 | 286 | | |
| 8.3.5 常量、变量与信号 | 292 | | |

第1章 数字逻辑基础

1.1 绪 论

1.1.1 模拟信号和数字信号

电子电路接收或处理的电压或电流信号可分为模拟信号和数字信号两类。模拟信号 (Analog Signal) 是指幅值在上限和下限之间连续, 即幅值在上限和下限之间可以取任意实数值的信号。模拟信号可以是时间连续信号, 也可以是时间离散信号。图 1.1-1(a) 所示为时间连续模拟信号。客观世界中存在的各种物理信号大都为时间连续模拟信号, 如电压信号、温度信号、声音信号、视频信号等。离散时间模拟信号是指只有在特定时刻才有幅值定义的信号, 如图 1.1-1(b) 所示。离散时间模拟信号可以看成是对连续时间模拟信号采样得到的, 因此有些文献中也将其称为抽样信号。图 1.1-1(b) 所示的 $1T, 2T, \dots$ 表示采样时刻, T 表示采样周期。

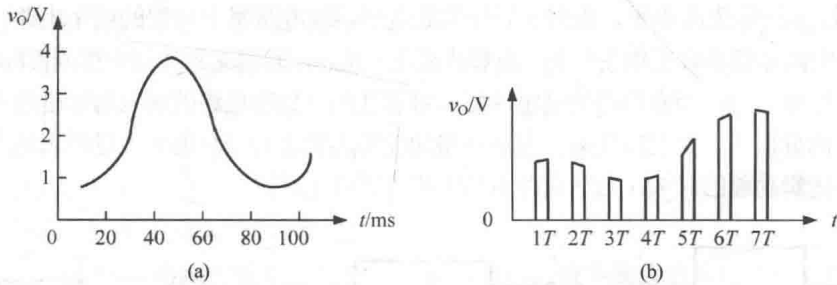


图 1.1-1 模拟信号

数字信号 (Digital Signal) 是指幅度的取值是离散, 即幅值被限制在有限个数值之内的信号。数字信号可以是时间连续信号或时间离散信号, 图 1.1-2 给出了两种数字信号示例。图 1.1-2(a) 是数字电路中最常见的由高、低电平描述的数字信号。高电平表示逻辑 1, 低电平表示逻辑 0。这种只有两个取值的数字信号又称二值信号。虽然只有两个取值, 但通过多位二值信号的组合可以表示各种各样的信息。图 1.1-2(b) 是时间离散模拟信号经过量化以后得到的数字信号, 每一个信号的幅值都是某一最小电压 (图中为 $1/8V$) 的整数倍。从波形上看, 数字信号具有“保持”和“突变”的特点, 就是说数字信号在一段时间内保持低电平或高电平, 低电平和高电平之间的转换是瞬时完成的。

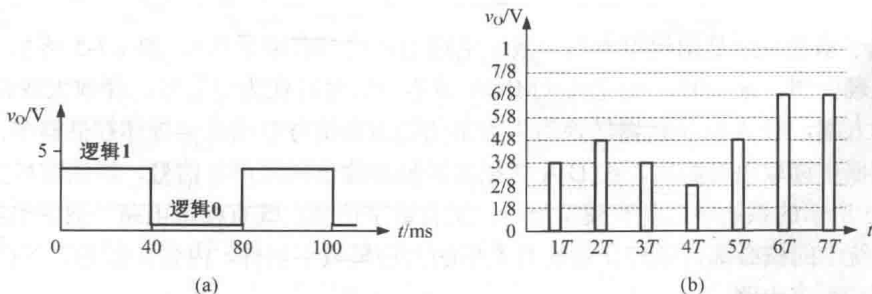


图 1.1-2 数字信号

1.1.2 模拟电路、数字电路和混合信号电路

用以传递和处理模拟信号的电路称为模拟电路(Analog Circuit)。常见的模拟电路有放大电路、有源滤波电路、线性直流稳压电路,以及混频、调制和解调等非线性电路。以图1.1-3所示的电路A为例,输入和输出信号的幅值有比例关系,输出信号的幅值被放大了,属于典型的模拟放大电路。模拟电路中的晶体管一般工作在放大状态,因而电路的灵敏度比较高,但也容易受到干扰信号的影响。模拟电路的设计十分灵活,如设计放大电路时,必须考虑各种概念,如应考虑静态工作点是否合适,放大倍数要多大,输入阻抗、输出阻抗对前后级电路影响如何,放大器的稳定性如何,等等。



图 1.1-3 模拟电路的特性

用以传递和处理数字信号的电路称为数字电路(Digital Circuit)。数字电路主要完成对数字量进行算术运算和逻辑运算等功能。以图1.1-4所示的电路为例,信号 x 和 y 经过电路B运算后输出 z 信号。 z 信号的幅值与输入信号 x 、 y 一致,但 z 信号与输入信号之间存在一定的逻辑关系,即输入信号 x 、 y 同时为高电平时, z 信号为高电平,否则 z 信号为低电平,该电路属于典型的数字电路。与模拟电路相比较,数字电路中晶体管多数工作在开关(饱和或截止)状态,即使受到外部干扰或者环境因素的影响,晶体管的状态也很难改变,因而电路的稳定性好,可靠性高。数字电路的研究对象是输入和输出的逻辑关系,因此主要的分析工具是逻辑代数,表示电路功能的主要工具是真值表、逻辑表达式及逻辑图等。在讨论数字电路逻辑功能的时候,数字电路也常常称为逻辑电路。



图 1.1-4 数字电路的特性

除了模拟电路和数字电路之外,还有一种将模拟电路和数字电路相结合的混合信号电路(Mixed Signal Circuit)。例如,本书将要介绍的555定时器、D/A转换器、A/D转换器等均属于混合信号电路。随着集成电路设计制造工艺的进步,目前应用非常广泛的单片微控制器(简称单片机)也从纯数字器件逐渐发展成内含放大电路、电压比较器、D/A转换器、A/D转换器等模拟外设的混合信号电路。

实际的电子系统通常是由模拟电路和数字电路组成的综合电子系统。图1.1-5所示为语音存储与回放系统的原理框图。录音时,麦克风(MIC)将语音信号转化为电信号,经放大滤波后送A/D转换器的模拟输入端,经A/D转换器转换后将数字化的语音信号存储在半导体存储器中;回放时,微控制器从存储器中读取语音数据,经D/A转换器转换后输出模拟声音信号,经滤波放大以后驱动喇叭。在图1.1-5所示的系统中,既有模拟信号,又有数字信号;既有模拟电路、数字电路,又有混合信号电路。系统中的核心部件微控制器就是典型的大规模数字器件,内含计数器、寄存器、加法器、译码器等典型的数字电路。

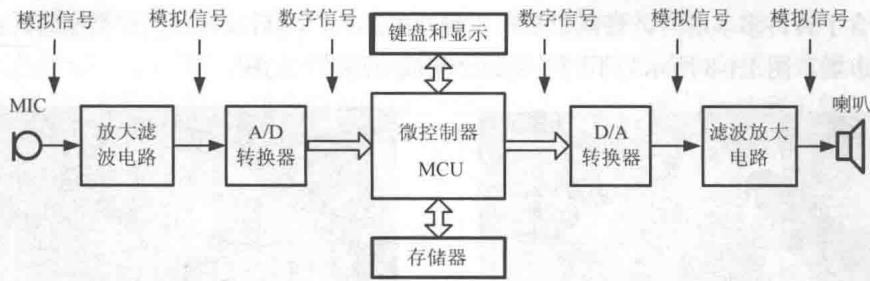


图 1.1-5 语音存储与回放系统原理框图

1.1.3 数字电路的发展历史

数字电路的发展经历了电子管、晶体管、集成电路等不同阶段。

1906年，福雷斯特等发明了电子管。电子管体积大、重量重、耗电大、寿命短。世界上第一台全电子数字计算机用了1.8万只电子管，占地170平方米，重30吨，耗电150kW。

1948年，美国贝尔实验室发明了晶体管，晶体管在体积、重量、可靠性方面明显优于电子管。晶体的出现，使以晶体管、电阻等分立元件构成的数字电路得到广泛应用，但由分立元件组成的数字电路仍然存在体积大、焊点多、电路的可靠性差等问题。

1958年，美国德州仪器公司（Texas Instruments, TI公司）率先将数字电路的元器件制作在同一硅片上，制成了数字集成电路（Integrated Circuits, IC）。集成电路的出现标志着电子技术进入微电子时代，大大促进了电子学的发展，尤其是促进了微型计算机和以计算机为核心的复杂数字系统的飞速发展。

数字集成电路由一定数量的逻辑门电路组成。逻辑门电路由晶体管构成，可基于不同的工艺和电路结构，常见的有晶体管—晶体管逻辑（TTL）、发射极耦合逻辑（ECL）、互补金属氧化物半导体（CMOS）和双极型CMOS（BiCMOS）等。

数字集成电路中逻辑门电路的数量可从数门到数百万门。数字集成电路按集成度可分为小规模集成电路（Small Scale Integration, SSI）、中规模集成电路（Medium Scale Integration, MSI）、大规模集成电路（Large Scale Integration, LSI）、超大规模集成电路（Very Large Scale Integration, VLSI）等。集成度有不同的表示方法，一种方法是按照单个芯片内含有等效门的数量来表示，另一种方法是按照每平方厘米晶体管的数量来表示。随着集成电路技术的不断发展，还经常用最小特征尺寸来表示集成度，特征尺寸越小，芯片的集成度越高。在2006年，数字集成电路的最小特征尺寸为78nm，到了2012年，最小特征尺寸减小到约36nm。目前，世界上最先进的数字集成电路的特征尺寸已减小到14nm。表1.1-1列出了不同规模数字集成电路所含等效门的数量。

表 1.1-1 数字集成电路的分类

| 分 类 | 等效门的个数 | 典型集成电路 |
|------|-----------|-------------------|
| 小规模 | ≤10 | 基本门、触发器 |
| 中规模 | 10~100 | 译码器、计数器、加法器 |
| 大规模 | 100~10000 | 小容量存储器，门阵列 |
| 超大规模 | ≥10000 | 单片微处理器、高密度可编程逻辑器件 |

数字集成电路生产过程工序繁多、工艺复杂且技术难度非常高。许多工序必须在恒温、恒湿、超洁净的环境中完成。图1.1-6为本书作者参观集成电路制造车间的场景。图1.1-7为集成电路的基础材料——晶圆（Wafer）。

晶圆上包含了许许多多芯片,切割以后产生独立的芯片,然后放置到指定类型芯片封装的内部,经测试后投放市场。图 1.1-8 所示为不同类型数字集成电路的实物图。



图 1.1-6 参观集成电路制造车间

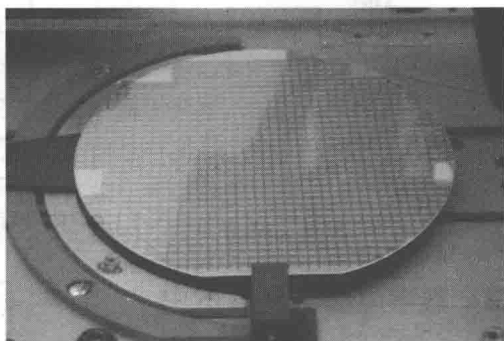
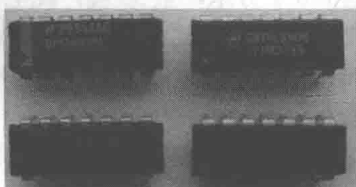


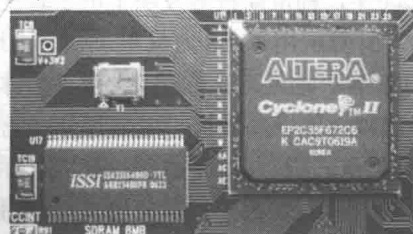
图 1.1-7 集成电路的基础材料——晶圆 (Wafer)



(a)



(b)



(c)

图 1.1-8 数字集成电路实物图

(a) 单门集成电路 (b) 中小规模集成电路 (c) 超大规模集成电路

数字集成电路除了按照集成度分类外,还可以分为标准集成电路、可编程逻辑器件、专用集成电路 (ASIC) 3 种类型。

标准集成电路是指功能、物理配置固定,用户无法修改的集成电路。标准集成电路品种多、价格低,缺点是采用标准集成电路设计的数字系统体积大、功能固定。

可编程逻辑器件允许用户根据自己的要求实现相应的逻辑功能,并且可以多次编程。可编程逻辑器件结构由门阵列、可编程触发器、可编程开关组成。常见的可编程逻辑器件有 CPLD 和 FPGA。

专用集成电路是针对整机或系统的需要,专门设计制造的集成电路。

1.1.4 数字电路的优点

数字电路在计算机、通信、自动控制、消费类电子产品等领域得到广泛应用。现代计算机就是最典型的数字系统。计算机除了我们工作和生活中常见的通用计算机外,更多的是应用于各种特定对象智能化控制的嵌入式计算机,如 DSP、单片微控制器等。在消费类电子产品中,数字电路的应用日趋广泛,如移动电话、数码相机、音响产品、高清晰度数字彩电,无不采用数字技术实现。在无线通信领域,采用 DSP 和 FPGA 等高速数字器件实现的软件无线电在军用和民用领域得到了广泛应用。

以大规模集成工艺为依托,各种数字电路逐渐进入了传统模拟电路的应用领域。以上面提及的手机、照相机、录音机、电视机等为例,这些大家熟悉的电子产品曾经都是典型的模拟电子系统,现在它们无一例外地成为数字产品。为什么越来越多的电子产品由传统的模拟领域转向数字领域?这是因为,数字电路较之模拟电路具有许多突出优点。

(1) 数字电路工作稳定,精度高

数字电路只要能够可靠区分 0 和 1 两种状态就可以正常工作,因此无论是对元器件参数精度的要

求还是对供电电源稳定度的要求,都比模拟电路要低。数字电路在相同输入的情况下,总能给出相同的输出,因此具有良好的工作稳定性。稳定性好体现在受环境温度影响小,抗干扰能力强。

模拟电路受元件参数的精度、供电电源的稳定度的限制,精度一般只能达到千分之一。以图 1.1-9 所示的模拟加法器为例,假设电路中电阻值均为 $1\text{k}\Omega$,根据电路参数,理想情况下输出电压应为 -3V 。但由于电阻的阻值有误差(市场上普通电阻的容差为 5%),运放也存在输出失调电压,因此,加法器实际输出电压与 -3V 会产生较大误差。如果采用数字加法器,电压值用二进制数表示,只要增加二进制数的位数就可以提高精度。例如,32 位的数字加法器可以达到 $1/2^{32}$ 的精度。

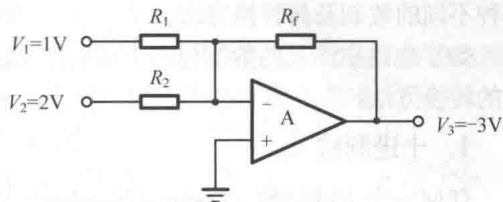


图 1.1-9 模拟加法器

(2) 数字电路易于设计和测试

数字电路设计通常也称为逻辑设计,其主要数学工具为逻辑代数,不需要深奥的数学知识。对于简单的数字电路,采用手工设计方法就可以完成设计。对于复杂的数字电路,则可以通过借助电子设计自动化(EDA)软件和硬件描述语言(HDL)来完成设计。数字电路的设计效率要比模拟电路高得多。需要指出的是,手工设计方法虽然很少使用了,但本书仍然以比较大的篇幅予以介绍,因为手工设计方法可以直观理解数字电路工作原理,同时也是理解现代设计方法的基础。

每一片数字集成电路出厂前都要经过测试。随着集成度的提高,集成电路的测试费用在整个成本中所占的比重越来越大。许多大规模数字集成电路都内置了功能完善的测试电路,从而大大降低了测试成本。

(3) 数字电路可以实现十分复杂的算法

微控制器和 FPGA 均属于大规模数字集成电路,通过 C 语言或 HDL 语言编程,这些器件可以实现数字滤波、压缩、频谱分析等复杂的算法。数字信号的存储通常可以采用光盘或半导体存储器等数字存储技术。特别是半导体存储器的存储容量越来越大,能在很小的物理空间上存储几十亿位数字信息,且可长期保存。

(4) 数字电路更易小型化和集成化

随着半导体工艺的发展,数字集成电路器件体积越来越小,集成度越来越高。今天,单个硅片上可以制造几万个甚至几千万个元器件。随着微控制器、FPGA 等大规模数字器件的出现,使得数字系统功能强、体积小、重量轻、耗电低。

尽管数字电路具有许多优点,数字化的潮流也不可逆转,但是,我们生活在一个模拟的世界中,模拟电路始终在电子系统中占有一席之地。数字电路和模拟电路是密不可分的,数字电路的许多特性如功耗、速度等都需要模拟电路的知识来理解,数字电路在一些特殊的场合也可转化为模拟电路。

1.2 数制和码制

数字电路中处理的各种信息可分为数码和代码两类。数制是进位计数制的简称,是用统一的符号和规则表示数的一种方法,它体现了多位数码的构成方式以及从低位到高位进位的规则。码制是编制代码时遵循的规则。本节首先介绍十进制、二进制、十六进制等常用数制及它们之间的转换方法,然后介绍几种在数字电路中的常用编码。

1.2.1 数制

任何一个数都可用各种数制(Number System)来表示,但使用不同的数制时,其运算方法和复杂

度有所不同,对数字电路的性能有直接影响。日常生活中,人们常常采用具有0~9十个数码的十进制来进行计数。为了使数字电路的设计更加简单,则通常采用只有0和1两个数码的二进制数,而不是人们熟悉的十进制数。为便于数字电路处理,一般需要将人们熟知的十进制数转换成二进制形式,处理后则需要将二进制形式的结果转化为十进制,以便于人们观察。因此,学习数字电路首先应该理解各种不同的数制及其转换方法。

数字电路中涉及的数制包括十进制、二进制、十六进制数等。下面介绍这些数制的特点及它们之间的转换方法。

1. 十进制数

任何一个十进制数(Decimal Number)都可采用位置计数法及加权和形式来表示:

$$(D)_{10} = (d_{n-1}d_{n-2} \cdots d_1d_0 \cdot d_{-1}d_{-2} \cdots d_{-m})_{10} = \sum_{i=-m}^{n-1} d_i 10^i$$

式中,正整数 n 表示整数部分的位数,正整数 m 表示小数部分的位数。 d_i 为十进制数 D 的数码,表示0~9这十个数码中的一个。和式中的数字“10”表示十进制的基数,基数决定了计数制的数码个数,例如十进制有0~9十个数码,二进制有0、1两个数码。实际上,计数体制是以基数来命名的。和式中的“ 10^i ”表示处于确定位置的数码 d_i 所具有的权重(Weight)。如十进制数“123.35”可按照各数码具有的权重展开为

$$(123.35)_{10} = 1 \times 10^2 + 2 \times 10^1 + 3 \times 10^0 + 3 \times 10^{-1} + 5 \times 10^{-2}$$

“权”的概念在计数制中非常重要,数中排列的数码由于具有不同的“权”而体现出不同的地位和层次。打个形象的比方:假设从银行取出123.35元钱,银行可能给你1张百元钞、2张十元钞、3张一元钞等,说明百位的数码“1”具有权100,十位的数码“2”具有权10。

从上面对十进制的分析中,可以归纳出如下规律。

① 十进制的基数为10,即十进制具有0~9十个数码。

② 十进制数由低位向高位的进位规律是“逢十进一”,即计数满10就向高位进1,例如 $9+1=10$, $19+1=20$, $99+1=100$ 。

③ 十进制数中不同位置的数码具有不同的权,用 10^i 来表示。

十进制数有多种表示方法,例如对十进制数123,我们可用 $(123)_{10}$ 、 $(123)_D$ 或123D等形式来表示它。利用对十进制的分析,我们很容易将进位计数制的构成规律推广到二进制、十六进制及任意 N 进制。

2. 二进制数

与十进制数类似,一个任意的二进制数(Binary Number)可以表示为下述加权和形式:

$$(B)_2 = (b_{n-1}b_{n-2} \cdots b_1b_0 \cdot b_{-1}b_{-2} \cdots b_{-m})_2 = \sum_{i=-m}^{n-1} b_i 2^i$$

式中,正整数 n 、 m 分别表示二进制数的整数部分和小数部分的位数; b_i 表示二进制数的数码,取值只能是0或1;加权和式中,数字“2”是二进制的基数,“ 2^i ”表示不同位置的数码 b_i 的权。如二进制数 $(1101)_2$ 可按照二进制数的各位数码和权展开为

$$(1101)_2 = 1 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0$$

与十进制类似,二进制数也有如下规律。

① 基数为2,只有两个数码0和1。

② 遵循“逢二进一”的计数规律,即 $1+1=10$, $11+1=100$ 。

③ 不同位置的数码具有不同的权 2^i 。

对于不同的基数，相同的数码表示的数值并不相同，因此，为了避免混淆，把基数写在下标以示区分。例如，为了表示二进制数 **1101**，可采用 $(1101)_2$ 、**1101B** 等形式来表示。通常二进制数最左边数位称为最高位 (Most Signification Bit, MSB)，最右边数位称为最低位 (Least Signification Bit, LSB)。4 位二进制数合在一起称为半字节 (nibble)，8 位二进制数合在一起称为字节 (byte)。

由于二进制数的每个位置只有两个可能的取值 **1** 或 **0**，因此很容易用具有两个稳定状态的电路元件来表示，如利用晶体管的导通和截止状态、开关的“断开”和“闭合”来表示 **1** 和 **0**。另外，二进制数的基本运算规则简单。一位二进制数的基本运算规则如下：

加法规则： $0+0=0$ ， $0+1=1$ ， $1+0=1$ ， $1+1=0$ (进位)

减法规则： $0-0=0$ ， $0-1=1$ (借位)， $1-0=1$ ， $1-1=0$

乘法规则： $0\times 0=0$ ， $0\times 1=0$ ， $1\times 0=0$ ， $1\times 1=1$

除法规则： $0\div 1=0$ ， $1\div 1=1$

正是由于二进制数具有上述特点，使其在数字电路中具有不可替代的地位。

3. 十六进制数

当二进制数的位数较多时，书写和阅读都不方便，容易出错。为此，常采用二进制的缩写形式，即十六进制数。

一个任意的十六进制数 (Hexadecimal Number) 可以表示为

$$(N)_{16} = (a_{n-1}a_{n-2}\cdots a_1a_0 \cdot a_{-1}a_{-2}\cdots a_{-m})_{16} = \sum_{i=-m}^{n-1} a_i 16^i$$

其中， a_i 可取 $0\sim 9$ 及 A、B、C、D、E、F 这十六个数码中的任意一个。十六进制数遵循“逢十六进一”的计数规律，不同位置上的数码具有权 16^i 。

采用十六进制比二进制数简短，易读易记，而且，十六进制数与 4 位二进制数对应，两者之间的转换十分方便，因此，十六进制在计算机和数字系统中使用十分普遍。在计算机编程语言中，通常用“0x”前缀或“H”后缀来表示十六进制数。

4. 数制转换

(1) 二进制与十进制的转换

由于数字电路中采用二进制数，而我们日常使用的是十进制数，因此必须掌握二进制数与十进制数之间的转化方法。

① 二进制转换为十进制。

将二进制数转换为十进制数的方法比较简单，二进制数按位权展开，用十进制运算法则求和，即可得到相应的十进制数。例如，可用下述方法将二进制数 $(1101.11)_2$ 转换为十进制数：

$$(1101.11)_2 = 1\times 2^3 + 1\times 2^2 + 0\times 2^1 + 1\times 2^0 + 1\times 2^{-1} + 1\times 2^{-2} = (13.75)_{10}$$

② 十进制转换为二进制。

将十进制数转换为二进制数的常用方法是先把十进制数的整数部分和小数部分分别进行转换，然后合成结果。十进制数整数部分的转换采用“除 2 取余、余数倒级联”的方法：把十进制整数反复除 2 直到商为 0，并取出各次相除的余数；将余数倒向级联（即最后出现的置于最高位，最先出现的置于最低位），即得到相应的二进制数。小数部分的转换采用“乘 2 取整法”：将十进制小数乘 2，在所得的积中取出整数部分（0 或 1）作为二进制数的最高位；去掉整数部分后留下的小数部分继续乘 2 取整，依次得到二进制数的第二位、第三位……直到积为 0 或满足给定的精度要求为止。

【例 1.2-1】采用“除 2 取余法”将十进制整数 $(77)_{10}$ 转化为二进制数。

解:

| | | | |
|---|----|------------|----------|
| 2 | 77 | | |
| 2 | 38 | ----- 余数 1 | 最低位(LSB) |
| 2 | 19 | ----- 余数 0 | ↑ |
| 2 | 9 | ----- 余数 1 | |
| 2 | 4 | ----- 余数 1 | |
| 2 | 2 | ----- 余数 0 | |
| 2 | 1 | ----- 余数 0 | |
| | 0 | ----- 余数 1 | 最高位(MSB) |

上述转换步骤可归纳为:十进制数 77 除 2 取余,至商为 0,并将余数自下而上倒级联,即得到相应的二进制数。因此 $(77)_{10} = (1001101)_2$ 。

【例 1.2-2】采用“乘 2 取整法”将十进制小数 $(0.828125)_{10}$ 转化为二进制数(取 6 位有效数)。

解:

| 小数部分乘 2 | 结果 | 取整数部分 | |
|---------------------|----------|-------|-----|
| 0.828125×2 | 1.656250 | 1 | MSB |
| 0.656250×2 | 1.312500 | 1 | ↓ |
| 0.312500×2 | 0.625000 | 0 | |
| 0.625000×2 | 1.250000 | 1 | |
| 0.250000×2 | 0.500000 | 0 | |
| 0.500000×2 | 1.000000 | 1 | LSB |

通过乘 2 取整,至积为 0,并将保留的整数自上而下级联,即得到二进制数。因此 $(0.828125)_{10} = (0.110101)_2$ 。

如果小数部分与 2 相乘,积一直不为 0,则取一定的有效位数即可。

(2) 二进制与十六进制的转换

十六进制的 16 个数码正好对应于 4 位二进制数的 16 种不同取值组合,如表 1.2-1 所示。

表 1.2-1 十六进制与二进制之间的对应关系

| | | | | | | | | |
|------|------|------|------|------|------|------|------|------|
| 十六进制 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
| 二进制 | 0000 | 0001 | 0010 | 0011 | 0100 | 0101 | 0110 | 0111 |
| 十六进制 | 8 | 9 | A | B | C | D | E | F |
| 二进制 | 1000 | 1001 | 1010 | 1011 | 1100 | 1101 | 1110 | 1111 |

将二进制数转化为十六进制数的方法是:以小数点为基准,将二进制数的整数和小数部分每 4 位分为一组,不足 4 位的分别在整数的最高位前和小数的最低位后加 0 补足,然后每组用等值的十六进制码替代,即得十六进制数。

十六进制数转换为二进制数的过程正好与上述过程相反,将每位十六进制数用 4 位二进制数代替即可。

【例 1.2-3】将二进制数 $111011.10101B$ 转换为十六进制数。

解:

| | | | |
|---|---|---|---|
| <u>0011</u> <u>1011</u> . <u>1010</u> <u>1000</u> B | | | |
| ↑ | ↑ | ↑ | ↑ |
| 3 | B | A | 8 |

因此, $111011.10101B = 3B.A8H$ 。

1.2.2 码制

由于数字系统是以二值数字逻辑为基础的,因此其数值、文字、符号、控制命令等信息都采用二进制形式的代码来表示。所谓编码,就是用一串二进制代码表示某种信息的过程。如在道路交通灯控制系统中,绿灯亮表示“通行”,黄灯亮表示“注意”,红灯亮表示“停止”。对这三种状态可进行如表 1.2-2 所示的编码。

表 1.2-2 交通灯控制系统状态编码示例

| 状 态 | 编 码 | 含 义 |
|-----|-------|-----|
| 红灯亮 | 1 0 0 | 停 止 |
| 黄灯亮 | 0 1 0 | 注 意 |
| 绿灯亮 | 0 0 1 | 通 行 |

实际上,编码是人为地为不同的信息规定一种二进制形式的代码,因此编码过程是比较灵活的,对同一信息,可采用多种编码方案。本节主要介绍几种数字电路中的常用编码,包括 BCD 码、格雷码、奇偶校验码和 ASCII 码等。

1. BCD 码

为实现在数字电路中直接用十进制进行输入和运算,需要将十进制数的 0~9 十个数码分别用若干位二进制代码来表示。十进制数常用的编码方案就是采用所谓的二-十进制编码(Binary-Coded-Decimal, BCD)。由于十进制数的十个数码需用 4 位二进制数来表示,因此可以在 4 位二进制编码构成的 16 种组合中灵活地取 10 种来完成编码。例如,按自然顺序选择 0000~1001 来表示数码 0~9 的编码方案称为 8421BCD 码,选择其中的 10 个组合 0011~1100 的编码方案称为余 3 码,除此之外还有 2421 码、5421 码、余 3 循环码等。表 1.2-3 列出了几种常见的 BCD 编码方案。

表 1.2-3 几种常见的 BCD 码

| 十进制数 | 二 进 制 | 8421 码 | 2421 码 | 5421 码 | 余 3 码 | 余 3 循环码 |
|------|-------|--------|--------|--------|-------|---------|
| 位权 | 8421 | 8421 | 2421 | 5421 | 无权 | 无权 |
| 0 | 0000 | 0000 | 0000 | 0000 | 0011 | 0010 |
| 1 | 0001 | 0001 | 0001 | 0001 | 0100 | 0110 |
| 2 | 0010 | 0010 | 0010 | 0010 | 0101 | 0111 |
| 3 | 0011 | 0011 | 0011 | 0011 | 0110 | 0101 |
| 4 | 0100 | 0100 | 0100 | 0100 | 0111 | 0100 |
| 5 | 0101 | 0101 | 1011 | 1000 | 1000 | 1100 |
| 6 | 0110 | 0110 | 1100 | 1001 | 1001 | 1101 |
| 7 | 0111 | 0111 | 1101 | 1010 | 1010 | 1111 |
| 8 | 1000 | 1000 | 1110 | 1011 | 1011 | 1110 |
| 9 | 1001 | 1001 | 1111 | 1100 | 1100 | 1010 |

BCD 码中最常用的是 8421BCD 码,该编码方案具有如下特点。

① 8421BCD 码中的每个码由 4 位二进制数组成,按自然顺序排列,前 10 种代码依次表示十进制数码 0~9。

② 8421BCD 码是一种有权码,各位的权自左至右分别为 8 (2^3)、4 (2^2)、2 (2^1)、1 (2^0),其名称由此而来。

③ 8421BCD 码只用 4 位二进制码构成的 16 种组合中的前 10 种,其余称为无效码。

④ 8421BCD 码具有奇偶性,即十进制数为奇数时,所对应的 8421BCD 码最低位为 1,否则最低位为 0,因此可利用 8421BCD 码判别数的奇偶性。

【例 1.2-4】将 $N = (9750)_{10}$ 转化为 8421BCD 码。