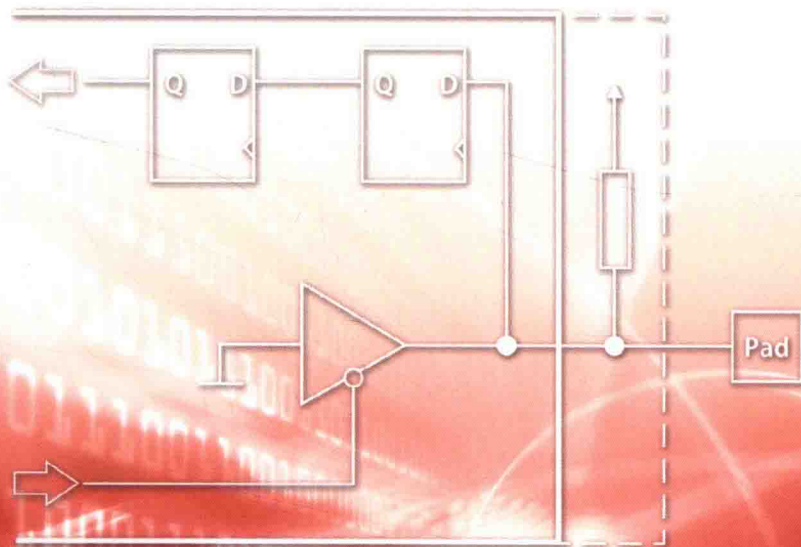




普通高等教育电子信息类专业“十三五”规划教材

基于FPGA的电子系统设计

殷卫真 编著



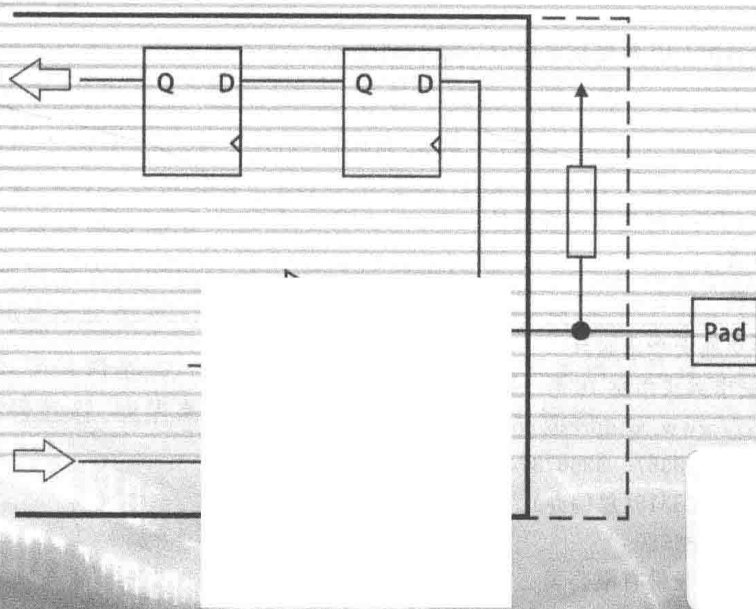
西安交通大学出版社
XI'AN JIAOTONG UNIVERSITY PRESS



普通高等教育电子信息类专业“十三五”规划教材

基于FPGA的电子系统设计

殷卫真 编著



内容简介

本书讨论采用 VHDL(超高速硬件描述语言)与 FPGA(现场可编程门阵列)平台设计电子系统。期望从关注电子设计多姿多彩的需求与形式,到归化式的基于平台的设计验证,再到针对需求的优化实现,最终从满足需求的角度来阐释电子系统设计。书中设立系列主题,带入典型的设计,给出了综合案例,及多种方法的设计、仿真与测试。与此同时,通过注释、点评与说明介绍知识技巧,引导读者了解基于 FPGA 的电子系统设计理念、风格、标准、规范。教材试图向 CPU 及其接口与通信系统设计方面延伸,扩展设计基础。本书介绍的 VHDL 语言的应用超越了通常可综合的 VHDL 编写,丰富了设计描述,采用第三方仿真软件 Modelsim 方式进行 Testbench 等的仿真,可以提高测试共享,提高移植性、仿真效率和仿真复杂度。介绍的在线工具测试验证等手段,可提高设计、验证、测试的功效,降低开发成本。本书采用不同风格和层次介绍设计特点的方式,主要面向电子信息工程专业与计算机专业本科生编写,也可作为研究生的设计参考书,以及电子设计专业人员的设计参考书。

图书在版编目(CIP)数据

基于 FPGA 的电子系统设计/殷卫真编著. —西安:
西安交通大学出版社, 2016. 8
ISBN 978-7-5605-8867-4

I. 基… II. ①殷… III. ①电子系统-系统设计
IV. ①TN02

中国版本图书馆 CIP 数据核字(2016)第 186770 号

书 名 基于 FPGA 的电子系统设计
编 著 殷卫真
责任编辑 毛 帆

出版发行 西安交通大学出版社
(西安市兴庆南路 10 号 邮政编码 710049)

网 址 <http://www.xjtupress.com>

电 话 (029)82668357 82667874(发行中心)

传 真 (029)82668315(总编办)
(029)82668280

印 刷 虎彩印艺股份有限公司

开 本 727 mm×960 mm 1/16 印 张 25 字 数 617 千字

版次印次 2016 年 12 月第 1 版 2016 年 12 月第 1 次印刷

书 号 ISBN 978-7-5605-8867-4

定 价 59.00 元

读者购书、书店添货、如发现印装质量问题,请与本社发行中心联系、调换。

订购热线:(029)82665248 (029)82665249

投稿热线:(029)82669097 QQ:354528639

电子信箱:lg_book@163.com

版权所有 侵权必究

序

应用型本科教学“规划教材”编写的活动,促使我们思考如何突破传统的模式来突出“应用”这两个字。对应用型本人的理解是,引导学生在应用过程中学习,并通过学习掌握知识的精髓进而具有应用能力。因而在本教材的编写过程中,本人尝试突出思想与方法,淡化知识的方式,试图将讲解知识变为知识路径的导引,提高效率与受益面。这种方式需要以下3个前提:

1. 教师要积极参与网络多媒体等资源的建设与应用

随着网络的普及和发展,很多书籍的知识在网络上可以迅速地搜索到,借助网络和各种多媒体等工具(如电子课件、电子微课、视频等)学习很有效率和效果。本人尝试编写书籍时将知识淡化,使学生在整个学习过程中依靠网络、电子手段与应用更紧密结合,所以教师要不断地跟踪新技术,积极参与网络多媒体等资源的建设与应用,为这种应用学习提供有力支撑。

2. 教学方式方法的改进

我们在卓越工程师计划的研究探索中建立的新的学习方式,也突出了加强在过程与应用中学习。为了提高效率,我们建立“翻转”课堂,将教学实验室基于平台的设计与学生采用的“口袋实验室”相结合,把一些知识的学习甚至实验放在课下,课上增加交流讨论、检查答辩和点评的内容,所以本书有一些手册的特点,不仅适合学习,同时非常适合在应用中查阅。

3. 书籍适合不同程度的学生学习

书中每一种设计都追求不同的设计风格和设计层次的表述,对于行为级算法级的描述,可以针对没有专业基础的低年级同学。对于RTL(寄存器传输级)追求设计优化,学生至少有一定的程序设计基础和数字电路基础。对于复杂电子系统设计,学生最好具有计算机组成原理、微机接口原理、数字信号处理、通信系统原理、ASIC设计等专业知识。

前 言

1. 再论 FPGA 设计学习

现代电子系统设计的发展与当前大信息大工程的趋势密切相关,被喻为数字系统设计三大基石的核心技术 FPGA(Field Programmable Gate Array,现场可编程门阵列)、DSP(Digital Signal Processor,数字信号处理器)和 CPU(Central Processing Unit,中央处理器单元)中,FPGA 的发展尤其引人注目。

FPGA 从最初的传统数字逻辑设计的硬件平台,已经发展成可以集 DSP、CPU、计算机接口与通信系统等跨领域跨行业设计应用的载体,其更大规模、更高性能器件的不断推出,加上它灵活和可顺序又特有的并行方式,使它不仅可能在更低层级实现一些通用 DSP 与 CPU 及其嵌入系统的功能与性能,满足高层次的需求,而且可以表现出非常独特的特点。FPGA 甚至是一些通用 DSP、通用 CPU 与 ASIC(Applications Specific Integrated Circuit,专用集成电路)先期开发与验证的平台,可以有更多的知识产权。FPGA 的集成化反复可编程、可扩展性、可维护性,是保证产品生存周期竞争力的有力武器。利用 EDA 等设计工具,可以自定向下设计,建立协同设计,提高设计环节的反馈与测试验证的能力,不断仿真后再反复编程设计实现,使设计更生态,使产品在快速面世的同时有好的质量。

一方面,FPGA 依赖工具、工艺、平台支持的部分更具特色,是 FPGA 厂家提供的设计成果,享用这些资源带给设计独特的发展。另一方面,利用与工艺、平台无关的相对独立、灵活、标准的硬件描述语言(HDL)开发,使设计更标准化、可移植、可复用等,有更大的适应与发展的可能。

在教学上,数字电路设计、计算机组成原理、微机原理与接口、计算机体系结构、通信系统原理和数字信号处理等原本相对独立的课程都可进一步向以 FPGA 为核心的电子系统设计渗透联系与融合。FPGA 作为可以实现贯通教育的平台,在教学甚至科研等方面很有意义,因为更低层级的实现方式伸展出的高端设计意味着学生可以对本质有更深刻的理解,可以有更宽广的适应能力和发展能力。

FPGA 编程对可综合的追求,使得优秀的 FPGA 设计者偏爱简单的语言描述,初学者会误认为 FPGA 开发简单,实际学好 FPGA 是比较难的。一般计算机语言都是顺序语句,而描述 FPGA 设计的 HDL 既有顺序语句,又有并行语句,与其他硬件开发不同的还有,比如单片机侧重软件编程,而 FPGA 侧重软硬件可编程并优化,所以 FPGA 开发是很有力度和难度的,值得花时间研究。

现在人人都在讲设计理念,故然,没有理念的设计味同嚼蜡,无灵魂、无生命,但是没有支撑的设计理念则如镜中月水中花。FPGA 可以开发出真实的生机勃勃的有着先进理念面对应用和发展的电子系统,换言之,学习开发 FPGA 可以从技术到原则到理念。当你有一个精妙的理念,通过 FPGA 设计实现了,学习 FPGA 的目标就达到了。

2. 平台和语言选择

FPGA 最常见的设计平台对应着 Xilinx 和 Altera 两个厂家。采用 HDL 进行开发是 FP-

GA 研究的主要手段, VHDL (Very-High-Speed Integrated Circuit Hardware Description Language, 非常高速的硬件描述语言) 与 Verilog 作为 Ieee 标准, 均有大量的应用者, 拥有许多资源。系统 C 目前是比较新的描述语言, 但是相应的设计资源比 VHDL 与 Verilog 少。对于许多初学者倍感纠结的是采用哪一个厂家, 采用何种 HDL, 面对两种语言、两个厂家众说纷纭, 各执一词。最初国内高校采用 VHDL、Altera 的学校较多, 近些年高校采用 Verilog 和 Xilinx 开发均有增加之势。对于 FPGA 开发的专业工作者, 无疑都应该掌握, 否则就失去了一片资源, 一半信息世界, 一种根据需求与成本等因素对综合实现平台的选择。

自顶向下的设计从开发资源丰富、利用方便的平台开始, 不断求精; 就设计而言, 我们始于思想, 继而方法论, 思想不断进步, 方法不断突破, 实践不断创新; 就教学而言, 我们主张举一反三。Xilinx 和 Altera 类似平台触类旁通, VHDL 与 Verilog 等, 类似语言可混合设计。本书举的“一”是采用 Altera、VHDL。

3. FPGA 设计说明与要求

3.1 基于 FPGA 的电子系统设计的要求

总体要求: 依据设计理念、理论、原则, 甚至审美直觉审视、阐释设计, 实现可优化的工程设计与系统设计; 设计功能明确, 性能优越、创意新颖, 方法技术创新、有应用价值和前景。

(1) 工程层面要求:

- ①提供“产品”原型, 有 DFX 的考虑;
- ②要从需求规律与产品进化角度提出多种方案、多种方法、多种实现;
- ③充分利用实验室现有的资源和厂家提供的样片、评估板, 关心成本;
- ④撰写完善的系统规格说明书等设计文档;
- ⑤有“产品”技术规范, 数据手册, “产品”演示视频等。

(2) 技术层面部分:

- ①具有方便、实用、美观的人机界面与交互;
- ②性能好、功能丰富, 闭环控制;
- ③实现与 PC 通信;
- ④自主设计通信协议;
- ⑤嵌入微处理器核与任意类型的操作系统;
- ⑥深入探讨原理和算法的应用;
- ⑦深入探讨设计实现及其应用;
- ⑧自由发挥。

3.2 设计与设计约束

设计要考虑的设计约束, 主要涉及两个方面, 一是设计资源, 二是设计优化。

本书以 HDL 为主, 设计与平台无关, 但是当探讨具体的综合与测试验证就不可能不涉及到设计平台。书里提及不同的设计资源带给我们不同的设计考虑和实现。

本书硬件综合与测试采用的 Altera 平台, 有出自厂家的设计库, 其在性能等方面高于出自 HDL 的电路, 所以在书中介绍如何利用厂家的 Altera 库资源。

Open IP Core (IP: Intellectual Property, 开放的知识产权核) 是设计需要关注的重要资

源。本书介绍 Open IP Core 微处理器 8051 核的使用。单片机的研究早于 FPGA, 其研究资源很丰富, 这无形中增加了设计资源, 也为学习 CPU 设计提供了资料。

设计优化先要设计多样化, 从工程设计与应用角度, 对问题的功能、性能等实现给出设计风格多样的, 可满足不同设计优化目标的解决方案, 在此基础上依据优化目标做出合理的选择。作为设计的重要组成部分测试, 也要进行多样性解决方法的讨论。本书探讨了多样化测试与实现、快速测试与实现, 及其选择方法。本书没有讨论硬件更深层次的约束, 如可人工干预约束的布局布线 Logiclock 等工具, 在挑战性能与资源极限的复杂应用情况下是要考虑的。

3.3 研究和应用设计工具

无论是资源问题还是优化问题, 设计工具可以提供一些解决方法。要重视借助 EDA 工具的力量了解信息和对细节进行分析, 考虑设计约束来更好的完成设计; 借助第三方仿真工具 Modelsim 进行多种方法的仿真; 借助 EDA 工具提供的在线工具(如测试工具 SignalTap II 等)进行测试。

4. 本书的编写说明

本书编写的原则是提高信息量, 简约规范, 统一标准, 紧凑编排, 可读性强, 方便学习与理解。本书部分采用了 FPGA 文档指南与规范说明, 参见附录 A, 在 6.4.2 小节做了举例说明。书中程序的注释角度以学习 VHDL 为主, 一些注释是增量式的。

VHDL 格式自由, 大小写不敏感。书中采用了缩进格式, 统一将关键字、标准程序包提供的类型、常数大写字母开头和一般标识符小写。

书中仿真重点采用 Modelsim, 版本是 Modelsim 6.5e(Windows XP) 和 Modelsim 10, a(Windows 7)。Modelsim 默认波形窗口的衬底为黑色, 为了印刷的清晰, 在工具栏中编辑参数, 改为了白底黑字。在不以仿真说明为重点的段落里, 有一些仿真结果来自 Quartus II 8.0 平台自带的仿真器。设计结果大部分是在 Altera EP2C35F672C8 芯片上验证的。Quartus II 主要采用版本是 Quartus II 8.0, 10.0, 13.0。

VHDL 标准主要采用的是 1993 版, 少量采用 2008 版, 因为现在的 EDA 工具对 1993 版的支持普遍比较好。为了整个书籍的规范, 一些在模板上修改而成的 1987 版测试程序等也归化到 1993 版或者 2008 版。了解标准的变化, 从保留字上也可以反映出一些, 参见附录 B; 了解 1993 与 2008 版的特点参见附录 C。

本书主要是针对目前教学计划设立的 48 学时 VHDL 与数字系统设计课程和 8 学时通信系统原理课程实验的教学任务。

本书确切地说应该是基于 FPGA 的电子系统设计基础, FPGA 作为贯穿式教学的平台, 在设计面可以有许多延伸, 书中作了些许尝试。

全书的编写得到了北京工业大学教务处, 实验学院以及信息工程系领导、同事的支持, 更归功于中国高等教育学会对应用型本科教学“规划教材”的组织推动, 以及西安交通大学出版社的承办。书中还参考了许多专家学者的著作和研究成果。在此向上面的组织与所有人表示衷心的感谢。

由于作者水平有限, 加之书中的内容没有如期望的一样完全进入到教学实践中, 书中可能有不妥之处, 欢迎读者和同行批评指正。

目 录

1 概 述	(1)
1.1 基于 FPGA 的设计特点与方法	(1)
1.2 Quartus II 工程建立与语言模板(Template)	(3)
1.2.1 查看模板给出的 VHDL 设计实例	(4)
1.2.2 从 Quartus II 模板了解的 VHDL 基本结构	(7)
习 题	(12)
扩展学习与总结	(12)
2 多种形式的设计描述	(13)
2.1 本章主要概念	(13)
2.1.1 基于平台的设计方法	(13)
2.1.2 基于优化的 VHDL 设计	(13)
2.1.3 配置的概念与格式(Configuration)	(13)
2.1.4 类属说明(Generic)	(16)
2.1.5 测试基准文件(Testbench)	(16)
2.1.6 设计验证的主要种类	(16)
2.2 多种形式的多路选择器	(17)
2.2.1 多种四选一电路的 VHDL 设计	(17)
2.2.2 配置应用(块配置)	(21)
2.3 多种四选一电路设计的语法讨论	(21)
2.3.1 块配置讨论	(21)
2.3.2 有优先级的选择	(21)
2.3.3 无优先级的选择	(22)
2.3.4 信号 Signal 与变量 Variable 的讨论	(22)
2.4 选择器的设计优化	(22)
2.4.1 If 和 Case 语句的速度与面积平衡	(22)
2.4.2 If 语句与设计的局部调整优化	(23)
2.4.3 用更少输入端选择器实现面积优化	(24)
2.4.4 VHDL 语句与优化	(24)
2.5 四选一各种描述综合结果比较	(25)
2.6 四选一 Modelsim Testbench 仿真	(26)
2.7 仿真注意事项与仿真程序说明	(27)
2.7.1 仿真文件的编写注意事项	(27)
2.7.2 Modelsim 使用说明	(28)

2.7.3	Testbench 编写说明	(28)
2.8	选择器的设计应用	(29)
2.8.1	选择器作为 ROM 应用	(29)
2.8.2	选择器的总线应用	(29)
2.8.3	选择器的测试应用	(32)
2.9	Altera 库与程序包的应用	(32)
	习 题	(34)
	扩展学习与总结	(34)
3	多种运算单元设计	(35)
3.1	主要概念说明	(35)
3.2	基本加/减运算单元设计	(36)
3.2.1	多种加法器介绍与设计	(36)
3.2.2	配置实现与配置方法	(47)
3.2.3	加法器程序说明	(48)
3.2.4	参数化任意加法器 Testbench 程序说明	(52)
3.3	先行进位加法器	(53)
3.4	BCD 加法器	(61)
3.5	流水线与非流水线加法器	(62)
3.6	LPM 模块应用与 Altera 设计原语	(70)
3.6.1	LPM 模块应用	(70)
3.6.2	Altera 设计原语	(70)
3.7	简易 ALU 设计与 Work 库的应用	(72)
3.8	工程文件管理与自定义库	(74)
3.9	基于数据通道的加法设计	(75)
	习 题	(78)
	扩展学习与总结	(79)
4	Modelsim 仿真提高	(80)
4.1	第三方仿真软件 Modelsim 仿真方式	(80)
4.2	四位加法器 Modelsim 仿真方式	(80)
4.3	Modelsim 仿真步骤	(80)
4.3.1	建工程(Project)与建立文件	(80)
4.3.2	编译(Compile)文件	(81)
4.4	Modelsim 仿真种类	(81)
4.4.1	Modelsim 窗口开关与命令	(81)
4.4.2	Testbench(设计基准文件)仿真	(82)
4.5	Modelsim 连接器件库的仿真	(89)
4.6	Quartus II + Modelsim VHDL 的功能仿真	(89)
4.6.1	Textio 程序包	(89)
4.6.2	Textio 读写文件	(90)

4.7	Quartus II + Modelsim VHDL 的时序仿真	(94)
4.7.1	四位加法器层次化设计时序仿真	(94)
4.7.2	波形输入方式仿真	(98)
4.7.3	用 Testbench 文件法仿真	(102)
	习 题	(104)
	扩展学习与总结	(104)
5	运算单元的设计提高	(105)
5.1	乘法器	(106)
5.1.1	乘法器非流水线与流水线研究	(107)
5.1.2	硬件乘法器运算拓展	(123)
5.2	除法器	(124)
5.3	RTL 级加减乘除运算整合	(128)
5.3.1	乘除运算电路的控制	(128)
5.3.2	状态机控制的移位乘法	(129)
5.3.3	状态机控制的移位除法	(136)
5.3.4	加减乘除整合与 BCD 加减电路的控制	(143)
	习 题	(154)
	扩展学习与总结	(154)
6	系统的计数分频与定时设计	(155)
6.1	可变模计数器	(155)
6.2	异步与同步计数器设计比较	(162)
6.2.1	模 10 计数与级联	(163)
6.2.2	级联中的设计原则	(170)
6.3	查看设计报告与 TimeQuest 时序分析	(172)
6.3.1	LFSR 计数器与二进制计数器设计	(172)
6.3.2	LFSR 计数器与二进制计数器的比较	(174)
6.4	分频相关电路与设计规范	(179)
6.4.1	2 的幂次分频	(179)
6.4.2	偶数等占空比分频与设计规范	(179)
6.4.3	等占空比奇数分频与半整数分频	(185)
6.5	系统的定时设计	(192)
6.5.1	FPGA 锁相环 PLL	(192)
6.5.2	FPGA PLL 应用需求	(194)
6.5.3	可重配置锁相环的使用	(195)
6.5.4	PLL 的重配置模块	(195)
6.5.5	PLL 重配置模块的端口说明	(196)
	习 题	(198)
	扩展学习与总结	(199)

7 存储器的设计与应用	(200)
7.1 LPM_ROM 应用查表法乘法器	(200)
7.2 LPM_ROM 初始化文件 MIF 格式	(202)
7.3 ROM 应用与波形发生器	(203)
7.3.1 设计信号波形的选取.....	(203)
7.3.2 LPM 片上 ROM 实现正弦信号发生器	(206)
7.3.3 正弦信号发生器的具体实现.....	(209)
7.4 FPGA 引脚分配.....	(215)
7.4.1 在图形界面人工指定.....	(215)
7.4.2 反标注法引脚自动分配.....	(217)
7.4.3 引脚分配等信息的文件处理.....	(217)
7.5 多种波形设计与嵌入逻辑分析仪测试.....	(219)
7.6 正弦信号发生器提高.....	(231)
7.7 利于属性 Attribute 指定综合	(239)
7.8 在线硬件调试的工具.....	(241)
7.8.1 在系统存储内容编辑器.....	(241)
7.8.2 在系统信号源与探针测试.....	(243)
7.9 Quartus II 连接 Modelsim 时序仿真	(245)
7.10 SRAM 设计与仿真	(247)
习题	(256)
扩展学习与总结	(256)
8 通信模块设计	(257)
8.1 采用流水线技术设计高速数字相关器.....	(257)
8.1.1 数字相关器原理.....	(257)
8.1.2 数字相关器的设计.....	(257)
8.2 巴克码生成与检测.....	(264)
8.2.1 巴克码生成原理.....	(264)
8.2.2 巴克码检测原理.....	(265)
8.3 扰码与解扰码.....	(271)
8.3.1 扰码与解扰码简介.....	(271)
8.3.2 m 序列生成	(272)
8.3.3 有关加扰与解扰的设计.....	(273)
8.4 基于 DDS 的调制解调	(275)
8.4.1 DDS 步进方波的实现	(280)
8.4.2 ASK 调制与 PCM 调制.....	(287)
8.4.3 FSK 调制与解调	(288)
8.4.4 BPSK 调制	(290)
8.5 移位寄存器及其典型应用.....	(291)
8.5.1 移位寄存器.....	(291)

8.5.2	移位寄存器的应用——串并变换	(294)
8.6	校验与纠错编解码设计	(297)
8.6.1	汉明(Hamming)编解码简介	(297)
8.6.2	汉明编码原理(8,4)	(298)
8.6.3	汉明译码原理	(298)
8.7	传输码型的生成	(301)
8.7.1	曼彻斯特(Manchester)编译码设计	(302)
8.7.2	传号反转码(CMI)编解码设计	(307)
	习 题	(310)
	扩展学习与总结	(310)
9	接口设计	(311)
9.1	UART/RS232 接口	(311)
9.2	字符 LCD 显示控制	(318)
9.3	4×4 矩阵扫描键盘与 LED 显示	(326)
9.4	可编程接口 8255 核设计	(331)
9.4.1	可编程接口 8255 芯片	(331)
9.4.2	8255 核的内部结构	(332)
9.4.3	8255 引脚与信号说明	(333)
	习 题	(338)
	扩展学习与总结	(338)
10	嵌入 51 单片机的设计型实验	(339)
10.1	概 述	(339)
10.2	CPU 简述及应用	(339)
10.3	8051 核结构	(339)
10.3.1	8051 核功能特点	(340)
10.3.2	8051 软核设计应用	(340)
10.3.3	8051 设计层级	(340)
10.3.4	8051 核顶层设计	(342)
10.4	8051 核设计研究	(345)
10.4.1	ALU 算数运算逻辑单元	(345)
10.4.2	Timer 定时器控制器	(348)
10.4.3	Serial 串口控制器	(350)
10.4.4	简单功能配置	(352)
10.4.5	并行 IO 端口	(353)
10.4.6	杂项说明	(353)
10.4.7	内部数据存储器 RAM	(354)
10.4.8	内部数据存储器 RAMX	(356)
10.4.9	内部程序存储器 ROM	(357)
10.5	Quartus II 建立 8051 核工程	(359)

10.5.1	建立 8051 核工程	(359)
10.5.2	Mega Wizard 创建 8051 核内部存储器	(359)
10.5.3	8051 核 RTL 级建立	(360)
10.5.4	8051 核外围电路搭建	(361)
10.5.5	In-System Sources and Probes 调测 8051 核	(362)
10.6	8051 核在 FPGA 下载测试	(364)
	习 题	(369)
	扩展学习与总结	(369)
附录 A	FPGA 文档指南与规范说明	(370)
A.1	文件头	(370)
A.2	文件组织与目录结构	(370)
A.3	文件名和目录名	(371)
A.4	大写和小写	(371)
A.5	注释	(371)
A.6	使用 Tab 进行代码的缩进	(372)
A.7	换行符	(372)
A.8	限制行宽	(372)
A.9	标识符	(372)
A.10	转义标识符	(372)
A.11	名称前缀或后缀	(373)
A.12	空行和空格	(373)
A.13	对齐和缩进	(374)
A.14	参数化设计	(374)
A.15	可综合设计	(374)
A.16	使用预编译库	(374)
A.17	逻辑仿真	(374)
A.18	测试程序(test bench)	(374)
A.19	逻辑综合的一些原则	(375)
A.20	大规模设计的综合	(375)
A.21	必须重视工具产生的警告信息	(375)
A.22	调用模块的黑盒子(Black box)方法	(375)
附录 B	VHDL 保留字	(377)
附录 C	VHDL 1993 版与 2008 版的特点	(378)
C.1	VHDL 1993 版特点	(378)
C.2	VHDL 2008 版的特点	(381)
附录 D	Ieee 库类型转换函数表	(384)
	参考文献	(385)

1 概述

本章的主要内容与方法:

- (1) 基于 FPGA 的电子系统设计的研究特点与方法。
- (2) 介绍借助 Quartus II 模板资源学习。
- (3) 学习 Quartus II 模板 VHDL 的案例。
- (4) 简单介绍 Quartus II 中 1993 版和 2008 版的设置。
- (5) VHDL 的基本结构。
- (6) VHDL 的基本语句。

1.1 基于 FPGA 的设计特点与方法

现代工程是网络化的、系统化的、集成化的产品及相关过程的开发模式。这一模式使开发者从一开始就要考虑到质量、成本、开发时间及用户的需求、标准、环境问题等诸多方面因素,我们需要在顺序工程的基础上再进行并行工程的思考与实践。

FPGA 支持并行工程,采用自顶向下的协同式的设计,同时基于工程设计进行全过程、全要素、全盘考虑的需要,要开展 DFX(Design For...,可……设计),其中 X 作为通配符可包括 A(Assembly,可装配)、R(Reliability,可靠性)、Y(Yield,可收益)、T(Test,可测试)以及可验证、可移植、可扩展、可维护、可配置、可复用、安全性、易用性等。设计不再仅满足可综合(Synthesis)可实现的范畴。比如,设计测试是设计描述的一部分,可靠性设计是设计描述的一部分,DFX 设计极大地丰富和立体化了设计描述。

自顶向下设计实现大型复杂系统的前提是丰富的资源保障,支撑是 EDA 工具,所以我们也探讨引入资源和利用资源,探讨工具的运用。

设计多样性、设计理念与原则是相对应的。系统设计的实现简单的说要有系统规划,方案选择、模块划分,系统整合,测试与优化。因为基于 FPGA 的电子系统设计虽然可以有很多软件实现,但其本质实现是硬件的。在资源限制的情况下,要做工程各方面因素权衡,要从方案开始就对多样性极大关注,对设计载体、设计方法多样性广泛探究,对问题多种多样解决探讨实践,协调好不同的优化目标,一部分通过行程再造、一部分通过时空转换等方式直至问题的理想化或所谓优化解决。可以说没有比较就没有鉴别,没有基础就没有整合,没有多样性也就没有优化,设计是根据多样性针对应用需求给出的合适抉择。

如果仅仅是针对 FPGA 编写可综合的代码,在编程方面追求多样化会受到一些约束,而为了工程化的先虚拟再实际的理由,必定要用更丰富的语言来表现虚拟,即加入那些不可综合的语言,这使设计有了更大的空间,使设计进一步地降低成本和提高效率,使做 FPGA 设计更有趣味、更生态。更何况“虚拟”是设计不可或缺的重要组成部分。因而本书中我们提供的一些小程序,有些是为了说明可综合设计的多样性,有些是为了说明不可综合设计的多样性。

设计原则有速度与面积原则、系统原则、同步原则、硬件原则等。

速度与面积原则,要在满足速度要求的情况下尽可能节省面积解决;系统原则,要求不能仅仅从局部优化来考虑问题;同步原则,尽管当前讨论异步设计的声音又大了些,但是对 FPGA 设计而言,同步原则还是要重点关注的;硬件原则,代码的简约整齐只是设计需要兼顾的,硬件的优化合理实现才是评价的标准。

应探讨基于平台的设计,设计要跟随标准,要有好的设计规范和设计风格。

FPGA 的设计主要有两种方式,一是与工艺平台有关的设计,二是与工艺平台无关的设计。VHDL 可以容纳与沟通两种方式。

我们在设计中采用从个性化分析到标准化解决研究到回归个性化需求的方法。与平台无关的设计是标准化的解决研究,与平台有关的设计是回归个性化需求的一个方式。不管设计过程中采用何种风格,最终的设计都符合 FPGA 的原则,即正确的实例化底层单元模块,合理地使用固有的硬件结构,以达到最优化的设计效果。

从 VHDL 语言描述实体的行为方面,其结构体主要有以下三种描述方式:

- ①行为描述(behavioral),用算法和行为描述设计。
- ②数据流描述(dataflow),又称 RTL(Register Transfer Logic/Level)描述。
- ③结构化描述(structural),采用层次化的方式描述设计。

三者的优缺点、描述特点和使用场合如表 1-1 所示。本书我们将给出案例来说明多种描述方式,同时根据算法、逻辑、不同的语法和优化目标等因素,从多种多样的设计中选定具体的实现。

表 1-1 三种描述方式的比较

描述方式	优缺点	描述特征	适用场合
结构化描述	连接网络关系清楚,电路模块划分清晰 电路不易理解、繁琐、复杂	结构化语句: Component Generic Map Port Map	电路层次化设计、顶层设计、模块连接
数据流描述 RTL 级描述	布尔函数定义明白 不易描述复杂电路 不易修改	面向可综合的设计	小门数的电路与模块设计
行为描述	电路特性清楚易读 综合效率相对较低	使用延时语句,包括惯性延时和传输延时 在多驱动处理时,采用决断函数 使用 Generic 语句对时序参数建模	大型复杂的电路设计系统仿真

书中用一个实体和多个结构体的程序来给出设计,通过 Configuration(配置)语句来指定起作用的结构体或者元件,借此来阐释设计比较的方法。

1.2 Quartus II 工程建立与语言模板(Template)

Quartus II 给出了一些设计语言的模板,如 VHDL,介绍了语言的结构,基本语法等,给出了一些典型的、常用的和基本的电路的描述,学习好这些案例,对了解 VHDL 的设计等会有帮助。

新建工程,进入 Quartus II,File→New Project Wizard→填写工程的工作目录、工程名、顶层实体名→选择加入项目的文件,缺省→选择器件系列与具体型号→EDA 工具,缺省。

新建 VHDL 文件。File→New→Design File→VHDL File,进入了编辑窗口。输入 VHDL 文件,保存,编译(Compilation),就可以得到一个最基本的工程了,工程名为 *.qpf,工程的设置文件为 *.qsf。

在编辑窗口,插入模板。Edit→Insert Template,方法如图 1-1 所示。

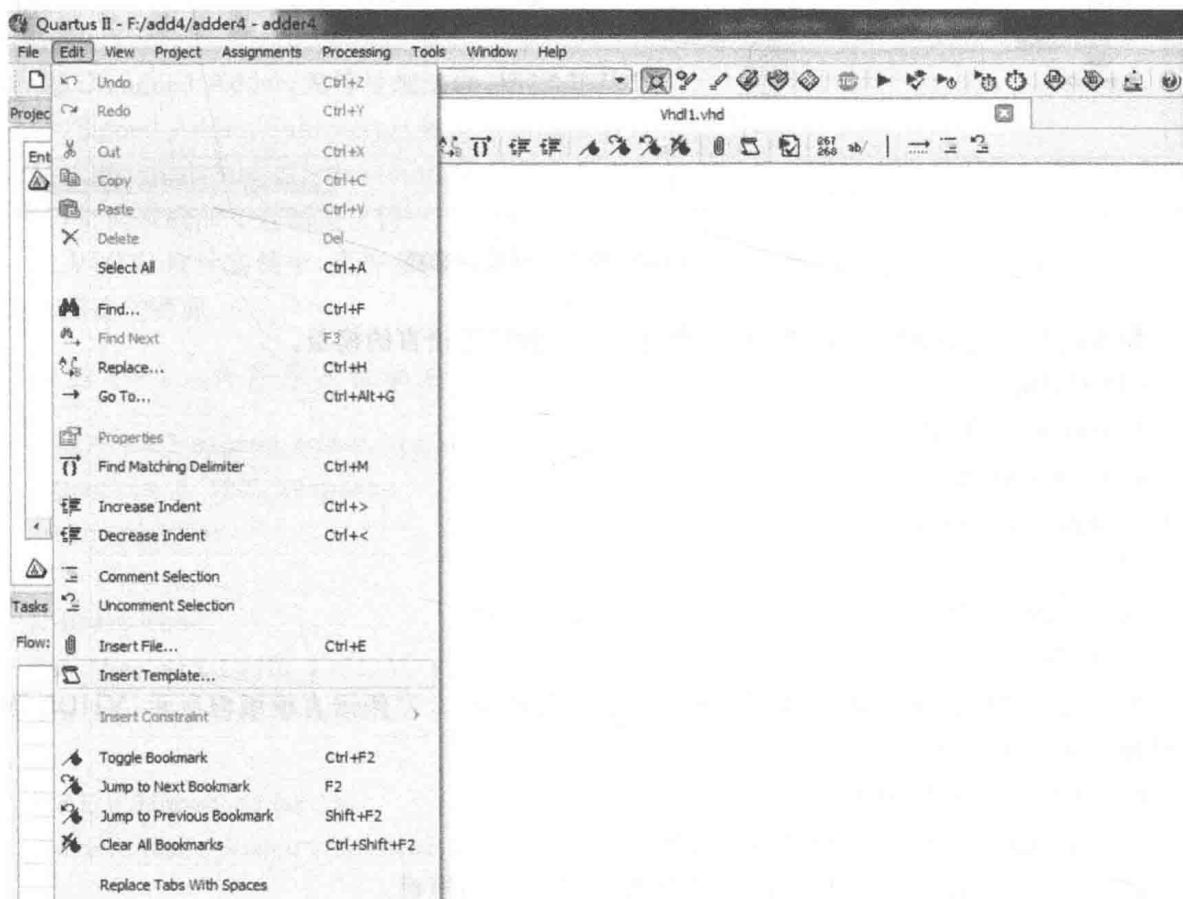


图 1-1 Edit 菜单中插入模板

选择 VHDL→Full Design→Arithmetic→Adders→Signed Adder,如图 1-2 右侧预览窗所示,可以看到一个 VHDL 有符号加法器的例程。

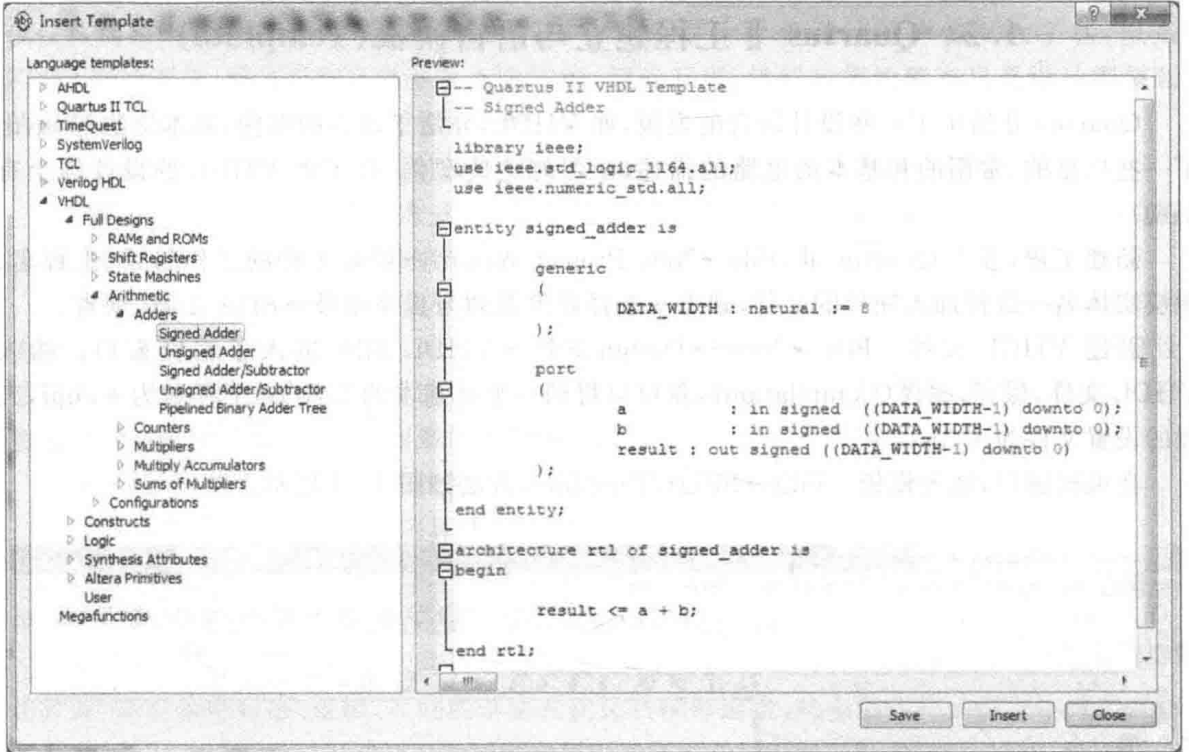


图 1-2 VHDL 模板设计案例选择

模板的第一层级, Quartus II 10.0 中有如下 7 种描述语言的模板。

- (1) AHDL。
- (2) Quartus II Tcl。
- (3) TimeQuest。
- (4) System Verilog。
- (5) TCL。
- (6) Verilog HDL。
- (7) VHDL→。

模板的第二层级→VHDL, 选择 VHDL 语言, 如图 1-2 左侧语言模板窗所示, VHDL 语言模板层级展开, 包括 6 种模板。

- (1) Full Design, VHDL 设计实例。
- (2) Constructs, VHDL 的语言结构模板。
- (3) Logic, 逻辑单元, 给出寄存器、锁存器、三态门等的模板。
- (4) Synthesis Attributes, 综合属性模板。
- (5) Altera Primitives, Altera 的基本设计单元的模板, 可调用缓冲器、寄存器、锁存器等。
- (6) User 用户自定义模板。

1.2.1 查看模板给出的 VHDL 设计实例

模板的第三层级→Full Design, VHDL 设计实例, 层级展开, 有 5 种常用设计单元模板。