

系统芯片(SOC) 设计方法与实践

万国春 苏立峰 罗胜钦 陈怡 编著

XITONGXINPIAN(SOC)
SHEJIFANGFA YU SHIJIAN



同济大学出版社
TONGJI UNIVERSITY PRESS

系统芯片(SOC)设计方法与实践

万国春 苏立峰 罗胜钦 陈 怡 编著



同济大学出版社
TONGJI UNIVERSITY PRESS

内 容 提 要

本书主要介绍了系统芯片(SOC)的设计原理、方法,以及工程实践。结合多年的教学经验、项目实践以及累积的资料,并借鉴国内外经典教材的写作手法编著而成。内容参考 Xilinx 公司和 ARM 公司最新的官方文档,吸收国内外最新的相关专业文献,提取其精华,并提供具有针对性的实践项目例程。本书旨在让每位读者能够对 SOC 设计有一个深入的理解,并且在教材的指导下,以动手实践的方式掌握相关的专业技能,为未来的学习和工作打下坚实的基础。

全书可分为四部分:第一部分内容讲述硬件描述语言 VHDL 和 Verilog HDL 的基本语法以及如何实现基本数字逻辑单元的设计。第二部分讲述了数字系统的层次结构设计以及 SOC 芯片的体系结构。第三部分涉及设计的形式化验证、静态时序分析以及可测试设计。第四部分主要内容为可编程逻辑器件以及 ASIC 后端设计流程及方法。书中的案例基于 Xilinx 公司的 Vivado 设计套件,并提供相应的 VHDL/Verilog HDL 参考源代码。

图书在版编目(CIP)数据

系统芯片(SOC)设计方法与实践/万国春等编著.

—上海:同济大学出版社,2016.12

ISBN 978-7-5608-6591-1

I. ①系… II. ①万… III. ①集成电路—芯片—设计 IV. ①TN402

中国版本图书馆 CIP 数据核字(2016)第 261017 号

系统芯片(SOC)设计方法与实践

万国春 苏立峰 罗胜钦 陈 怡 编著

责任编辑 张智中 责任校对 徐春莲 封面设计 陆冬霞

出版发行 同济大学出版社 www.tongjipress.com.cn

(地址:上海市四平路 1239 号 邮编:200092 电话:021-65985622)

经 销 全国各地新华书店

印 刷 同济大学印刷厂

开 本 787mm×1092mm 1/16

印 张 29

字 数 724 000

版 次 2016 年 12 月第 1 版 2016 年 12 月第 1 次印刷

书 号 ISBN 978-7-5608-6591-1

定 价 76.00 元

本书若有印装质量问题,请向本社发行部调换 版权所有 侵权必究

前 言

20 世纪 90 年代后期,随着半导体加工技术跨入深亚微米时代,晶体管门电路的设计和加工能力达到百万以上,使 SOC 的概念有了实现的可能。1995 年 LSI Logic 公司为 SO-NY 公司设计的 SOC,是基于 IP 核完成 SOC 设计的最早报道。由于 SOC 可以充分利用已有的设计积累,显著提高 ASIC 的设计能力,因此发展快速。SOC 的出现是电子系统设计领域的一场革命,同时也对电子工程技术人员提出了新的挑战。随着 EDA 技术和工具的发展,现代数字系统的设计思想、设计工具和实现方式均发生了深刻的变化,系统规模不断增大,SOC 已逐渐成为设计主流。作为 IC 设计技术和未来市场的走向,SOC 也逐渐受到国内 IC 行业的重视。本书是在罗胜钦编著的《系统芯片(SOC)设计原理》基础上,进行了改编,更新了部分内容和专业知识,同时为适应技术发展需求增加了具体实践案例。

全书共分为 11 章。第一章介绍了集成电路的发展历史以及 SOC 系统设计概述。包括 SOC 的分类、涉及的关键技术、设计流程以及未来可能的发展方向。第二章和第三章分别介绍了硬件描述语言 VHDL 和 Verilog HDL 的基本结构、语法、描述方式以及基本语句。第四章内容为如何使用 VHDL 和 Verilog HDL 描述同一数字电路。第五章涉及数字系统的层次结构设计。第六章描述 SOC 的体系结构。第七章介绍形式化验证方法的理论基础。第八章详细讨论静态时序分析。第九章介绍可测试设计 DFT。第十章具体讲解现场可编程门阵列 FPGA 器件结构、配置及 Xilinx 系列产品。最后还介绍 EDK 开发流程及基于 MicroBlaze 处理器的 SOPC 系统设计方法。第十一章内容为 ASIC 后端设计。

本书内容全面系统,在介绍系统芯片设计方法之外,展示 SOC 设计领域的最新成果,通过融入许多来自于工业界的实践经验、结合基础项目实践案例,让读者在了解 SOC 设计的相关基础理论,以及 SOC 设计方法的最新进展的同时,帮助读者逐步掌握工业化的解决方案,以满足未来市场需求。本书可作为高等院校电子科学与技术、电子与信息工程、计算机科学与技术等专业的本科生或研究生教材,也可作为相关专业的教师、科研人员及数字集成电路设计工程师的学习参考资料。

本书在写作过程中,得到了电子科学与技术系教师的关心和帮助,以及许多宝贵的修改意见,对于他们的帮助和支持,编者在此表示衷心的感谢!

特别感谢顾权、林钰、万嘉昕等同学,他(她)们在专业技术资料收集、整理、案例分析和验证等方面做了大量卓有成效的专业技术工作。

由于编者水平有限,书中具体内容若有疏漏、欠妥和错误之处,恳请各界读者一如既往,多加指正,以便今后不断改进。

编者

2016 年 11 月

<h1>目 录</h1>	
第 1 章 绪 论	1
1.1 集成电路概述	1
1.1.1 集成电路的诞生和发展	1
1.1.2 我国集成电路的发展	2
1.1.3 集成电路的分类	2
1.2 SOC 概述	4
1.2.1 SOC 的分类	5
1.2.2 SOC 涉及的关键技术	6
1.2.3 SOC 设计流程	7
1.2.4 SOC 技术的发展方向	10
1.3 VHDL 与 Verilog HDL	11
1.3.1 VHDL 和 Verilog HDL 的 相同点	12
1.3.2 VHDL 和 Verilog HDL 的 区别	12
1.3.3 学习 VHDL 和 Verilog HDL 的要点	13
1.4 开发平台 Vivado	13
第 2 章 VHDL 语言基础	15
2.1 引言	15
2.2 VHDL 的基础知识	15
2.2.1 VHDL 程序的结构	15
2.2.2 VHDL 常用资源库中的程 序包	23
2.2.3 VHDL 的词法单元	29
2.2.4 数据对象和类型	31
2.2.5 表达式与运算符	38
2.3 VHDL 结构体的描述方式	39
2.3.1 结构体的行为描述	40
2.3.2 结构体的 RTL 描述	41
2.3.3 结构体的结构化描述	43
2.4 结构体的子结构形式	46
2.4.1 进程	46
2.4.2 复杂结构体的多进程组织 方法	49
2.4.3 块	50
2.4.4 子程序	53
2.5 顺序语句和并发语句	55
2.5.1 顺序语句	56
2.5.2 并发语句	65
2.6 VHDL 中的信号和信号处理	71
2.6.1 信号的驱动源	72
2.6.2 信号的延迟	72
2.6.3 仿真周期和信号的 δ 延迟	74
2.6.4 信号的属性函数	76
2.6.5 带属性函数的信号	78
2.7 VHDL 的其他语句	83
2.7.1 ATTRIBUTE(属性)描述 与定义语句	83
2.7.2 断言(ASSERT)语句	90
2.7.3 TEXTIO	90
2.8 多值逻辑	92
2.8.1 三态数值模型	93
2.8.2 多值逻辑	93
2.9 元件例化	95
2.9.1 设计通用元件	96
2.9.2 构造程序包	98
2.9.3 元件的调用	99
2.10 配置	100
2.10.1 默认配置	101
2.10.2 元件配置	102
2.10.3 块的配置	105
2.10.4 结构体的配置	107
习题 2	108
第 3 章 硬件描述语言 Verilog	110
3.1 引言	110
3.2 Verilog HDL 的基础知识	110
3.2.1 模块说明部分	111
3.2.2 端口说明部分	111

3.2.3 端口数据类型说明部分	111	4.1.4 运算器的设计	168
3.2.4 功能描述部分	112	4.1.5 算术逻辑运算单元	179
3.2.5 模块的实例化部分	112	4.2 时序逻辑电路设计	181
3.3 Verilog HDL 的语言要素	114	4.2.1 触发器	182
3.3.1 基本语法定义	114	4.2.2 锁存器	188
3.3.2 数据类型	120	4.2.3 寄存器	189
3.3.3 系统函数与系统任务	121	4.2.4 计数器	192
3.3.4 编译向导	123	4.3 存储器	196
3.4 Verilog HDL 基本语句	125	4.3.1 概述	196
3.4.1 过程语句(Structured procedures)	125	4.3.2 只读存储器 ROM	197
3.4.2 赋值语句(Assignments)	127	4.3.3 随机存储器	199
3.4.3 块语句(Block statements)	128	4.3.4 先进后出堆栈	201
3.4.4 条件语句(Conditional statement)	130	4.4 有限状态机	203
3.4.5 循环语句	133	习题 4	210
3.4.6 任务与函数	136	第 5 章 数字系统的层次结构设计	211
3.4.7 基本语句延时	139	5.1 硬件的算法模型	211
3.5 Verilog HDL 建模概述	143	5.1.1 先进先出堆栈(FIFO)的算法模型	211
3.5.1 结构化描述方式	143	5.1.2 布思一位补码乘法器的算法模型	214
3.5.2 数据流描述方式	144	5.2 芯片的划分	216
3.5.3 行为描述方式	144	5.2.1 并行接口 8255	217
3.6 同步状态机的原理、结构和设计	149	5.2.2 布思二位补码乘法器的结构化设计	222
3.6.1 FSM 原理和结构	149	5.3 系统间互连的表示	229
3.6.2 FSM 设计步骤	150	5.4 系统的仿真和测试	236
3.6.3 设计可综合 FSM 的指导原则	150	5.4.1 概述	236
3.6.4 FSM 的状态编码	152	5.4.2 仿真程序的设计方法	236
3.6.5 FSM 设计实例	152	5.4.3 TEXTIO 建立测试程序	240
习题 3	158	习题 5	242
第 4 章 基本数字逻辑单元的设计	159	第 6 章 系统集成芯片的体系结构	243
4.1 组合逻辑电路设计	159	6.1 系统集成芯片的结构	243
4.1.1 门电路	159	6.1.1 引言	243
4.1.2 三态缓冲器和总线缓冲器	161	6.1.2 系统集成芯片的硬件结构	243
4.1.3 编码器,译码器和选择器	161	6.1.3 嵌入式软件	245

6.2 SOC 中的嵌入式精简指令集处理器 RISC	246	第 7 章 形式化验证	291
6.2.1 概述	246	7.1 引言	291
6.2.2 RISC 的定义与特点	247	7.2 形式化验证理论基础	292
6.2.3 RISC 的指令特点	249	7.2.1 布尔代数基础	292
6.2.4 RISC 的并行处理技术	251	7.2.2 布尔代数定义 1	292
6.2.5 RISC/DSP 结构	254	7.2.3 布尔代数定义 2	293
6.2.6 RISC 核的设计	256	7.3 二元决策图 BDD	294
6.3 嵌入式处理器 ARM 的体系结构	257	7.3.1 二元决策图的定义	294
6.3.1 概述	257	7.3.2 精简有序二元决策图	294
6.3.2 ARM11 系列处理器	262	7.3.3 基于 BDD 图的布尔运算	297
6.3.3 ARM Cortex 系列处理器	263	7.3.4 BDD 图中变量动态排序	298
6.4 SOC 的互连机制	264	7.4 一致性检验	300
6.4.1 概述	264	7.5 模型检验(model checking)	303
6.4.2 AMBA 总线	266	7.5.1 概述	303
6.4.3 CoreConnect 总线	272	7.5.2 属性	303
6.4.4 WISHBONE 总线	273	7.5.3 Kripke 结构	304
6.4.5 OCP 总线	274	7.5.4 命题时态逻辑	307
6.4.6 虚拟元件接口 VCI	274	7.5.5 属性检验	309
6.4.7 NOC(Network on Chip)	279	7.5.6 模型检验的实例	311
6.5 带 ARM 核的嵌入式系统芯片举例	280	7.5.7 总结	313
6.5.1 LPC2100 系列高性能微控制器	280	习题 7	313
6.5.2 AT91SAM7X 系列高性能微控制器	282	第 8 章 静态时序分析	314
6.5.3 AT91RM9200 高性能微控制器	285	8.1 综合库和设计规则	314
6.6 嵌入式实时操作系统 RTOS	287	8.1.1 综合库	314
6.6.1 实时操作系统	287	8.1.2 设计规则	319
6.6.2 嵌入式实时操作系统	288	8.2 分析模型	322
6.6.3 实时多任务调度	289	8.2.1 时序路径和分组	323
6.6.4 信号与信号量(semaphore)	290	8.2.2 时间路径的延迟	323
习题 6	290	8.2.3 时序报告和时序问题的诊断	325
		8.3 关键路径设定	328
		8.3.1 时序路径	329
		8.3.2 时序分析约束命令	330
		8.3.3 简单时序约束	332
		8.3.4 参数提取	344
		8.3.5 关键路径	344
		8.4 时钟模型	346

8.4.1 时钟的产生	346	10.3.1 PLD 的电路表示方法 ...	386
8.4.2 时钟树类型	348	10.3.2 PLD 的基本电路结构 ...	389
8.4.3 时钟树的基本概念	349	10.3.3 PAL 器件的电路结构 ...	392
习题 8	352	10.3.4 通用阵列逻辑 GAL	394
第 9 章 可测试设计 DFT	353	10.4 现场可编程门阵列	402
9.1 大规模集成电路可测试设计的意义	353	10.4.1 概述	402
9.2 可测试性基础	354	10.4.2 XILNX 系列 FPGA 的结构和工作原理	403
9.2.1 故障模型	354	10.4.3 XILNX Spartan6 系列 ...	408
9.2.2 可测性分析	356	10.4.4 XILNX Virtex7 系列	416
9.2.3 测试向量生成	361	10.5 基于 SOPC 的系统设计实现	425
9.2.4 故障模拟	367	10.5.1 设计实现概述	425
9.3 集成电路的可测性结构设计 ...	370	10.5.2 器件的选择	426
9.3.1 专门测试设计(Ad-Hoc Testing)	370	10.5.3 SOPC 的设计流程	428
9.3.2 扫描测试技术	371	习题 10	429
9.3.3 内建自测试技术	374	第 11 章 ASIC 后端设计	431
9.3.4 系统级测试技术——边界扫描测试技术	374	11.1 引言	431
习题 9	379	11.2 门阵列和门海阵列设计	432
第 10 章 可编程逻辑器件	380	11.2.1 门阵列设计	432
10.1 概述	380	11.2.2 门海阵列	433
10.1.1 可编程逻辑器件的发展	380	11.2.3 门阵列和门海阵列的设计流程	435
10.1.2 用户再构造电路和可编程 ASIC 电路	380	11.3 标准单元设计	435
10.1.3 可编程逻辑器件的分类	381	11.4 设计检验	437
10.2 可编程逻辑器件的编程元件	383	11.4.1 设计规则检查(DRC)	437
10.2.1 熔丝型开关	383	11.4.2 电学规则检查(ERC)	438
10.2.2 反熔丝开关	383	11.4.3 版图与电路图一致性检查(LVS)	439
10.2.3 浮栅编程技术	384	11.5 后仿真	440
10.3 PAL 与 GAL 器件的电路结构	386	习题 11	441
		附录 用 Nexys4 FPGA 开发板配置 Microblaze	442
		参考文献	452

第1章 绪论

1.1 集成电路概述

1.1.1 集成电路的诞生和发展

1958年之前,科学界已经为集成电路的发明做好了各种理论和实践上的准备:包括1947年贝尔实验室(Bell Labs)的科学家威廉姆·肖克莱(William Shockley)、沃特·布拉顿(Walter Brattain)以及约翰·巴丁(John Bardeen)发明点接触型晶体管;1950年发明结型晶体管;1951年发明结型场效应管,以及离子注入和扩散工艺的发明,都为集成电路的诞生准备好了所有的条件。于是,发明集成电路的重任,历史性的落到了基尔比和诺伊斯的肩上。1958年,仙童(Fairchild)公司的诺伊斯与德州仪器(TI)公司的基尔比间隔数月分别发明了集成电路并申请了专利,开创了世界微电子学的历史。自1958年TI公司发明集成电路后,随着硅平面技术的发展,二十世纪六十年代先后发明了双极型和MOS型两种重要的集成电路,它标志着由电子管和晶体管制造电子整机的时代发生了量和质的飞跃,创造了一个前所未有的具有极强渗透力和旺盛生命力的新兴产业集成电路产业。

仙童公司的戈登·摩尔(Gordon Moore)于1965年提出了著名的摩尔(Moore)定律。1975年又进行了确定:1. 集成电路芯片(Integrated Circuit, IC)上可容纳的晶体管数目,每18个月(或24个月)便会增加一倍,性能也将提升一倍;2. 这一定律还意味着IC的成本每18个月(或24个月)降低一半。在集成电路自诞生以来的50多年发展历史中,世界半导体产业始终遵循着这一定律,并不断地向前发展。

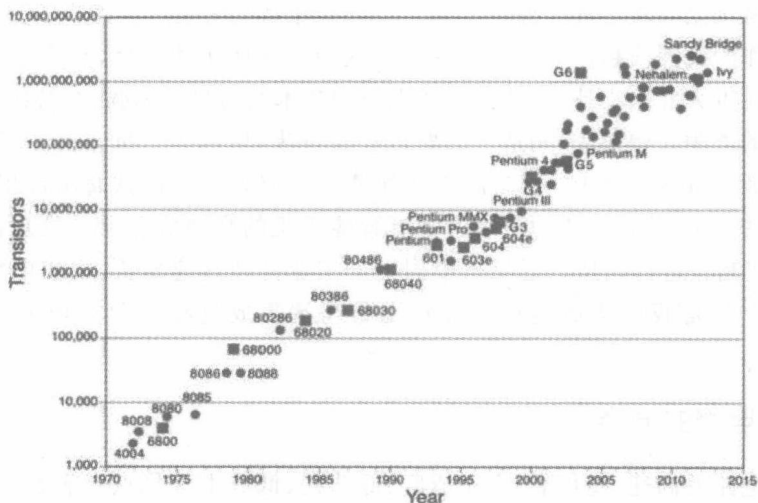


图 1-1 摩尔定律的走势

摩尔定律的具体走势如图 1-1 所示。从图中可以看出摩尔定律诞生 50 年来一直能够自

我实现,引导整个行业每两年将同样大小芯片上的晶体管数目翻番。但近年来,摩尔定律“终结”的声音愈发强烈。根据国际半导体技术发展路线图(ITRS)曾发布报告称,半导体体积到2021年将不再缩小。报告认为,届时半导体厂商将面积缩小、放下更多晶体管的做法已经在经济上不划算,半导体厂商将转向关注3D芯片等其他新的技术增强计算力。

就摩尔定律的践行者英特尔来看,英特尔发布代号Kaby Lake的第七代酷睿处理器。虽然将14nm芯片缩小至10nm,但10nm的正式发布已从今年底推迟至明年中期,7nm更是延迟至2022年。虽然摩尔定律并不会真的在5年内即将失效,但是无法像过去50年那样飞速发展的事实显而易见。

1.1.2 我国集成电路的发展

我国集成电路产业的发展大致经历了三个大的发展阶段:1978年前为独立自主发展阶段,这期间我国集成电路产业的发展主要是以国家投资为主,重点体现国家意志;1978~2000年为重点建设发展阶段,在改革开放的大环境下,我国集成电路产业进入了引进国外技术和重点项目建设并重的发展阶段;2000年以来,产业发展进入了政策引导阶段,随着国家鼓励集成电路产业发展的优惠政策的出台,我国集成电路产业发展进入了政策引导、改善环境、吸引外来资金的新的时期。

当前国际芯片产业发展突飞猛进,制造工艺正由45~40纳米向28~20纳米快速演进,跨国公司英特尔、三星、台积电等国际芯片龙头企业16~14纳米芯片已研发成功,10~8纳米芯片也逐渐开始量产,我国芯片产业一旦落后必将严重受制于人。

近年来,我国虽然涌现出中芯国际、华力、武汉新芯、展讯、海思等一批具有相当水平的集成电路设计与制造企业。但集成电路产业从产业规模、技术水平、市场份额等方面都与国际先进水平有较大差距,我国是世界上最大的芯片消耗国,但自己提供的芯片不足10%。究其原因:一是产业布局不集中。从国际集成电路产业发展路径看,集成电路产业基地往往积聚于知识与技术创新基地,相互促进、相得益彰。而我国集成电路产业存在分散、分离现象,产业基地与自主创新基地不通连,不利于产业规模化、高端化、可持续发展。二是支持投入严重不足。集成电路产业特别是高端芯片产业是资金、技术、人才高度密集产业。

集成电路作为我国信息产业发展的核心领域经过这些年的发展,在多个技术领域取得了不错的成果。在重大专项支持下,我国集成电路的技术实力显著增强;系统级芯片设计能力与国际先进水平的差距大幅缩小;制造工艺取得长足进步,培养了一批富有创新活力、具备一定国际竞争力的骨干企业。其中,华为海思的麒麟950成为业界首款商用台积电16纳米FinFETplus技术的SOC芯片。成功应用于主流智能手机的高通骁龙410处理器也通过中芯国际的28nm工艺制程进行制造。近年来中国电子工业持续高速增长,集成电路产业进入快速发展期。未来十年是我国集成电路产业特别是高端集成电路产业实现突破性发展的关键时期。

1.1.3 集成电路的分类

由于集成电路的高速、高可靠、高集成度、低功耗、低成本等优点具有普遍需求性,使其在产生以后得到了迅猛的发展,品种层出不穷。集成电路有多种分类方式。

1. 按集成度高低分类

通常,IC的规模由IC所含的逻辑门数目或晶体管数目来衡量。以门数目进行衡量时,把

设计等效为2输入与非门(NAND)的数目,即逻辑门的数目。如10万门的IC等效于包含10万个2输入与非门。半导体集成电路按集成度(单块芯片上所容纳的元件数目)高低可以分为小规模集成电路(Small Scale Integrated Circuits, SSI)、中规模集成电路(Medium Scale Integrated Circuits, MSI)、大规模集成电路(Large Scale Integrated Circuits, LSI)、超大规模集成电路(Very Large Scale Integrated Circuits, VLSI)、特大规模集成电路(Ultra Large Scale Integrated Circuits, ULSI)和巨大规模集成电路(Gigantic Scale Integrated Circuits, GSI),集成度大于 10^9 。表1-1给出了集成电路不同规模的定义以及初次实现产品的年份。集成电路发展到现在单个电路芯片集成的元件数已经高达几亿个甚至几十、几百亿以上。实际上,各种规模之间并没有严格的界限,而且由于不同工艺和不同电路类型的复杂度区别,有关规模的定义也不完全一致。

表 1-1 集成电路技术发展简况

初次实现年份	1948	1950	1961	1966	1971	1980	1990	1998	2000
规模	发明晶体管	分立元件		SSI	MSI	LSI	VLSI	ULSI	GSI
理论集成度 芯片晶体管				10~100	10~1000	1000~ 100000	$10^5 \sim 10^6$	$10^6 \sim 10^9$	16×10^9
商业集成度	1	1	10	100~1000	1000~ 20000	20000~ 500000	>500000	> 10^8	
代表产品		二极管 三极管	门电路 触发器	计数器 加法器	8位微 处理器	16位、32 位微处理器	图像处理, SOC 高档微处理器		

2. 按设计技术方法分类

按照设计方法集成电路可以分为:全定制(full-custom)、半定制(semi-custom)、综合以及可编程(PLD)。其中,全定制是一种基于门级或晶体管级的设计方法,设计人员根据RTL代码中逻辑手动搭电路,并进行布局布线(place and route, P&R)以追求最高速度、最低功耗和最省面积的芯片设计。全定制设计周期很长、设计成本很高,仅仅适用于高性能或大批量的产品设计。半定制是指在整個设计中,性能要求比较高,比较关键的部分使用定制实现,其他部分使用综合工具生成门级网表,用AP&R(auto place and route)工具进行自动布局布线。综合则是指整个设计全部使用综合工具来生成网表,并用AP&R工具进行布局布线。可编程是指用可编程逻辑器件包括PAL、GAL、CPLD、FPGA等来实现设计的一种方法,其中CPLD/FPGA属高密度可编程逻辑器件。各种ASIC设计方法的比较如表1-2所示。

表 1-2 ASIC设计方法比较

ASIC	PLD	门阵列	标准单元	全定制
单价成本	高	适中	适中	低
掩模版	无	一些	全部	全部
速度性能	低	适中	适中	高
设计周期	较短	短	中	长
门数	中~高	高~适中	高~适中	适中~低

3. 按生产形式分类

- 标准通用集成电路(General IC)

是指面向多用途的集成电路,它们在各种电子系统中具有普遍应用性,又称为标准产品(standard products),如通用逻辑电路(标准逻辑电路)、通用寄存器、通用微处理器、通用放大器等以及可编程集成电路。不同厂家都在同一时间生产的用量极大的标准系列产品。这类产品往往集成度不高,但社会需求量大,通用性强。这类芯片生产批量大,对设计成本、设计周期要求低,通常采用全定制方式实现。

- 专用集成电路(application specific integrated circuits, ASIC)

是针对某一用户特定要求、面向专门用途设计的集成电路,通常只用于某一类专用电子系统。用户对 ASIC 有降低要求、快速上市的需求,所以多采用门阵列法、单元法和可编程逻辑器件法等研制。其特点是集成度较高,功能较多,功耗较少,封装形式多样化。

此外,还有一类称为专用标准产品(application specific standard products, ASSP),是指一些具有一定的标准产品性质,具有一定的普遍应用性的 ASIC 产品。如通信用编解码电路、图形处理用集成电路、专用处理器等。

4. 按用途分类

集成电路按照用途可以分为:数字集成电路、模拟集成电路、数模混合集成电路以及射频集成电路。

- 数字集成电路

专门用来处理数字信号的 IC,如各种逻辑门、触发器、存储器等都是数字集成电路。通常,数字信号是二进制信号。电路输出的二进制信号与输入的二进制信号有一定的逻辑关系,这种逻辑关系就称为电路的逻辑函数。

- 模拟集成电路

模拟集成电路是对随时间连续变化的模拟量(电压或电流等)进行处理(放大或变换)的一类集成电路。如运算放大器、开关电容滤波器等。更广义些,人们把数字集成电路以外的各种集成电路统称为模拟集成电路。

- 数模混合集成电路

是指在同一芯片上集成了数字电路和模拟电路。其特点是能同时处理模拟和数字两种信号。在电子系统中通常需要将现实中获得的模拟信号转变成为数字信号(A/D),经过复杂的功能处理、存储和传输。再转变成为物理的模拟信号(D/A)提供给接口设备使用。

- 射频(radio frequency, RF)集成电路

一类应用于无线通信系统的高频、超高频集成电路,是指从天线到收、发基带信号为止的这部分电路,它包括接收射频、发射射频和频率合成器三大部分。射频电路的应用领域包括移动电话、无限局域网和相控阵(phased array)射频系统等。

1.2 SOC 概述

回顾集成电路的发展历程,我们可以看到,自发明集成电路至今 50 多年以来,“从电路集成到系统集成”这句话是对集成电路产品从小规模集成电路(SSI)到今天特大规模集成电路(ULSI)甚至巨大规模集成电路(GSI)发展过程的最好总结,即整个集成电路产品的发展经历了从传统的板上系统(System on Board)到片上系统 SOC(System on Chip)的过程。

SOC 设计技术始于 20 世纪 90 年代中期,随着半导体工艺技术的发展,IC 设计者能够将

愈来愈复杂的功能集成到单硅片上, SOC 正是集成电路(IC)向集成系统(IS)转变的大方向下产生的。1994 年 Motorola 发布的 FlexCore 系统(用来制作基于 68000 和 PowerPC 的定制微处理器)和 1995 年 LSI Logic 公司为 Sony 公司设计的 SOC,可能是基于 IP(Intellectual Property)核完成 SOC 设计的最早报导。由于 SOC 可以充分利用已有的设计积累,显著地提高了 ASIC 的设计能力,因此发展非常迅速,引起了工业界和学术界的关注。作为 21 世纪集成电路技术的主流,其为集成电路产业和集成电路应用技术提供了前所未有的广阔市场和难得的发展机遇。SOC 为微电子应用产品研究、开发和生产提供了新型的优秀的技术方法和工具,也是解决电子产品开发中的及时上市(Time to Market, TTM)的主要技术与方法。

SOC 有多种不同的定义,一般说来,是指在单芯片上集成微电子应用产品所需的全部功能系统;采用超深亚微米(Very Deep Submicron, VDSM)工艺技术和主要采用第三方的 IP(Intellectual Property)核复用(Reuse)技术为支撑进行设计;内置嵌入式存储器和可编程逻辑;具备外部对芯片进行编程的功能;具有完整系统所必备的全部或大部外设。在某些场合,它还包括模拟前端,在同一芯片上含集成模拟和数字技术,增加了系统的复杂性。

SOC 的结构具体如图 1-2 所示。从图中可以看出其构成包括:(1)至少有一个 CPU、DSP 或者 MCU。(2)存储器:ROM、RAM、EFROM 或 Flash 等。(3)存储控制器:用于控制外部存储器。(4)片上连线:总线提供各 IP 间的数据通路。(5)专用加速器:如乘法器、视频编解码器等。(6)I/O 控制器:如 PCI、PCI-X、以太网、USB 以及 ADC/DAC 等。(7)外围设备:如通用 I/O 接口、通用异步收发器、定时器、中断控制器等。体现了数字与模拟共存,硬件、固件、软件共存,基带与射频共存,小信号与大功率共存。同时在 SOC 中还应包括与硬件系统配套的实时操作系统(RTOS)。

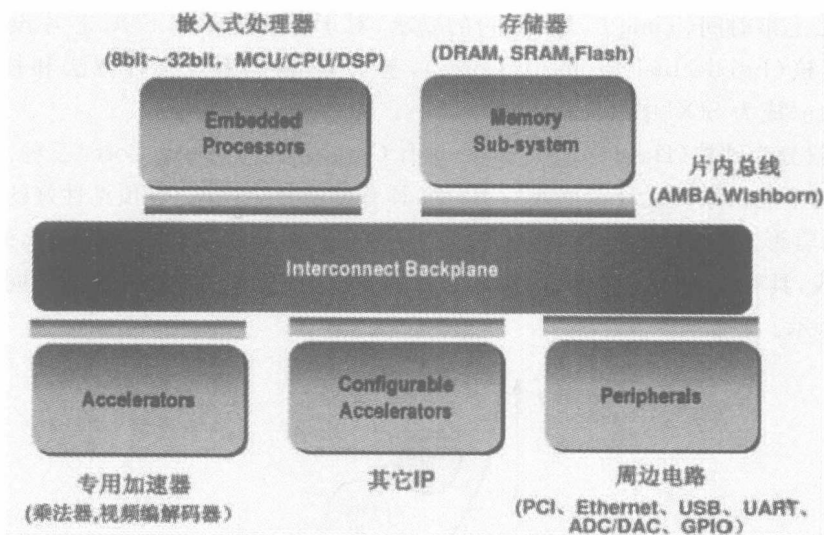


图 1-2 SOC 的基本构成

1.2.1 SOC 的分类

当前,无论在国际上还是国内,在 SOC 设计领域已展开激烈竞争。SOC 按实现技术可分为三类:一类是 CSOC,当前仍以学术研究机构为主导,注重体系结构探索性工作;另一类是 SOPC,以 FPGA 厂商和科研机构为主导,适合多品种少批量产品开发;第三类是 ASIC SOC,以微处理器和芯片设计公司为主导,追求良好的性价比,适合大批量规模生产;其他如 PSOC、

EPGA 均可归入 SOPC 类。SOC 按指令集来划分,主要有 X86 系列、ARM 系列、MIPS 系列和类指令系列,性能成本各有千秋。

计算机性能的大幅度提高,使很多复杂算法得以实现,EDA 综合开发工具的自动化和智能化程度不断提高,为 SOC 设计提供了不同用途和不同级别的一体化开发集成环境。而硬件描述语言 HDL 的发展则为电子系统设计提供了建立各种硬件模型的工作媒介。这一切都极大地促进了 SOC 的快速发展。

1.2.2 SOC 涉及的关键技术

尽管 SOC 沿 CSOC、SOPC、ASIC SOC 这三个方向发展,但最具挑战性的还是 ASIC SOC 研究领域。SOC 设计方法学主要研究总线架构技术、IP 核可复用技术、可靠性设计技术、软硬件协同设计技术、SOC 设计验证技术、芯片综合/时序分析技术、可测性/可调试性设计技术、低功耗设计技术、新型电路实现技术等,此外还要做操作系统/嵌入式软件移植、开发研究,是一门跨学科的新兴研究领域。

1. 总线架构技术

总线结构及互连技术,直接影响芯片总体性能发挥。对于单一应用领域,可选用成熟的总线架构;对于系列化或综合性能要求很高的,可进行深入的体系结构研究,构建各具特色的总线架构,做精做强,不受制于第三方,与系统同步发展,更具竞争力。目前 SOC 开发研制主要有基于平台(包括自主构建总体架构)、基于核、基于合成等方法,不断推出性能更好、扩展性更强的总线规范,如 AXI 总线(AMBA 总线升级)、L * BUS 总线(中科院计算所)等。

2. IP 核可复用技术

为了满足上市时间(Time to Market)的要求,对于日益复杂的 SOC 芯片设计,将越来越多的使用 IP 核(Intellectual Property Cores),基于 IP 核的系统设计方法和技术(IP-based System Design)成为 SOC 中最关键的技术之一。

IP 核一般分为硬核(Hard Core)、软核(Soft Core)和固核(Firm Core)三种。硬核是指经过预先布局且不能由系统设计者修改的 IP 核,具有使用灵活性差,可预见性好的特点;软核通常以 HDL 语言形式提交,具有使用灵活性强,但预见性差的特点;固核由 RTL 的描述和可综合的网表组成,具有使用灵活性中等,预见性中等的特点。不同的 IP 核各有不同的优缺点,具体如图 1-3 所示。

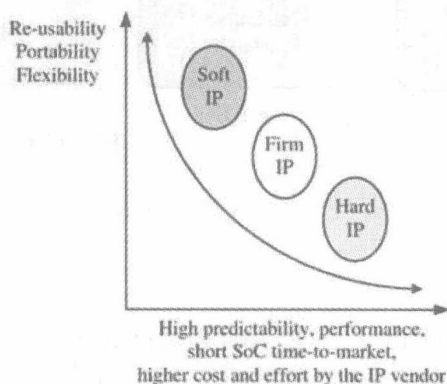


图 1-3 不同 IP 核的特点

IP 核可复用的研究重点是开发适应多种总线接口的规范和可测试性一体化,以尽量少的外包和测试向量,达到复用目的。IP 核应有良好的开发文档和参考手册,包括数据手册、用户使用指南、仿真和重用模型等,而兼容性是重要的因素。

3. 软硬件协同设计技术

由于市场和设计风险的压力,SOC 软硬件协同设计尤为重要。改进软硬件协同说明、协同分析、协同设计、协同模拟和协同验证,可大大减少硬件设计风险和缩短嵌入式软件的开发调试时间。同时在协同验证环境中能够及时发现硬件中所存在的致命问题,避免在最后集成测试阶段重新进行软硬件的调整。

4. 时序分析技术

由于 SOC 系统复杂度和规模愈来愈大,像多时钟、多电压以及超深亚微米等新课题不断出现,对 SOC 的综合性研究提出了更高的要求。尤其对时序预算如何分级、分解,关键路径的特殊约束的研究,要求研究人员具有深厚的系统背景知识。与此同时,静态时序分析(STA, Static Timing Analysis)日趋复杂、后端动态仿真效率低下,对总体设计人员提出了严峻的挑战。

5. 验证技术

主要分 IP 核验证、IP 核与总线接口兼容性验证和系统级验证等三个层次,包括设计概念验证、设计实现验证、设计性能验证、故障模拟、芯片测试等;从验证类型分,有兼容性测试、边角测试、随机测试、真实码测试、回归(Regression)测试和断言验证等。由于芯片愈来愈复杂,软件仿真开销大,硬件仿真验证成为一种重要的验证手段。验证工作约占整个设计工作的 70%,如何提高验证覆盖率和验证效率是设计验证的永恒话题。

6. 可测性设计技术

主要研究解决批生产可测性问题和在线可调试性问题,实施技术包括 DFT、SCAN、BIST、JTAG/eJTAG,要研究基于各种 IP 核的 SOC 测试架构和测试向量有效传递性,更重要的是要考虑测试平行化,降低芯片测试占用时间,此外要关注在线调试工作,方便用户开发和调试基于 SOC 的产品。

1.2.3 SOC 设计流程

SOC 设计与传统的 ASIC 设计最大的不同在于以下两个方面。一是 SOC 设计更需要了解整个系统的应用,定义出合理的芯片架构,使得软硬件配合达到系统最佳工作状态。因而,软硬件协同设计被越来越多地采用。二是 SOC 设计是以 IP 核复用为基础的。因此,基于 IP 模块的大规模集成电路设计是硬件实现的关键。

SOC 设计是从整个系统的角度出发,把处理机制、模型算法、芯片结构、各层次电路直至器件的设计紧密结合起来。SOC 芯片设计是以 IP 核为基础,以分层次的硬件描述语言为系统功能和结构的主要描述手段,并借助 EDA 工具进行芯片设计的过程。图 1-4 为一个比较详细的基于标准单元的设计流程。

1. 硬件设计定义说明(Hardware Design Specification)

硬件设计定义说明描述芯片总体结构、规格参数、模块划分、使用的总线,以及各个模块的详细定义等。

2. 模块设计及 IP 复用(Module Design & IP Reuse)

模块设计及 IP 复用是根据硬件设计所划分的功能模块,确定需要重新设计的部分及可复

用的 IP 核。

3. 顶层模块集成(Top Level Integration)

顶层模块集成将各个不同的功能模块,包括新设计的与复用的整合在一起,形成一个完整的设计。通常采用硬件描述语言对电路进行描述,其中考虑系统时钟/复位、I/O 环等问题。

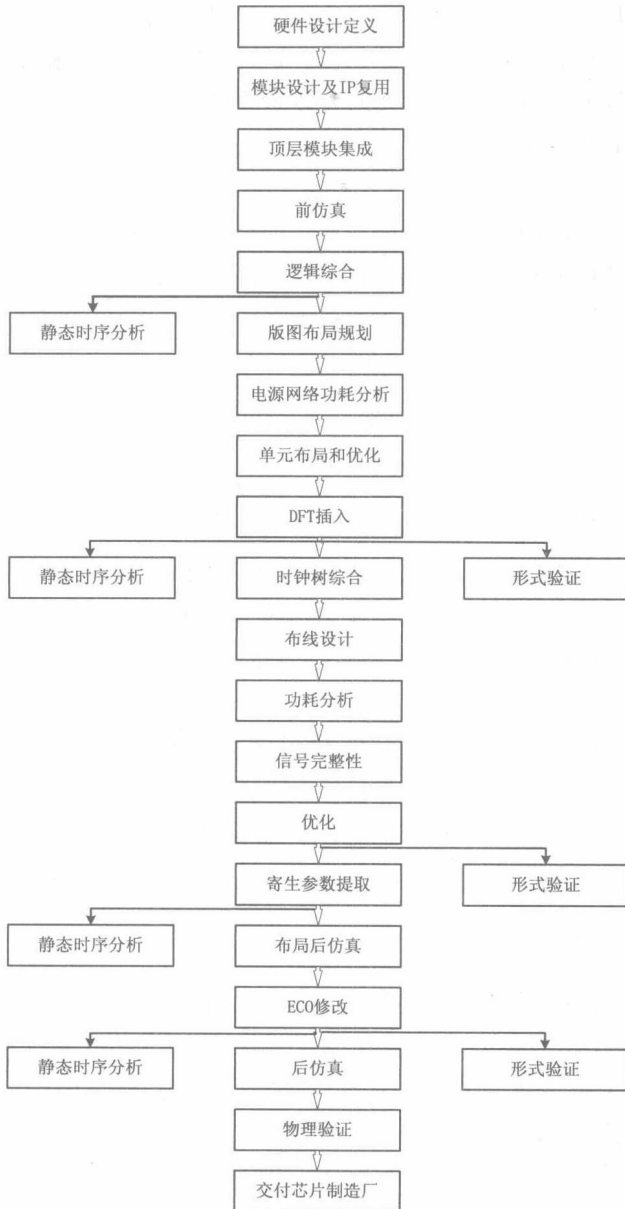


图 1-4 基于标准单元的 SOC 设计流程

4. 前仿真(Pre-layout Simulation)

前仿真也叫 RTL 级仿真或功能仿真。通过 HDL 仿真器验证电路逻辑功能是否有效,及 HDL 描述是否符合设计所定义的功能期望。在前仿真时,通常与具体的电路实现无关,没有时序信息。

5. 逻辑综合(Logic Synthesis)

逻辑综合是指使用 EDA 工具把由硬件描述语言设计的电路自动转换成特定工艺下的网

表(Netlist),即从 RTL 级的 HDL 描述通过编译产生符合约束条件的门级网表。

6. 版图布局规划(Floorplan)

版图布局规划完成的任务是确定设计中各个模块在版图上的位置,主要包括:

- I/O 规划,确定 I/O 的位置,定义电源和接地口的位置;
- 模块放置,定义各种物理的组、区域或模块,对这些大的宏单元进行放置;
- 供电设计,设计整个版图的供电网络,基于电压降(IR Drop)和电迁移进行拓扑优化。

版图布局规划的挑战是在保证布线能够走通且性能允许的前提下,如何最大限度地减少芯片面积,是物理设计过程中需要设计者付出最大努力的地方之一。

7. 功耗分析(Power Analysis)

在设计中的许多步骤都需要对芯片功耗进行分析,从而决定是否需要设计进行改进。在版图布局规划后,需要对电源网络进行功耗分析(PNA, Power Network Analysis),确定电源引脚的位置和电源线宽度。在完成布局布线后,需要对整个版图的布局进行动态功耗分析和静态功耗分析。除了对版图进行功耗分析之外,还应通过仿真工具快速计算动态功耗,找出主要的功耗模块。这也是功耗分析的重要一步。

8. 单元布局和优化(Placement & Optimization)

单元布局和优化主要定义每个标准单元(Cell)的摆放位置并根据摆放的位置进行优化。现在,EDA 工具广泛支持物理综合,即将布局和优化与逻辑综合统一起来,引入真实的连线信息,减少了时序收敛所需要的迭代次数。

9. 静态时序分析(STA, Static Timing Analysis)

静态时序分析是一种穷尽分析方法。它通过对提取的电路中所有路径上的延迟信息的分析,计算出信号在时序路径上的延迟,找出违背时序约束的错误,如建立时间(Setup Time)和保持时间(Hold Time)是否满足要求。静态时序分析的方法不依赖于激励,而且可以穷尽所有路径,运行速度快,占用内存少。它完全克服了动态时序的缺陷,是 SOC 设计中重要的一个环节。在后端设计的很多步骤完成后都需要进行动态时序分析,如在逻辑综合完成之后,在布局优化之后,在布线完成后等。

10. 形式验证(Formal Verification)

这里所指的形式化验证时逻辑功能上的等效性检查。这种方法与动态仿真最大的不同点在于它不需要输入测试向量,而根据电路的结果判断两个设计在逻辑功能上是否相等。在整个设计流程中会多次引入形式验证用于比较 RTL 代码之间,门级网表与 RTL 代码之间,以及门级网表之间在修改之前与修改之后功能的一致性。形式验证和动态时序分析一起,构成设计的静态验证。

11. 可测性电路插入(DFT, Design for Test)

可测性设计是 SOC 设计中的重要一步。通常,对于逻辑电路采用扫描链的可测试结构,对于芯片的输入/输出端口采用边界扫描的可测试结构。基本思想是通过插入扫描链,增加电路内部节点的可控性和可观测性,已达到提高测试效率的目的。一般在逻辑综合或物理综合后进行扫描链的插入和优化。

12. 时钟树综合(Clock Tree Synthesis)

SOC 设计方法强调同步电路的设计,即所有的寄存器或一组寄存器是由同一个时钟的同一个边沿驱动的。构造芯片内部全局或局部平衡的时钟链过程称为时钟树综合。分布在芯片内部寄存器与时钟的驱动电路构成了一种树状结构,这种结构称为时钟树。时钟树综合是在