

# 数字信号处理的 FPGA实现 (第4版)

Digital Signal Processing with Field Programmable  
Gate Arrays, Fourth Edition

[德] Uwe Meyer-Baese 著  
陈青华 张龙杰 王诚成 译



清华大学出版社

# 数字信号处理的 FPGA 实现

## (第 4 版)

[德] Uwe Meyer-Baese 著

陈青华 张龙杰 王诚成 译

清华大学出版社

北 京

Uwe Meyer-Baese

Digital Signal Processing with Field Programmable Gate Arrays, Fourth Edition

EISBN: 978-3-642-45308-3

Copyright © Springer 2014

Springer is a part of Springer Science + Business Media

All Rights Reserved.

本书中文简体字翻译版由德国施普林格公司授权清华大学出版社在中华人民共和国境内(不包括中国香港、澳门特别行政区和中国台湾地区)独家出版发行。未经出版者预先书面许可,不得以任何方式复制或抄袭本书的任何部分。

北京市版权局著作权合同登记号 图字: 01-2017-1720

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话: 010-62782989 13701121933

#### 图书在版编目(CIP)数据

数字信号处理的FPGA实现:第4版/(德)乌韦·迈耶-贝斯(Uwe Meyer-Baese)著;陈青华,张龙杰,王诚成译.—北京:清华大学出版社,2017

书名原文: Digital Signal Processing with Field Programmable Gate Arrays, Fourth Edition

ISBN 978-7-302-46911-7

I. ①数… II. ①乌… ②张… ③王… III. ①现场可编程门阵列—应用—数字信号—信号处理  
IV. ①TN911.72

中国版本图书馆CIP数据核字(2017)第062156号

责任编辑:王军 李维杰

版式设计:牛静敏

责任校对:曹阳

责任印制:李红英

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦A座 邮 编:100084

社总机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, [c-service@tup.tsinghua.edu.cn](mailto:c-service@tup.tsinghua.edu.cn)

质量反馈:010-62772015, [zhiliang@tup.tsinghua.edu.cn](mailto:zhiliang@tup.tsinghua.edu.cn)

印装者:清华大学印刷厂

经 销:全国新华书店

开 本:185mm×260mm 印 张:53 字 数:1187千字

版 次:2017年5月第1版 印 次:2017年5月第1次印刷

印 数:1~4000

定 价:128.00元

产品编号:067316-01

# 译 者 序

近年来,数字信号处理(DSP)已经发展成为一项成熟的技术。FPGA(Field Programmable Gate Array, 现场可编程门阵列)是在 PAL、GAL、PLD 等可编程器件的基础上进一步发展的产物,是集成度最高的专用集成电路。随着 FPGA 结构的不断演变和工艺的不断提升,FPGA 内部集成了越来越多的资源,其功能越来越强大,可以毫不夸张地讲,FPGA 能完成任何数字器件的功能。本书的主旨就是讲述如何用 FPGA 实现数字信号处理。

本书风格简洁明了,与大多数强调信号处理理论的著作相比,更多地从系统设计的角度出发,注重阐述 FPGA 的实现机制,让读者真正理解数字电路的设计精髓。

本书开篇第 1 章简要地介绍当前 FPGA 技术的发展和用于设计的元器件,以及设计 DSP 的技术要求,之后给出了频率合成器的示例;第 2 章系统地介绍计算机算法;第 3 章和第 4 章针对信号处理中的最常见应用——信号滤波,详细介绍 FIR、IIR 滤波器的设计;第 5 章通过阐述两个典型的示例来说明多级 DSP 系统中的抽取和插值是如何实现的;第 6 章讨论 4 种最重要的 DFT 算法和 3 种最常用的 FFT 算法,并且依照计算量比较不同的实现问题;第 7 章讨论差错控制和加密技术中用到的两个基本构造模块的设计,以及如何用 FPGA 设计和实现通信系统;第 8 章主要讨论自适应 FIR 滤波器的快速有效实现;第 9 章讨论一个 DWT 实现的控制器的典型应用程序;第 10 章通过典型案例讨论 3 种不同图像处理方法以及如何使用具有自定义指令的微处理器的运动补偿的视频处理。

本书内容全面、实例丰富,适合 FPGA 系统设计的初学者,大专院校通信工程、电子工程、计算机、微电子和半导体相关专业师生,以及硬件系统工程师和 IC 设计工程师学习使用,也可作为计算机应用、自动化以及通信相关专业研究生的参考用书。

建议读者在阅读本书之前最好认真复习一下高等代数中多项式、行列式、矩阵、线性空间、线性变换和群、环、域等方面的概念和知识,能够熟练地完成各种矩阵的运算,并且最好预先学习过信号与系统、数字信号处理、通信系统、计算机体系结构等相关课程,鼓励读者学习图像和视频处理方面的其他教材,这样对理解和掌握本书的知识要点会有极大帮助,否则会感到非常吃力。

本书在翻译和出版过程中,得到了清华大学出版社编辑们的鼎力支持和帮助,没有她们的正确引导和所做的细致工作,本书不可能成功付梓,在此表示感谢!本书所有章节由陈青华、张龙杰、王诚成翻译,参与本次翻译的还有董庆超、杨林、洪贝、司维超、王永生和姚刚,在此也一并表示感谢。

FPGA 正日渐深入并影响我们的生活,目前本书已更新至第 4 版,前 3 版的译者刘凌老师以其扎实的学术功底和极高的翻译水平,真实展现了原版的内容。在翻译第 4 版的过程中我们也力求在忠于原文的情况下再现原书风貌,但由于水平有限,在翻译中定有不妥之处,

敬请广大读者提供反馈意见,读者可以将意见发送到 [daniancqh@126.com](mailto:daniancqh@126.com),我们会仔细阅读读者发来的每一封邮件,以求进一步提高今后译者的质量。

译者

# 第1版前言

正如可编程数字信号处理器(Programmable Digital Signal Processor, PDSP)在近 20 年前出现时的情形一样,如今,现场可编程门阵列(Field-Programmable Gate Array, FPGA)正处于革命性的数字信号处理技术的前沿。过去,前端的可编程数字信号处理(Digital Signal Processing, DSP)算法(如 FFT、FIR 和 IIR 滤波器)都是利用 ASIC 或 PDSP 构建的,但现在大多为 FPGA 所代替。现代的 FPGA 系列为快速进位链(Xilinx Virtex、Altera FLEX)提供 DSP 算法支持,快速进位链用于以快速、低系统开销、低成本实现乘-累加(Multiply-Accumulate, MAC)<sup>[1]</sup>。以前的 FPGA 系列大多面向 TTL “胶合逻辑”,没有 DSP 函数需要的大量的门数量。这些前端算法的有效实现就是本书要讲解的主要内容。

在 21 世纪初,我们就看到,两个可编程逻辑器件(Programmable Logic Device, PLD)的市场领导者(Altera 和 Xilinx)都宣称获得了超过 10 亿美元的收入。在过去 10 年中,FPGA 一直保持 20% 以上的稳步增长速度,超过 ASIC 和 PDSP 10% 以上。这源于 FPGA 具有许多与 ASIC 相同的功能,比如,在规模、重量和功耗等方面都降低了,同时还具有更高的吞吐量、防止非授权复制的更高安全性、降低了器件和开发的成本,并且还降低了电路板测试成本。此外,还声称具有优于 ASIC 的优势,例如,开发时间的缩短(快速原型设计)、在电路中的可重复编程性、更低的 NRE 成本。对于需求少于 1000 个单元的解决方案,还可以产生更为经济的设计。与 PDSP 相比,FPGA 设计通常采用并行性,例如,实现多重乘-累加调用效率、消除零乘积项以及流水线操作,也就是每个 LE 都有一个寄存器,这样流水线操作就不再需要额外的资源了。

在 DSP 硬件设计领域中的另一个趋势就是从图形设计入口转向硬件描述语言(Hardware Description Language, HDL)。尽管很多 DSP 算法可以用“信号流程图”来描述,但是现在已经发现采用基于 HDL 的设计入口,其“代码复用率”大大高于图形化设计入口的“代码复用率”。这就对 HDL 设计工程师提出了更高的要求,我们已经在本科生的课堂上开设了采用 HDL 进行逻辑设计的课程<sup>[2]</sup>。但是现在有两种流行的 HDL 语言。美国西海岸和亚洲地区倾向于采用 Verilog,而美国东海岸和欧洲地区则常使用 VHDL。对于用 FPGA 实现 DSP,两种语言似乎都非常适用,尽管一些 VHDL 示例更容易阅读,这主要是因为 IEEE VHDL 1076-1987 和 1076-1993 标准中支持有符号算术和乘/除运算。这一差距有望在新的 Verilog IEEE 1364-1999 标准获得批准之后消失,这一标准也包括有符号算术。其他的约束条件可能包括个人的偏爱、EDA 库和工具包的可用性、数据类型、可读性、性能和采用 PLI 进行语言扩展,以及商业、企业和市场因素等<sup>[3]</sup>。工具提供商目前都支持这两种设计语言,而且这两种设计语言都适用于本书所采用的示例。

我们现在还是比较幸运的,因为不同来源的“基准”HDL 编译器基本上对于教学应用

来说都是免费的。在本书中,我们就享受了这样的优惠。本书提供学习资料和 Altera 最新的 MaxPlus II 软件,该软件提供了一整套设计工具,包括区分内容的编辑器、编译器、仿真器以及位流生成器或比特流生成器。本书给出的所有示例都是用 VHDL 和 Verilog 语言编写的,应该很容易适应于其他专用的设计入口系统。不需要在 VHDL 或 Verilog 代码中做任何改动,Xilinx 的“基础系列”、ModelTech 的 ModelSim 编译器和 Synopsys FC2 或 FPGA 编译器都可以运行。

本书结构是这样安排的。第 1 章首先简要介绍当前的 FPGA 技术,以及用于设计先进 DSP 系统的器件和工具。它还给出一个有关频率合成器的详细案例研究,包括编译步骤、仿真、性能评估、功耗估算和平面布置图。这一案例研究是后续章节中 30 多个设计示例的基础。第 2 章着眼于计算机算法方面,包括可行的 DSP FPGA 算法的数字表示方式,以及诸如加法器、乘法器或积之和计算等基本构造模块的实现。在这一章的结尾,还讨论了对 FPGA 非常有用的两个计算机算法概念:分布式算法(Distributed Arithmetic, DA)和 CORDIC 算法。第 3 章和第 4 章将研究 FIR 和 IIR 滤波器的理论和实现。我们将回顾如何确定滤波器的系数,并讨论针对规模或速度优化的可能实现。第 5 章涵盖许多应用于多级数字信号处理系统的概念,例如抽取、插值和滤波器组,第 5 章的结尾还讨论采用双信道滤波器组实现小波处理器的多种可能性。第 6 章讨论最重要的 DFT 和 FFT 算法的实现,主要包括 Rader、chirp-z 和 Goertzel DFT 算法,以及 Cooley-Tuckey、Good-Thomas 和 Winograd FFT 算法。第 7 章介绍更为专用的算法。与 PDSP 相比,这对改进的 FPGA 实现可能具有更大的潜力。这些算法包括数论变换、密码术算法和错误校正,以及通信系统的实现。附录包括 VHDL 和 Verilog 语言概述,以及 Verilog HDL 的示例,并简要介绍本书学习资料中包含的实用程序。

## 致谢

本书基于以下资源编写:我在达姆施塔特理工大学为四年级学生讲授的 FPGA 通信系统设计课程;本人的早期(德语)著作;我在达姆施塔特理工大学和(位于佛罗里达州的)盖恩斯维尔大学指导的超过 60 篇硕士论文。感谢所有在实验室和各种学术会议中帮助我一起探讨关键性问题的同事。特别感谢: M. Acheroy、D. Achilles、F. Bock、C. Burrus、D. Chester、D. Childers、J. Conway、R. Crochiere、K. Damm、B. Delgutte、A. Dempster、C. Dick、P. Duhamel、A. Drolshagen、W. Endres、H. Eveking、S. Foo、R. Games、A. Garcia、O. Ghitza、B. Harvey、W. Hilberg、W. Jenkins、A. Laine、R. Laur、J. Mangen、J. Massey、J. McClellan、F. Ohl、S. Orr、R. Perry、J. Ramirez、H. Scheich、H. Scheid、M. Schroeder、D. Schulz、F. Simons、M. Soderstrand、S. Stearns、P. Vaidyanathan、M. Vetterli、H. Walter 和 J. Wietzke。

感谢我的学生花费了无数个钟点实现我的一些 FPGA 设计想法。特别感谢: D. Abdolrahimi、E. Allmann、B. Annamaier、R. Bach、C. Brandt、M. Brauner、R. Bug、J. Burros、M. Burschel、H. Diehl、V. Dierkes、A. Dietrich、S. Dworak、W. Fieber、J. Guyot、T. Hattermann、T. Häuser、H. Hausmann、D. Herold、T. Heute、J. Hill、A. Hundt、R. Huthmann、T. Irmeler、

M. Katzenberger, S. Kenne, S. Kerkmann, V. Kleipa, M. Koch, T. Krüger, H. Leitel, J. Maier, A. Noll, T. Podzimek, W. Praefcke, R. Resch, M. Rösch, C. Scheerer, R. Schimpf, B. Schlanske, J. Schleichert, H. Schmitt, P. Schreiner, T. Schubert, D. Schulz, A. Schuppert, O. Six, O. Spiess, O. Tamm, W. Trautmann, S. Ullrich, R. Watzel, H. Wech, S. Wolf, T. Wolf 和 F. Zahn。

关于本书的英文版本, 我要感谢我的妻子 Anke Meyer-Bäse 博士、来自(位于佛罗里达州的)盖恩斯维尔大学的 J. Harris 和 Fred Taylor 博士, 以及来自 Springer 的 Gainesville 和 Paul Degroot。

在资金支持方面, 特别感谢 DAAD、DFG、欧洲空间机构和 Max Kade 基金会。

如果读者发现了错误或者有任何关于本书的改进意见, 请发邮件到 Uwe.Meyer-Baese@ieee.org, 或者通过出版商联系我。

Uwe Meyer-Baese  
塔拉哈西, 2001年5月



# 第2版前言

新版的书总会跟上本领域内的最新发展趋势，同时还会修订前几版中的一些错误。为此，本书在第2版中进行了如下改进：

- 为本书设置了一个网站，网址为 [www.eng.fsu.edu/~umb](http://www.eng.fsu.edu/~umb)。该网站还提供了用 FPGA 实现 DSP 的其他信息、有用链接，以及与设计相关的其他支持，如代码生成器和其他文档。
- 更正了第1版中的错误。可以从本书的网站或 Springer 网站 [www.springer.de](http://www.springer.de) 的网页上下载本书第1版的勘误表。进入 Springer 网站后搜索 Meyer-Baese 即可。
- 第2版新增了100多页内容，主要包括：
  - 串行除法器 and 阵列除法器的设计。
  - 完整的浮点库文件的说明。
  - 新增内容还包括第8章关于自适应滤波器的设计。
- Altera 当前的学生版已从 9.23 更新到 10.2，所有设计示例、规模和性能测定，也就是说，很多表和图已经被 Altera 的大学开发板 UP2 的 EPF10K70RC240-4 器件编译过。配有 EPF10K20RC240-4 的 Altera 的 UP1 开发板已不再使用。
- 可以从 Amazon 网站获取本书第1版(有超过65个练习和33个其他的设计示例)的答案手册。第2版还增加了一些新的(超过25个)作业练习。

## 致谢

感谢我的同事和学生对第1版的反馈，这些反馈意见帮助本书不断改进。特别感谢 P. Ashenden、P. Athanas、D. Belc、H. Butterweck、S. Conners、G. Coutu、P. Costa、J. Hamblen、M. Horne、D. Hyde、W. Li、S. Lowe、H. Natarajan、S. Rao、M. Rupp、T. Sexton、D. Sunkara、P. Tomaszewicz、F. Verahrami 和 Y. Yunhua。

关于 Altara，我要感谢 B. Esposito、J. Hanson、R. Maroccia、T. Mossadak 和 A. Acevedo(现在还包括 Xilinx)，感谢他们提供的软硬件支持以及对本书学习资料提供的数据表和 MaxPlus II 的许可。

关于出版商(Springer-Verlag)，我要感谢 P. Jantzen、F. Holzwarth 和 Dr. Merkle 这几年的鼎力支持。

第1版的巨大成功和飞涨的销量令我感到振奋。我希望新的版本能够对读者朋友更有帮助。如果读者有任何关于本书的改进意见，请发邮件到 [Uwe.Meyer-Baese@ieee.org](mailto:Uwe.Meyer-Baese@ieee.org)，或者通过出版商直接联系我，本人将不胜感激。

Uwe Meyer-Baese  
塔拉哈西，2003年10月

# 第3版前言

FPGA 仍旧是快速创新的领域,我非常高兴 Springer Verlag 公司给我这个机会将 FPGA 领域的最新发展囊括到本书的第 3 版中。本版新增了总计 150 多页全新的理念和当前的设计方法。第 3 版的创新主要包括以下几方面:

- 现在许多 FPGA 都包含嵌入式 18 位 $\times$ 18 位乘法器,因而推荐在以 DSP 为主的应用中使用这些器件,因为嵌入式乘法器可以节省很多 LE。例如,在本版的所有示例中都用到的 Cyclone II EP2C35F672C6 器件就具有 35 个 18 位 $\times$ 18 位乘法器。
- MaxPlus II 软件不再更新,新的器件(如 Stratix 和 Cyclone)仅在 Quartus II 中受支持。本书中所有新旧示例目前均通过 Quartus 6.0 针对 Cyclone II EP2C35F672C6 器件编译。从 Quartus II 6.0 起,整数是以最小负整数(类似于 ModelSim 仿真器)而不再是 0 进行默认初始化,因而本书第 2 版中完全相同的例子将无法在 Quartus II 6.0 下运行。所提供的 tcl 脚本允许所有示例的评估也可以用于其他器件。由于下载 Quartus II 需要的时间比较长,本书提供书中用到的 Quartus II 6.0 网络版。
- 新器件的功能也允许使用很多 MAC 调用的设计。本书新增了一节(2.9 节),讲述关于基于 MAC 的三角、指数、对数和平方根的函数逼近。
- 为进一步缩短产品投放市场的时间,FPGA 供应商提供了可以很容易引用到新设计项目的知识产权保护(Intellectual Property, IP)内核。本书也解释了 IP 模块如何用于 NCO、FIR 滤波器和 FFT 的设计。
- 采样速率的任意变化是多重速率系统中常见的问题,5.6 节给出了几种解决方案,包括 B 样条、MOMS 和 Farrow 类型转换器的设计。
- 基于 FPGA 的微处理器已经成为 FPGA 供应商的重要 IP 模块。尽管不具备自定义算法设计一样的高性能,但通过微处理器算法的软件实现通常需要的资源更少。新增的第 9 章涵盖了从软件工具到硬核和软核微处理器的许多方面,并开发了带有汇编程序和 C 编译器的一个完整的示例处理器。
- 本书新增了 107 道练习,答案手册可以从 [www.amazon.com](http://www.amazon.com) 以成本价购得。
- 最后特别感谢读者 Harvey Hamel,他发现了许多错误,这些错误已经总结在本书第 2 版的勘误表中,贴在本书的主页上。

## 致谢

在一些相关讨论中,很多同事和同学提出了反馈意见,并再次帮助我对本书的第 2 版进行改进。感谢: P. Athanas、M. Bolic、C. Bentancourth、A. Canosa、S. Canosa、C. Chang、J. Chen、T. Chen、J. Choi、A. Comba、S. Connors、J. Coutu、A. Dempster、A. Elwakil、

T. Felderhoff、O. Gustafsson、J. Hallman、H. Hamel、S. Hashim、A. Hoover、M. Karlsson、K. Khanachandani、E. Kim、S. Kulkarni、K. Lenk、E. Manolakos、F. Mirzapour、S. Mitra、W. Moreno、D. Murphy、T. Meißner、K. Nayak、H. Ningxin、F. von Münchow-Pohl、H. Quach、S. Rao、S. Stepanov、C. Suslowicz、M. Unser、J. Vega-Pineda、T. Zeh、E. Zurek。

特别感谢来自 EPFL 的 P. Thévenaz 帮助实现了任意采样速率变化条件下的最新改进。

受洪堡奖资助，在德国暑期调研期间，来自位于 RHTH Aachen 的国际空间站的同事花费了大量时间和精力帮助我学习 LISA，在此要感谢他们。特别要感谢 H. Meyr、G. Ascheid、R. Leupers、D. Kammler 和 M. Witte。

关于 Altara，我要感谢 B. Esposito、R. Maroccia 和 M. Phipps，感谢他们提供的软硬件支持以及对随书提供的数据表和 MaxPlus II 的许可。关于 Xilinx，我要感谢 NSF CCLI 项目中 J. Weintraub、A. Acevedo、A. Vera、M. Pattichis、C. Sepulveda 和 C. Dick 提供的软硬件支持。

关于出版商(Springer-Verlag)，我要感谢 Baumann 博士、Merkle 博士、M. Hanich 和 C. Wolf，感谢他们提供了出版本书更加实用的第 3 版的机会。

如果读者有任何关于本书的改进意见，请发邮件到 Uwe.Meyer-Baese@ieee.org，或者通过出版商直接联系我，本人将不胜感激。

Uwe Meyer-Baese

塔拉哈西，2007 年 5 月

## 第4版前言

近年来, FPGA 的复杂性不断提高, 现在我们可以用单个 FPGA 构建大型的 DSP 系统。新型的元件现在包含数以百计的嵌入式乘法器和大容量片上存储器。由于之前版本主要研究优化系统的规模, 目前系统设计问题就变得尤为重要。关于此类问题的研究可以用更大规模的任务来实现, 例如 PCA(主成分分析)或 ICA(独立分量分析)算法、图像和视频处理系统或者本版中讨论的新的 256 点 FFT 设计。本版新增了总计 150 多页内容, 包括 11 个全新的系统设计理念, 其中一些有超过 100 个嵌入式乘法器的需求。第 4 版的创新主要包括以下几方面:

- 本书中的 HDL 仿真现在由 Altera 强大的 ModelSim 仿真器和 Xilinx 所设计的 ISIM 仿真器来实现。
- 对于系统的设计, 很多试验台数据现在由 MATLAB 或 SIMULINK 提供。
- 介绍了新的使用 VHDL-2008 定点和浮点运算 IEEE 库的系统级设计。
- 比较了直接全通 IIR 滤波器、双四边形滤波器、晶格滤波器和波数字滤波器。
- 实现了 ICA 和 PCA 算法。
- 讨论并采用 HDL 实现了将 A 律、ADPCM 转换为 MP3 的语音和音频压缩方法。
- 基于 HDL 和嵌入式微处理器讨论了用于边缘检测和中值滤波的图像处理算法。
- 讨论了使用具有自定义指令的微处理器的运动补偿的视频处理。
- 提供来自 Altera 和 Xilinx 的 SIMULINK 工具箱的设计实例以及支持 Xilinx ISE 和 ISIM 仿真。
- 就在撰写本书时, 更新和错误修复报告将发布在作者的网页上: [www.eng.fsu.edu/~umb](http://www.eng.fsu.edu/~umb)。

### 致谢

在一些相关讨论中, 很多同事和同学对第 3 版提出了反馈意见, 并再次帮助我对本书进行改进。感谢: R. Adhami、M. Abd-EI-Hameed、C. Allen、S. Amalkar、A. Andrawis、G. Ascheid、P. Athanas、S. Badave、R. Badeau、S. Bald、A. Bardakcioglu、P. Bendixen、C. Betancourth、R. Bhakthavatchalu、G. Birkelbach、T. Borsodi、F. Casado、E. Castillo、O. Calvo、P. Cayuela、A. Celebi、C. -H. Chang、A. Chanerley、K. Chapman、I. Chiorescu、G. Connelly、S. Connors、J. Coutu、S. Cox、S. David、R. Deka、A. Dempster、J. Domingo、A. Elias、F. Engel、R. van Engelen、H. Fan、S. Foo、T. Fox、M. Frank、J. Gallagher、A. Garcia、M. Gerhardt、A. Ghalame、G. Glandon、S. Grunwald、A. Guerrero、W. Guolin、O. Gustafsson、H. Hamel、S. Hashim、S. Hedayat、D. Hodali、S. Hong、K. Huang、F. Koushanfar、M. Kumm、

M. Krishna, H. LeFevre, R. Leupers, S. Liljeqvist, A. Littek, A. Lloris, M. Luqman, V. Madan, M. Manikandan, J. Mark, B. McKenzie, H. Meyr, P. Mishra, A. Mitra, I. Miu, J. Moorhead, S. Moradi, F. Munsche, Z. Navabi, L. Oniciuc, B. Parhami, S. Park, L. Parrilla, V. Pedroni, R. Pereira, R. Perry, A. Pierce, F. Poderico, G. Prinz, D. Raic, N. Rafla, S. Rao, N. Relia, F. Rice, D. Romero, D. Sarma, P. Sefhra, W. Sheng, T. Taguchi, N. Trong, C. Unterrieder, G. Wall, G. Vang, Y. Wang, R. Weihua, J. Wu, J. Xu, O. zavala-Romero, P. Zipf, D. Zhang, L. Zhang, M. Zhang.

特别感谢我的(使用 FPGA 的 EEL5722 DSP)春季班的同学。感谢 Nick Stroupe 在 DWT 去噪项目、Ye Yang 在 LPC 项目、Soumak Mookherjee 在 256 点 FFT 项目、Naren Nagaraj 在全通滤波器项目、Venkata Pothavajhala 在双二阶浮点设计、Haojun Yang 在网格滤波器设计, 以及 Crispin Odom 在 ICA 项目和 MS 论文中所做的工作。

特别感谢马德里大学的 Guillermo Botella 和 Diego González 在图像和视频处理章节中给予的帮助。

同样还要特别感谢 David Bishop 和 Huibert Lincklaen 对本书学习资料中使用他们的库的许可。

关于 Altara, 我要感谢 Ben Esposito, M. Phipps, Ralene Maroccia, Blair Fort 和 Stephen Brown, 感谢他们提供的软硬件支持。在 Xilinx 支持方面, A. Vera, M. Pattichis, Craig Kief 和 Parimal Patel。

关于出版商(Springer-Verlag), 我要感谢 Baumann 博士的耐心帮助, 他提供了对本书进行更新的宝贵机会。

如果读者有任何关于本书的改进意见, 请发邮件到 [Uwe.Meyer-Baese@ieee.org](mailto:Uwe.Meyer-Baese@ieee.org), 或者通过出版商直接联系我, 本人将不胜感激。

Uwe Meyer-Baese  
塔拉哈西, 2014 年 1 月

# 目 录

第 1 章 绪论	1	2.7.1 定点数到浮点数的格式 转换	98
1.1 数字信号处理技术概述	1	2.7.2 浮点数到定点数的格式 转换	99
1.2 FPGA 技术	2	2.7.3 浮点数乘法	100
1.2.1 按颗粒度分类	3	2.7.4 浮点数加法	101
1.2.2 按技术分类	6	2.7.5 浮点数除法	103
1.2.3 FPL 的基准	7	2.7.6 浮点数倒数	104
1.3 DSP 的技术要求	11	2.7.7 浮点操作集成	105
1.4 设计实现	13	2.7.8 浮点数合成结果	109
1.4.1 FPGA 的结构	17	2.8 MAC 与 SOP	111
1.4.2 Altera EP4CE115F29C7	21	2.8.1 分布式算法基础	112
1.4.3 案例研究: 频率合成器	27	2.8.2 有符号的 DA 系统	114
1.4.4 用知识产权内核进行设计	34	2.8.3 改进的 DA 解决方案	115
1.5 练习	39	2.9 利用 CORDIC 计算特殊 函数	117
第 2 章 计算机算法	53	2.10 用 MAC 调用计算特殊 函数	125
2.1 计算机算法概述	53	2.10.1 切比雪夫逼近	125
2.2 数字表示法	53	2.10.2 三角函数的逼近	127
2.2.1 定点数	54	2.10.3 指数函数和对数函数的 逼近	135
2.2.2 非传统定点数	57	2.10.4 平方根函数的逼近	141
2.2.3 浮点数	68	2.11 快速幅度逼近	147
2.3 二进制加法器	71	练习	150
2.3.1 流水线加法器	74	第 3 章 FIR 数字滤波器	163
2.3.2 模加法器	77	3.1 数字滤波器概述	163
2.4 二进制乘法器	78	3.2 FIR 理论	163
2.5 二进制除法器	84	3.2.1 具有转置结构的 FIR 滤波器	164
2.5.1 线性收敛的除法算法	85	3.2.2 FIR 滤波器的对称性	167
2.5.2 快速除法器的设计	90		
2.5.3 阵列除法器	95		
2.6 定点算法的实现	96		
2.7 浮点算法的实现	98		

3.2.3 线性相位 FIR 滤波器.....	168	4.7 窄带 IIR 滤波器的全通滤波器	
3.3 设计 FIR 滤波器.....	169	设计 .....	257
3.3.1 直接窗函数设计方法.....	170	4.7.1 窄带 IIR 滤波器的全通波形	
3.3.2 等波纹设计方法.....	172	数字滤波器设计 .....	259
3.4 常系数 FIR 设计.....	174	4.7.2 窄带 IIR 滤波器的全通网络	
3.4.1 直接 FIR 设计 .....	174	设计 .....	263
3.4.2 具有转置结构的 FIR		4.7.3 窄带滤波器的全通直接型	
滤波器 .....	178	设计 .....	263
3.4.3 采用分布式算法的 FIR		4.7.4 窄带滤波器的全通级联双	
滤波器 .....	183	二阶设计 .....	263
3.4.4 IP 内核 FIR 滤波器设计 .....	193	4.7.5 窄带滤波器的全通并行双	
3.4.5 基于 DA 和基于 RAG 的		二阶设计 .....	263
FIR 滤波器的比较 .....	196	4.8 练习 .....	267
3.5 练习 .....	197	<b>第 5 章 多级信号处理.....</b>	<b>273</b>
<b>第 4 章 IIR 数字滤波器.....</b>	<b>205</b>	5.1 抽取和插值 .....	273
4.1 IIR 数字滤波器概述.....	205	5.1.1 Noble 恒等式 .....	275
4.2 IIR 理论.....	208	5.1.2 用有理数因子进行采样速率	
4.3 IIR 系数的计算.....	210	转换 .....	276
4.4 IIR 滤波器的实现.....	213	5.2 多相分解 .....	276
4.4.1 有限字长效应.....	216	5.2.1 递归 IIR 抽取器.....	281
4.4.2 滤波器增益系数的优化.....	217	5.2.2 快速 FIR 滤波器.....	281
4.5 快速 IIR 滤波器.....	218	5.3 Hogenauer CIC 滤波器.....	284
4.5.1 时域交叉.....	218	5.3.1 单级 CIC 案例研究.....	284
4.5.2 群集和分散预测的流水线		5.3.2 多级 CIC 滤波器理论.....	287
技术 .....	220	5.3.3 幅值与混叠畸变 .....	291
4.5.3 IIR 抽取器设计 .....	222	5.3.4 Hogenaur“剪除”理论.....	293
4.5.4 并行处理.....	223	5.3.5 CIC RNS 设计.....	298
4.5.5 采用 RNS 的 IIR 设计.....	226	5.3.6 CIC 补偿滤波器设计.....	300
4.6 窄带 IIR 滤波器.....	226	5.4 多级抽取器 .....	302
4.6.1 窄带设计示例.....	227	5.5 作为通频带抽取器的频率	
4.6.2 级联二阶系统窄带滤波器		采样滤波器.....	305
设计 .....	234	5.6 任意采样速率转换器的设计.....	308
4.6.3 并联二阶系统窄带滤波器		5.6.1 分数延迟速率变换 .....	311
设计 .....	237	5.6.2 多项式分数延迟设计 .....	318
4.6.4 窄带 IIR 滤波器的网格		5.6.3 基于 B 样条的分数速率	
滤波器设计.....	244	变换器 .....	324
4.6.5 窄带 IIR 滤波器的波形		5.6.4 MOMS 分数速率变换器 .....	328
数字滤波器设计.....	251	5.7 滤波器组 .....	335

5.7.1	均匀 DFT 滤波器组	336	第 8 章	自适应系统	479
5.7.2	双通道滤波器组	339	8.1	自适应系统的应用	479
5.7.3	实现双通道滤波器组	344	8.1.1	干扰消除	480
5.8	小波	353	8.1.2	预测	480
5.8.1	离散小波变换	355	8.1.3	反演模拟	481
5.8.2	离散小波变换的应用	358	8.1.4	系统辨识	481
5.9	练习	366	8.2	最优估计技术	482
第 6 章	傅立叶变换	373	8.3	Widrow-Hoff 最小二乘法 算法	488
6.1	傅立叶变换概述	373	8.3.1	学习曲线	494
6.2	离散傅立叶变换算法	374	8.3.2	标准化 LMS(NLMS)	496
6.2.1	用 DFT 近似傅立叶变换	374	8.4	变换域 LMS 算法	498
6.2.2	DFT 的性质	376	8.4.1	快速卷积技术	498
6.2.3	Goertzel 算法	378	8.4.2	应用正交变换	499
6.2.4	Bluestein Chirp-z 变换	379	8.5	LMS 算法的实现	502
6.2.5	Rader 算法	382	8.5.1	量化效应	502
6.2.6	Winograd DFT 算法	388	8.5.2	LMS 算法的 FPGA 设计	503
6.3	快速傅立叶变换算法	390	8.5.3	流水线 LMS 滤波器	505
6.3.1	Cooley-Tukey FFT 算法	391	8.5.4	转置形式的 LMS 滤波器	507
6.3.2	Good-Thomas FFT 算法	401	8.5.5	DLMS 算法的设计	507
6.3.3	Winograd FFT 算法	404	8.5.6	应用 Signum 函数的 LMS 设计	511
6.3.4	DFT 和 FFT 算法的比较	407	8.6	递归最小二乘法算法	513
6.3.5	IP 内核 FFT 设计	409	8.6.1	有限记忆的 RLS 算法	516
6.4	与傅立叶相关的变换	413	8.6.2	快速 RLS 算法的卡尔曼 实现	518
6.4.1	利用 DFT 计算 DCT	414	8.6.3	快速后验卡尔曼 RLS 算法	523
6.4.2	快速直接 DCT 实现	415	8.7	LMS 和 RLS 的参数比较	523
6.5	练习	417	8.8	主成分分析(PCA)	524
第 7 章	通信系统	427	8.8.1	主成分分析的计算	527
7.1	差错控制和加密技术	427	8.8.2	Sanger GHA PCA 的实现	531
7.1.1	编码理论的基本概念	428	8.9	独立成分分析(ICA)	535
7.1.2	分组码	432	8.9.1	白噪声化和正交化	538
7.1.3	卷积码	436	8.9.2	独立成分分析算法	538
7.1.4	FPGA 的加密算法	443	8.9.3	EASI ICA 算法的实现	539
7.2	调制和解调	457	8.9.4	备选 BSS 算法	544
7.2.1	基本的调制概念	457	8.10	语音和音频信号编码	545
7.2.2	非相干解调	462	8.10.1	A 律和 $\mu$ 律编码	546
7.2.3	相干解调	467			
7.3	练习	474			



8.10.2	线性 and 自适应 PCM 编码	550	10.1.1	图像格式	666
8.10.3	模型化编码: LPC-10e 方法	556	10.1.2	基本图像处理操作	671
8.10.4	MPEG 音频编码方法	557	10.2	案例研究 1: HDL 中的边缘检测	673
8.11	练习	558	10.2.1	二维 HDL 滤波器设计	676
<b>第 9 章</b>	<b>微处理器设计</b>	<b>565</b>	10.2.2	图像系统设计	677
9.1	微处理器设计概述	565	10.2.3	VGA 边缘检测系统的 组装	679
9.2	微处理器的发展史	566	10.3	案例研究 2: 使用图像处理库 进行中值滤波	691
9.2.1	多功能微处理器简史	566	10.3.1	中值滤波器	692
9.2.2	RISC 微处理器简史	568	10.3.2	HDL 中的中值滤波器	693
9.2.3	PDSP 简史	568	10.3.3	Nios 中值滤波图像处理 系统	695
9.3	指令集设计	570	10.3.4	SW 中的中值滤波器	697
9.3.1	寻址模式	571	10.4	案例研究 3: 视频处理中的 运动检测由自定义协处理器 改进	701
9.3.2	数据流: 零地址、单地址、 二地址和三地址设计	577	10.4.1	运动检测	702
9.3.3	寄存器文件和存储器体系 结构	581	10.4.2	ME 协处理器设计	703
9.3.4	操作支持	586	10.4.3	视频压缩标准	706
9.3.5	下一次操作的定位	588	练习		708
9.4	软件工具	588	附录 A	设计实例的 Verilog 源代码	713
9.4.1	词法分析	589	附录 B	设计实例的合成结果	573
9.4.2	分析程序的开发	599	附录 C	VHDL 和 Verilog 编码的 z 关键字	789
9.5	FPGA 微处理器内核	609	附录 D	学习资料	791
9.5.1	硬内核微处理器	610	附录 E	术语汇编	799
9.5.2	软内核微处理器	616	参考文献		809
9.6	案例研究	626			
9.6.1	T-RISC 栈处理器	626			
9.6.2	LISA 小波处理器的设计	632			
9.6.3	Nios 自定义指令设计	647			
9.7	练习	653			
<b>第 10 章</b>	<b>图像和视频处理</b>	<b>665</b>			
10.1	图像和视频处理概述	665			