



孙 强 著

数字集成电路功耗与 测试综合优化



清华大学出版社

数字集成电路功耗与 测试综合优化

孙强 著

清华大学出版社
北 京

内 容 简 介

在数字集成电路领域中,随着VLSI集成度和时钟频率的不断提高,低层次综合效率越来越低,测试越来越困难,电路功耗问题也越来越突出。研究表明,高层次综合与设计技术能最大限度地解决上述难题,优化设计目标。本书运用高层次综合与设计技术,对数字集成电路的功耗与测试综合优化等课题进行深入研究,介绍和提出了一些新的表示模型、设计方法和算法,推动了数字集成电路可测性、低功耗及其相互协调等问题的解决。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

数字集成电路功耗与测试综合优化 / 孙强 著. —北京:清华大学出版社, 2016
ISBN 978-7-302-45560-8

I. ①数… II. ①孙 III. ①数字集成电路—研究 IV. ①TN431.2

中国版本图书馆 CIP 数据核字(2016)第 277467 号

责任编辑:施 猛 王旭阳

封面设计:常雪影

版式设计:方加青

责任校对:曹 阳

责任印制:李红英

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座 邮 编:100084

社 总 机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质 量 反 馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

印 刷 者:清华大学印刷厂

装 订 者:三河市新茂装订有限公司

经 销:全国新华书店

开 本:185mm×230mm 印 张:13.75 字 数:222 千字

版 次:2016 年 12 月第 1 版 印 次:2016 年 12 月第 1 次印刷

印 数:1~1000

定 价:46.00 元

产品编号:067885-01

前言

随着半导体技术的飞速发展，VLSI集成度和时钟频率不断提高，带来了如下负面影响：首先，集成电路复杂度的不断提高使得低层次综合效率越来越低，这一问题导致高层次综合(High-Level Synthesis, HLS)技术应运而生；其次，集成电路复杂度的不断提高使得测试变得越来越复杂，这已成为芯片设计的一个瓶颈；最后，电路的功耗问题越来越突出，电路功耗过大，导致系统不稳定和封装困难。

因此，电路的可测性和功耗问题成为VLSI设计时首要考虑的因素。当前，许多研究表明高层次设计能够最大限度地实现可测性和功耗的优化，这是因为它对具体实现方式的依赖性很小，选择算法和架构的自由度高，对最终硬件实现的可测性和功耗优化效果影响显著。因此，高层次测试综合和高层次低功耗综合技术日益获得科研人员和开发人员的关注和重视。

本书对当前高层次综合及可测性和低功耗设计技术进行了论述，在此基础上对高层次测试综合、高层次低功耗综合以及基于多项式符号代数的VLSI高层次综合技术进行了深入研究，探讨了高层次综合技术新的表示模型和设计方法。

本书共9章。各章内容如下：

第1章介绍了研究背景和意义，以及高层次综合、高层次测试综合和高层次低功耗综合的国内外研究现状；

第2章详细介绍了高层次综合技术、可测性设计技术和低功耗设计技术；

第3章是高层次综合过程可测性问题的分析和研究，介绍了高层次综合资源分配和调度过程对可测性的影响，以及相应的可测性调度和资源分配算法；

第4章介绍了高层次综合中与可测性相关的知识和可测性高层次综合的4个准则，并提出了一种基于加权相容图的可测性寄存器分配算法；

第5章介绍了高层次功耗优化理论和方法，首先概述了开展超大规模集成电路能

量和功率降低研究的现有文献,然后介绍了使用多供应电压和动态时钟相结合的方式,降低能量和能量延迟乘积的数据通路调度算法;

第6章是应用多目标遗传算法的高层次多电压功耗优化方法,提出了一种在时间与资源约束下,运用遗传算法同时进行操作调度和资源分配的高层次多电压功耗优化方法;

第7章通过对传统的力引导调度算法和现有的基于功耗优化的力引导调度算法的研究,提出了改进的基于单周期和基于多周期的峰值功耗优化的力引导调度算法,来实现对电路峰值功耗的优化;

第8章以高层次的表示模型和设计算法为目标,探讨一种以多项式符号代数为理论依托的VLSI高层次自动设计新方法和新技术,尝试将多项式符号理论、模型和方法的应用领域扩展到芯片高层次综合方面;

第9章对本书的研究内容进行了归纳总结,分析了当前研究工作的缺点和不足,并探讨了今后进一步的研究方向。

本书内容汇集了作者近十年的研究成果,是对数字集成电路功耗与测试综合优化研究工作的总结。本书的出版得到了黑龙江省青年科学基金项目“基于多项式符号代数的VLSI高层次综合研究”(QC2013C067)、黑龙江省高校青年学术骨干项目“基于多项式符号代数的VLSI高层次可测性和低功耗综合研究”(1253G060)和牡丹江师范学院优秀青年骨干教师培养计划项目“超大规模集成电路高层次设计方法研究”(MQP201406)的资助。

由于作者水平和经验有限,书中难免存在不足之处,恳请读者批评指正。反馈邮箱: wkservice@vip.163.com。

孙 强

于牡丹江师范学院东湖畔

2016年7月

目 录

第1章 绪论	1
1.1 研究背景及意义	2
1.2 研究现状分析	5
1.2.1 高层次综合研究现状	5
1.2.2 高层次测试综合研究现状	5
1.2.3 高层次低功耗综合研究现状	8
1.3 本书的主要研究内容	11
1.3.1 新型高层次测试综合方法研究	12
1.3.2 新型高层次低功耗综合方法研究	13
1.3.3 基于多项式符号代数的高层次新方法研究	13
1.4 本书的结构安排	14
第2章 高层次综合理论和方法	17
2.1 高层次综合技术	18
2.1.1 高层次综合的基本原理	18
2.1.2 开展高层次综合的原因	21
2.1.3 高层次综合的不同阶段	21
2.1.4 调度算法	25
2.1.5 分配算法	29
2.1.6 高层次综合实例	32
2.2 可测性设计理论和技术	34

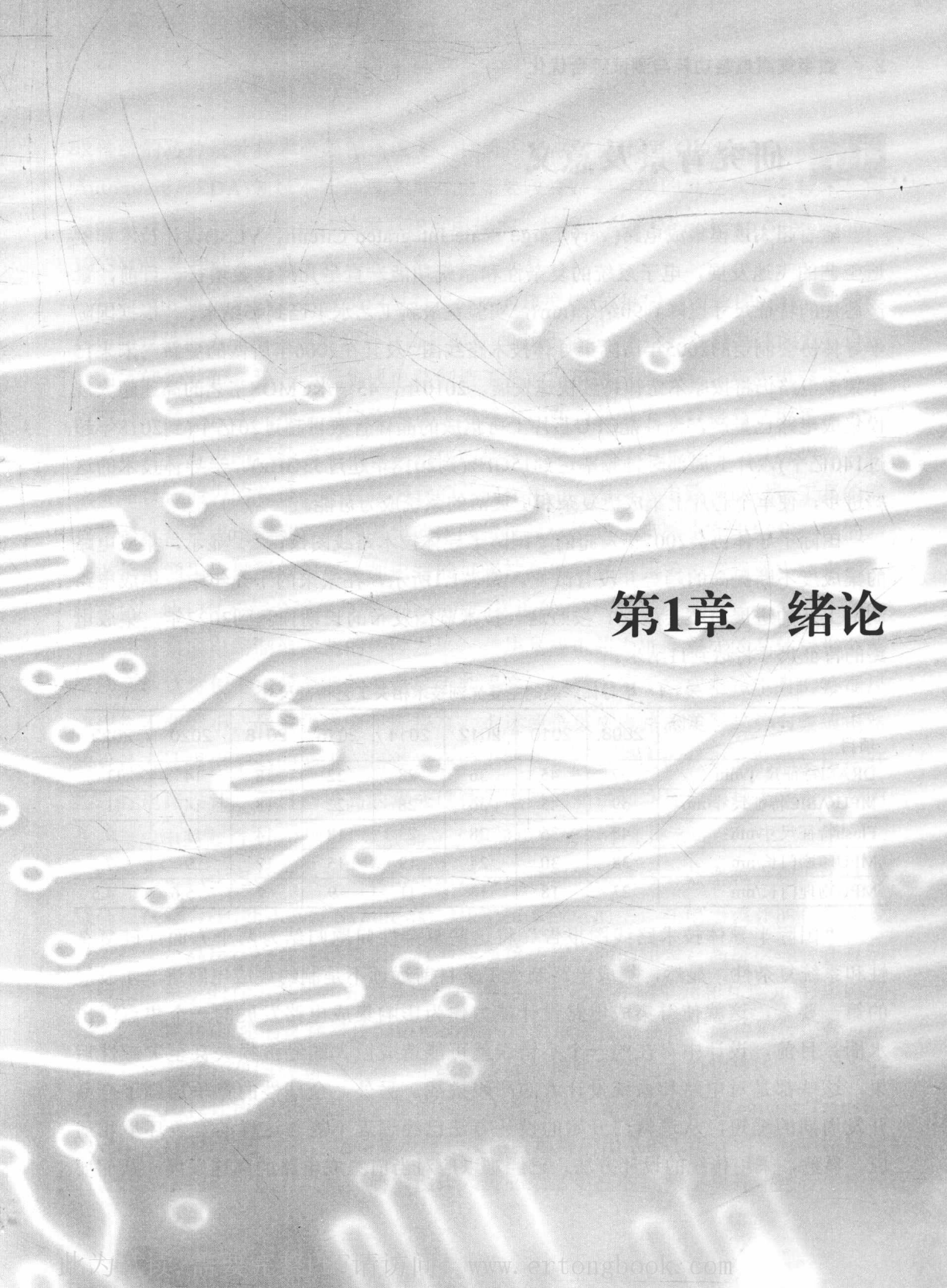
IV 数字集成电路功耗与测试综合优化

2.2.1	可测性设计技术	34
2.2.2	可测性分析技术	35
2.2.3	测试综合技术	37
2.3	低功耗设计理论和技术	39
2.3.1	CMOS电路功耗的来源	39
2.3.2	低功耗设计方法	41
2.3.3	高层次综合中的功率降低方法	43
2.3.4	峰值功率最小化的原因	45
2.3.5	降低平均功率和能耗的原因	45
2.3.6	应用频率和电压缩放的原因	46
2.3.7	多供应电压、动态时钟和多周期	47
第3章 高层次综合过程可测性问题的分析和研究		53
3.1	资源分配过程降低时序深度	54
3.1.1	可控制性和可观察性的提高	54
3.1.2	时序深度降低	56
3.1.3	寄存器分配的具体实现过程	59
3.1.4	模块分过程	67
3.1.5	互连分配	68
3.1.6	实例验证	68
3.2	资源分配过程降低时序环路	70
3.2.1	无循环调度数据流图中的时序环路对可测性的影响	71
3.2.2	有循环调度数据流图中的时序环路对可测性的影响	74
3.2.3	寄存器分配	78
3.3	调度过程的可测性综合	80
3.3.1	调度过程可控制性和可观察性的提高	80
3.3.2	通过调度来降低时序深度和时序环路	81
3.3.3	基于灵活度通路的调度算法	83

3.4 应用层次化控制数据流图解决条件资源共享可测性问题	86
第4章 应用图理论的高层次测试综合方法	89
4.1 高层次综合中与可测性相关的知识	91
4.1.1 数据通路电路图	91
4.1.2 变量的生存周期和分类	91
4.1.3 可控制性和可观测性	92
4.1.4 时序通路	92
4.1.5 时序环路	92
4.1.6 基于可测性高层次综合的4个准则	93
4.2 基于加权相容图的可测性寄存器分配算法	94
4.2.1 基于可测性的寄存器分配模型	94
4.2.2 寄存器分配相容图的团划分算法	97
4.2.3 算法的时间复杂度分析	103
4.2.4 实验结果	104
第5章 高层次功耗优化理论和方法	109
5.1 高层次功耗优化相关研究工作	111
5.1.1 数据通路调度过程中使用电压降低实现能量或降低平均功耗	111
5.1.2 高层次综合过程中开关活动性的降低	115
5.1.3 通过数据通路调度减少峰值功率	120
5.1.4 可变电压处理器调度	121
5.1.5 基于低功耗或高性能可变电压、频率、延迟和多电压系统的设计和综合	123
5.2 一种能耗最小化方法	127
5.2.1 目标架构和数据通路规范	128
5.2.2 时间约束调度	129
5.2.3 资源约束调度	136
5.2.4 能耗最小化方法总结	141

第6章 应用多目标遗传算法的高层次多电压功耗优化方法	143
6.1 问题表示	144
6.1.1 问题定义	145
6.1.2 遗传算法的染色体编码	145
6.1.3 问题的数学模型表示	146
6.2 无效染色体的形成原因	147
6.3 违反时间和违反面积约束的无效染色体的解决	147
6.3.1 问题转换	147
6.3.2 基于Pareto强度值的个体排序	149
6.4 违反数据依赖关系的无效染色体的解决	149
6.4.1 基于数据依赖的单点杂交算子	151
6.4.2 无效染色体的重调度分配	153
6.5 基于Pareto强度值和数据依赖单点杂交的多目标遗传算法	155
6.6 实验结果	155
第7章 峰值功耗优化改进的力引导调度方法	159
7.1 基本的力引导调度算法	161
7.2 改进的功耗优化的力引导调度算法	162
7.2.1 单周期操作的峰值功耗优化的力引导调度算法	163
7.2.2 多周期操作的峰值功耗优化的力引导调度算法	168
7.3 实验结果	170
第8章 基于多项式符号代数的高层次综合方法	173
8.1 多项式符号表示和运算	178
8.1.1 一元多项式的定义	178
8.1.2 一元多项式的运算	178
8.1.3 多元多项式的符号表示	179

8.1.4 多元多项式的运算	180
8.2 基于多项式符号代数的高层次测试综合方法	180
8.3 基于多项式符号代数的高层次低功耗综合方法	181
8.4 基于多项式符号代数的高层次综合研究展望	182
8.4.1 研究内容、目标及拟解决的关键问题	182
8.4.2 研究采用的方法、技术路线及可行性分析	184
8.4.3 相关研究的学术思想及创新之处	186
8.4.4 研究所涉及的学科交叉情况	187
8.4.5 相关研究的后续发展潜力	187
8.5 本章小结	188
第9章 总结与展望	189
参考文献	192



第1章 绪论

1.1 研究背景及意义

随着超大规模集成电路(Very Large Scale Integrated Circuit, VLSI)设计技术和制造工艺的飞速发展,电子系统的复杂性和系统功能一直呈几何级数增长。目前,量产芯片的特征尺寸已降到90纳米(nm),实验室最新工艺水平已到45纳米。^[1]根据国际半导体协会制定的2005年国际半导体技术路线图^[2]及其在2006年所做的更新,未来15年集成电路仍将按摩尔定律持续快速发展。2010年,45纳米CMOS工艺的高速超大规模集成电路已量产,高性能CPU芯片上可集成的晶体管数目超过20亿个(到2018年超过140亿个),片上局部时钟频率达到15GHz(到2018年超过53GHz)。半导体技术的这些进步,使单个芯片上集成更复杂和更灵活的系统成为可能。

国际半导体协会2007年发布的“国际半导体技术路线图报告”^[3]显示,集成电路的集成度不断提高的趋势并没有改变。如表1.1所示,在未来的十几年中,集成电路制造工艺的进展将不会放缓。按照这一技术蓝图发布的长期预测到2022年,集成电路的特征尺寸将达到11纳米。

表1.1 半导体产品的主要光刻技术相关工艺特征尺寸

项目 \ 年份	2008	2010	2012	2014	2016	2018	2020	2022
DRAM特征尺寸/nm	57	45	36	28	22	18	14	11
MPU/ASIC特征尺寸/nm	59	45	36	28	22	18	14	11
Flash特征尺寸/nm	45	36	28	23	18	14	11	9
MPU印刷门长/nm	38	30	24	19	15	12	9	7.5
MPU物理门长/nm	23	18	14	11	9	7	5.6	4.5

“国际半导体技术路线图报告”将这些复杂性问题归结为两个方面:硅复杂性和系统复杂性。显然,集成电路制造工艺目前远远不是制约集成电路进一步发展的第一要素,这就使得集成电路设计能力作为影响集成电路发展的一个焦点浮出水面。目前,设计中存在的一个小错误就可能造成巨大的经济损失甚至灾难性后果,这些都是对电路和系统设计者的严峻挑战。另外,全球性的竞争加剧了产品开发周期的缩短,从逻辑门开始的设计方法已经远远不能与这样的竞争环境相适应。显然,采用传统的设计方法,已经难以应对当前集成电路的高速发展,从而要

求传统的芯片设计技术必须做出改变。目前,在电子设计自动化(Electronic Design Automatic, EDA)领域不断涌现大量难题需要攻克,如有效的高层次综合技术、可测性设计技术、低功耗设计技术、IP重用技术、超深亚微米(Very Deep Submicron, VDSM)工艺和纳米工艺所带来的一系列关键技术。

目前,集成电路复杂度仍旧以每年58%的速度增长(每10年增长100倍),然而集成电路设计能力的增长速度却只有每年21%(每10年增长7倍)。^[3]这种制造能力和设计能力之间的差距,还在随着集成电路制造工艺的发展进一步增大。集成电路设计能力在延续摩尔定律的神话中的作用也越来越大。在当前的集成电路复杂度条件下,手工设计集成电路已经成为不可能完成的任务,集成电路辅助设计工具成为提高集成电路设计能力的关键。在这些因素的共同作用下,对集成电路辅助设计工具的需求和要求都在飞速提高。但随着集成电路特征尺寸的进一步减小和电路复杂度的急剧增长,涌现一批新的问题,如电路的可测性和低功耗问题等。这就要求越来越多的测试、低功耗和综合优化技术必须在高层次进行,以提高效率。

随着集成电路制造工艺的持续发展,一块集成电路上能够集成的晶体管将会越来越多,这将使得集成电路的复杂度不断提高;同时,由于集成电路本身的特征尺寸也在不断缩小,导致集成度不断提高。上述两个集成电路的发展趋势向集成电路的设计方法提出了新的要求。日益增加的电路复杂度要求人们从更高的抽象层次开始进行电路设计,而日益提高的集成度使得电路的测试和功耗问题越来越重要。因此,集成电路制造工艺的持续发展确立了集成电路的三个发展方向。^[4-6]

首先,由于电路集成复杂度的不断提高,使得低层次综合效率越来越低。这导致高层次综合(High-Level Synthesis, HLS)技术应运而生。在电子设计的自动化设计流程中,高层次综合是连接系统行为和系统结构之间的纽带。高层次综合在算法一级接受系统的行为描述,并将其转换成用功能单元、存储单元和互连元件(多路选择器,总线等)描述的寄存器传输级电路结构,然后经过寄存器实施传输级综合、逻辑综合、划分、布图规划、布局、布线等步骤,最终得到电路的物理版图。在当前的集成电路设计流程中,仍有大量的设计工作是从寄存器传输级(Register Transfer Level, RTL)开始进行的。电路集成复杂度将会渐渐超出从RTL级开始进行电路描述的设计方法的设计能力,从而要求设计人员必须从更高的抽象层次开始进行电路设

计。研究表明,在5000万门级的集成电路设计中,一般需要700万行的RTL代码进行描述,这对人工设计是一个巨大的挑战。^[7]从行为级开始进行电路设计,可以大大提高设计人员的设计表述能力。研究数据表明,高层次综合可以把电路设计所需要的源代码量减少到十分之一。^[8-9]同时,更高的抽象层次意味着更广阔的优化空间,也意味着更大的计算复杂度。研究表明,高层次综合阶段对电路功耗有90%的优化空间,而这一数字在物理设计阶段则下降到10%。因此,从行为级开始描述电路成为集成电路设计的必然发展趋势。

其次,随着集成电路复杂度的不断提高,使得测试变得越来越复杂,测试问题成为芯片设计的一个瓶颈。由于在底层测试的代价巨大,因此两种技术应运而生,即测试综合(Synthesis For Testability, SFT)^[10-11]和可测性设计(Design For Testability, DFT)^[12-13]。测试综合是在综合阶段直接引入可测性的一种技术,它通过综合过程,在原有的功能电路基础上增加可测性;可测性设计是一些应用于VLSI设计的规则和方法的集合,是通过在电路中增加一些物理结构使得该设计具有“容易被测试”的特性,并使其能够实现制造高质量测试的方法的总称。这两种技术从出现以来得到了广泛应用,并且伴随着面积、时延和功耗等约束条件。但这些技术还不能从根本上解决测试问题。当今可测性设计的研究热点集中在可测性高层次综合上,试图在电路的高层次综合过程中就考虑电路的可测性问题,尽量避免电路的不可测结构,从根本上提高电路的可测性。

最后,随着VLSI集成度和时钟频率的不断提高,电路的功耗问题越来越突出,有时可能因为电路某些部分功耗过大引起温度过高,从而导致系统工作不稳定或失效。同时,功耗过大也会对封装造成很大的困难。因此,功耗已经成为VLSI设计时首要考虑的因素。^[14-18]VLSI低功耗设计技术覆盖面广,设计灵活多变,既有系统的整体规划,又有物理的局部考虑。VLSI低功耗的设计方法随着层次的不同,功耗优化的概率有很大的差别。许多研究都表明,进行高层次设计能更好地实现功耗优化。行为层能够最大限度地实现功耗优化,这是因为它对具体实现方式的依赖性很小,所以对于算法的选择就自由得多,而且它对最终硬件实现时的功耗影响会很显著。

1.2 研究现状分析

1.2.1 高层次综合研究现状

高层次综合研究可以追溯到20世纪60年代。^[4]IBM公司T. J. Waston研究中心开发的ALERT系统,将寄存器传输级行为特性的算法描述转换成逻辑级的结构实现。20世纪70年代,综合技术发展迅速,但主要致力于低层次的逻辑综合和版图综合,高层次综合的研究仅限于公司与大学的研究室中,却有了较大的发展。20世纪80年代,高层次综合的研究非常活跃,并取得了相应的成果。20世纪90年代,面向可测性、低功耗和SOC的高层次综合研究兴起。正如数字系统可以在多个不同的层次上进行详细描述一样,综合也可以在多个层次上进行。通常综合可以分为4个层次:系统级综合,高层次综合,逻辑综合和版图综合。

高层次综合技术的应用可以明显地提高设计速度、缩短设计周期,从而允许设计者进行设计空间的搜索(即对数字系统进行不同方案的设计),寻求最优的或满意的设计方案。因此,高层次综合技术的引入,使得集成电路的用户特别是专用集成电路的用户(可以不是集成电路设计专家)可以直接进行数字系统从行为描述到芯片结构描述的设计工作。

高层次综合中的调度和分配问题一直是学术界关心的热点。高层次综合中的许多问题都是NP问题,求解算法的复杂度是指数级的。高层次综合中需要考虑性能、面积、可测性和功耗等问题,以及高层次综合与低层次物理信息结合问题等。根据集成电路的发展趋势,高层次综合在性能和面积约束下同时结合可测性和低功耗问题,将成为今后高层次综合研究两个必然的发展方向,因而高层次测试综合和高层次低功耗综合已成为当今学术界关心的热点。

1.2.2 高层次测试综合研究现状

传统的可测性设计集中在逻辑级和门级,采用测试点插入、部分扫描、边界扫

描和内建自测试(Built-In Self-Test, BIST)等方法提高设计电路的可测性。由于逻辑级和门级电路结构固有的不可测结构,导致提高电路可测性困难。目前,可测性设计的研究热点集中在可测性高层次综合上,试图在电路的高层次综合过程中就考虑电路的可测性问题,尽量避免电路的不可测结构,从根本上提高电路的可测性。高层次测试综合(High-Level Test Synthesis, HLTS)^[19-20]是近年来出现的一种新技术,它着眼于在高层次综合阶段考虑可测性,集合了SFT和DFT的优点,同时它可以对电路的可测性有较大的改善。高层次测试综合在近年来得到越来越多的重视,由于现在电路越来越复杂,使电路的测试越来越困难,在综合过程中就考虑可测性可以大大减少底层测试的复杂度,减少测试过程中的硬件资源和迭代设计,提高故障检测的覆盖率。高层次测试综合技术通过电路设计时的可测性调整,可以弥补高层次测试目前在故障模型方面存在的不足,对底层的测试工作具有较好的效果。

高层次测试综合技术的研究始于20世纪90年代,在近年得到越来越多的重视。有学者对当前高层次测试综合发展现状进行了综述,高层次测试综合技术大致可以分成两大类方法,即基于内建自测试(Built-In Self-Test, BIST)的方法和基于自动测试向量产生(Automatic Test Pattern Generation, ATPG)的方法。^[21-23]基于BIST的方法假定用伪随机图形产生器产生测试矢量,同时,用多输入特征寄存器(Multiple Input Signature Register, MISR)或其他特征分析器来压缩测试响应。由于随机测试对时序电路并不是最有效的测试方法,因此大多数BIST方法同时采用全扫描测试方法。基于ATPG的方法假定用确定型测试矢量产生器产生测试矢量,为简化测试生成,通常采用部分扫描测试方法。

有学者将数据通路中的自循环数量的减少作为解决BIST问题的目标。^[24-26]Kim提出了一种新的基于整数线性规划(Integer Linear Programming, ILP)的BIST数据通路综合方法,该方法可以同时完成系统寄存器分配和BIST寄存器分配,并且最终生成最优的设计。^[26]因此,该方法可以根据面积和测试时间等不同的约束搜索到一系列设计得以实现。有学者提出了一种并发BIST综合和测试调度的、基于遗传算法的方法,使用该方法完成的功能单元、测试寄存器和多路选择器分配,可以实现模块的最大化并发测试。^[27]

有学者提出了硬件共享的方法,使用最小数量的扫描寄存器来破坏数据流图

(Data Flow Graph, DFG)循环,生成的电路具有部分扫描需求最小化特点。^[28]这种方法首先对数据通路高层次综合中产生循环的原因进行了广泛的分析。在接下来的调度和分配过程中,通过扫描寄存器共享来避免数据通路中循环的形成,同时也实现了资源的充分利用。有学者提出了一种行为级综合可测性技术,该技术通过在资源分配和寄存器绑定过程中考虑可测性问题,来实现可测性设计。^[29]

有学者从可控制性和可观测性改善在高层次综合阶段进行考虑。^[30-31]有学者提出了可控制性和可观测性分析技术,它们基于C-Paths和O-Paths识别的方法,分别允许通过一个值来确定任何值和通过一个值来观测故障影响。^[30]寄存器共享过程中使用费用函数进行引导,该费用函数反映所有输入端口或输入端口子集可控制的(输出可观测的)功能单元的数量。Hsu和Patel提出了用来提高数字系统可测性的高层次部分扫描变量选择方法。^[31]一个设计在高层次的可测性通过可控制性和可观测性度量进行评估。因为可测性分级技术能够使变量子集具有完全的可控制性和可观测性,所以它被用来度量一个设计相对可测性的改善。能够引起最大可测性改善的变量被选择,进行这样的选择可使增量直到没有进一步的可测性改善可以获得为止。被选择的变量被放置到实现部分扫描的扫描链中。它们的综合目标是容易的可测性,也就是它们综合的寄存器传输级电路很容易应用测试序列从原始输入激励一个故障(容易的可控制性),并且故障影响可以传播到原始输出(容易的可观测性)。所以,该方法至少分配给每个寄存器一个输入/输出变量来提高寄存器的可控制性和可观测性。

有学者提出了添加测试点来测试电路中难测试部分。^[32-34]这些方法都是针对调度已经完成的数据流图(Scheduled Data Flow Graph, SDFG)来进行的。Hermanani和Saliba提出一种通过自动测试点选择策略来实现BIST寄存器最小化的分配方法,他们使用有效的遗传算法来快速搜索复杂的设计空间。^[35]

上述所有方法都是假设调度阶段已经完成。Yang和Peng提出了一种集成调度和分配的方法。^[36]在这种方法中,数据通路分配通过考虑可控制性和可观测性来实现,调度则通过改变默认调度、提高可测性来实现。

近年来,我国也有很多研究机构开展高层次测试综合的相关研究。有的学者系统阐述了高层次测试综合技术及其发展。^[10]有的学者提出了一种面向电路可测性的寄存器分配方案,该方案首先从已调度的数据流图着手,建立了一种可用于高层次