

嵌入式多核 **DSP** 应用开发与实践

陈泰红 肖 婧 冯 伟 编著



北京航空航天大学出版社
BEIHANG UNIVERSITY PRESS

嵌入式多核 DSP 应用开发与实践

陈泰红 肖婧 冯伟 编著

北京航空航天大学出版社

内 容 简 介

本书从 C66x 的内核架构、关键外设、多核编程等方面进行翔实介绍,同时通过基于 CCS V5 Simulator 软件仿真以及 TMDXEVM6678L EVM 硬件仿真的实例精解,从更多细节上介绍基于 TMS320C6678 的电路设计开发和 boot 设计,给出用实例测试的片内外设应用测试程序,最后介绍中科院某所基于 TMS320C6678 的星载毫米波 SAR-GMTI 系统数字中频接收机的总体设计。

本书适合于广大 DSP 爱好者、大学高年级学生、研究生,以及从事 DSP 等嵌入式技术开发的企业工程技术人员参考。

图书在版编目(CIP)数据

嵌入式多核 DSP 应用开发与实践 / 陈泰红, 肖婧, 冯伟编著. -- 北京: 北京航空航天大学出版社, 2017.2

ISBN 978-7-5124-2122-6

I. ①嵌… II. ①陈… ②肖… ③冯… III. ①数字信号处理—研究 IV. ①TN911.72

中国版本图书馆 CIP 数据核字(2017)第 044109 号

版权所有,侵权必究。

嵌入式多核 DSP 应用开发与实践

陈泰红 肖婧 冯伟 编著

责任编辑 王实

*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(邮编 100191) <http://www.buaapress.com.cn>

发行部电话:(010)82317024 传真:(010)82328026

读者信箱: emsbook@buaaem.com.cn 邮购电话:(010)82316936

涿州市新华印刷有限公司印装 各地书店经销

*

开本:710×1 000 1/16 印张:28.25 字数:602 千字

2017 年 3 月第 1 版 2017 年 3 月第 1 次印刷 印数:3 000 册

ISBN 978-7-5124-2122-6 定价:65.00 元

若本书有倒页、脱页、缺页等印装质量问题,请与本社发行部联系调换。联系电话:(010)82317024

前言

TMS320C66x DSP 是美国德州仪器公司(TI)推出的高性能多核 DSP 处理器。

TMS320C66x DSP 采用 TI 多年的研发成果:KeyStone 多内核架构,具有高性能协处理器,丰富的独立片内连接层技术;多核导航器,支持内核与存储器存取之间的直接通信,从而解放外设存取,充分释放多核性能;片上交换架构——TeraNet 2,速度高达 2 Mb/s,可为所有 SoC 组成部分提供高带宽和低时延互连;多核共享存储器控制器,可使内核直接访问存储器,提高片上及外设存储器的存取速度;HyperLink,可提供芯片级互连,跨越多个芯片。TMS320C66x 有 2 核、4 核、8 核之分,可供不同应用场合使用,并且引脚兼容。每个内核都同时具备定点和浮点运算能力,并且都有 40 个 GMAC @ 1.25 GHz, 20 个 GFLOP @ 1.25 GHz,其性能是市场上已发布的多内核 DSP 的 5 倍,特别是 8 核 TMS320C6678,运行速率能达到 10 GHz。TMS320C66x 具有低功耗和大容量,采用 TI Green Power 技术构架、动态电源监控和 Smart Reflex。这样的结构,让用户设计时不再需要使用 FPGA 或者 ASIC。

KeyStone 多核系列 DSP 包括多种器件,这些器件旨在以最低的功耗级别和成本提供最高的处理性能。KeyStone 多核平台的处理能力和低功耗适用于高端设备大数据量的处理。多核器件包括 TI 的 C667x 和 C665x 系列 DSP。该系列结合了定点和浮点的处理能力,其中 C6678 有高达 8 颗 C66x CPU。

KeyStone II 多核系列 DSP+ARM 以低于多芯片解决方案的功耗,提供高达 5.6 GHz 的 ARM 和 11.2 GHz 的 DSP 处理能力,因此适用于嵌入式基础实施应用,例如云计算、高性能计算、转码、安全、游戏、分析、媒体处理和虚拟桌面等。66AK2H12 使用新的 KeyStone II 架构。该器件是第一种将 4 个 ARM Cortex-A15 与 8 个 TMS320C66x 高性能结合在一起的器件,代表型号有 66AK2H0(2ARM15+

前 言

4C66x)、66AK2E05 等。

TMS320C66x 的目标应用领域有关键任务、测试与自动化、医学影像、智能电网、新型宽带以及高性能计算等。例如,医疗电子有几个热门的方向,即彩色超声波、用于引导手术的实时透视、超声波便携式设备、内窥镜等,C667x DSP 凭借其实时处理、便携式、低功耗、可编程性、高性能的优势,能方便实现这些医疗应用。

本书从 C66x 的内核架构、关键外设、多核编程等方面进行了翔实介绍,同时通过基于 CCS V5 Simulator 软件仿真以及 TMDXEVM6678L EVM 硬件仿真的实例精解,从更多细节上介绍基于 TMS320C6678 的电路设计开发和 boot 设计,给出用实例测试的片内外设应用测试程序,最后介绍中科院某所基于 TMS320C6678 的星载毫米波 SAR-GMTI 系统数字中频接收机的总体设计。

本书适合于广大 DSP 爱好者、大学高年级学生、研究生,以及从事 DSP 等嵌入式技术开发的企业工程技术人员参考。期望帮助读者尽快熟悉并掌握该项技术。

在编著本书的过程中,作者一直战战兢兢。作者基于之前所著《手把手教你学 DSP》系列丛书的经验,力求帮助开发者设计和完善总体电路与软件评测,所有实例均在自己所做的电路板上验证。唯一的愿望,就是希望能对阅读本书的人有所帮助。

本书介绍 TI C66x 系列多核编程过程中的一些基本概念与原理,更深入地掌握这门技术,还需要进一步阅读 TI 公司提供的参考手册,并在实际项目中锻炼。TI 公司的技术文档以繁多著称,初学者难免陷入不知所措之中,因此建议以实际应用为主,各个击破,以点连线,以线画面。

虽然,我们努力提供可重复的工作,但由于参考的软件版本以及软件安装的环境可能会有细微差别,因此请在理解本书所介绍内容的基础上重复书中涉及的实例,简单照搬不一定能有结果,敬请注意。

本书得到了国家自然科学基金(61603073)、辽宁省自然科学基金(201602200)、中央高校基本科研业务费专项基金(DCPY2016002)的支持,在此表示衷心的感谢。

本书第二作者肖婧,现为大连民族大学信息与通信工程学院专任教师,主要从事信息智能处理技术的研究,重点研究高维多目标智能优化算法及其在复杂网络挖掘中的应用;先后承担并主持国家自然科学基金 1 项、省部级科研项目 2 项、市厅级科研项目 2 项;发表学术论文 20 余篇,出版学术专著 2 部。

本书第三作者冯伟,任职于 66061 部队,主要从事通信网络工程设计、规划、建设与应用管理以及计算机软件开发测试,研究方向包括通信网络管理、规划与设计,数字信号处理与分析等。

参加本书编写工作的有石厚兰、陈关岭、杭欢欢、陈小杭、王苏亚、杭进财、陈帅、吕会杰、陈静源、陈凯、何艳、陈萌萌、杭翔宇、胡亦卓、杭文菁、杨才远、程伟、马艺文等,他们为本书提供了大量资料,进行了大量实验,编写验证了各个应用程序等,再次表示感谢。

本书在成书过程中还得到北京航空航天大学出版社策划编辑人员的大力支持,没有他们的帮助,出版本书是不可想象的;在这里还要感谢所有与出版此书相关的工作人员,他们参与了编辑、校对和录入工作;感谢无名网友在网络上无偿分享的资料。

本书尽量列出所有参考资料的源出处,若有遗漏,敬请谅解。

由于时间仓促,水平有限,书中存在的错误和遗漏,恳请读者不吝指正。

联系方式:ahong007@yeah.net

陈泰红

2016年12月13日



第 1 章 多核 DSP 技术	1
1.1 DSP 概述	1
1.2 TI 公司 DSP 器件的发展	1
1.2.1 C2000 系列 DSP	2
1.2.2 C5000 系列 DSP	3
1.2.3 C6000 单核系列 DSP	3
1.2.4 达芬奇系列 DSP	3
1.2.5 多核系列 DSP	4
1.3 高性能多核 TI DSP 性能	6
1.4 KeyStone I 多核 DSP 处理器	8
1.4.1 KeyStone I 概述	8
1.4.2 应用领域	11
1.5 KeyStone II 多核 DSP 处理器	13
1.5.1 KeyStone II 概述	13
1.5.2 KeyStone II 多核架构	14
1.5.3 专用服务器应用	15
1.5.4 企业和工业应用	16
1.5.5 绿色能效网络处理	16
1.5.6 产品优势	17
第 2 章 TMS320C66x 的多核处理器架构	18
2.1 C66x 内核	18
2.1.1 概 述	18
2.1.2 C66x DSP 架构指令增强	20

目 录

2.1.3	C66x 内核中 CPU 数据通路和控制	22
2.2	TMS320C66x DSP 内核	24
2.2.1	C66x 内核介绍	24
2.2.2	C66x 内核内部模块概述	25
2.2.3	IDMA	31
2.2.4	中断控制器	33
2.3	多核导航器	39
2.3.1	概 述	39
2.3.2	多核导航器的功能	43
2.3.3	多核导航器的基本概念	44
2.4	高速通信接口	49
2.4.1	HyperLink 接口	51
2.4.2	RapidIO 接口	57
2.4.3	PCIe 接口	62
2.5	多核共享资源	70
2.5.1	存储器资源分配	70
2.5.2	EDMA 资源	71
2.5.3	硬件信号量	72
2.5.4	IPC 中断	76
第 3 章	C66x 片内外设、接口与应用	77
3.1	EDMA3	77
3.1.1	EDMA3 概述	77
3.1.2	EDMA3 传输类型	81
3.1.3	EDMA 功能实例	83
3.2	Ethernet/MDIO	86
3.3	AIF2 天线接口	87
3.3.1	概 述	87
3.3.2	OBSAI 协议概述	88
3.3.3	AIF2 硬件框图	90
第 4 章	CCS 5 集成开发环境	92
4.1	CCS 5 的安装和配置	93
4.1.1	CCS V5.5 的下载	93
4.1.2	CCS V5.5 的安装	94
4.1.3	CCS V5.5 的使用	97

4.2	CCS V5 操作小技巧	107
4.2.1	更改显示	107
4.2.2	多线程编译	107
4.2.3	多核断点调试	108
4.2.4	L1P、L1D、L2 cache 分析工具	110
4.3	GEL 的使用	110
4.3.1	GEL 功能简介	110
4.3.2	实现 GEL 脚本的基本要素	110
4.3.3	GEL 脚本应用技巧	116
第 5 章	多核软件开发包	125
5.1	多核软件开发包概述	125
5.2	Linux/MCSDK	127
5.3	BIOS-MCSDK	129
5.3.1	BIOS-MCSDK 简介	129
5.3.2	BIOS-MCSDK 2.x 开发	133
5.3.3	MCSDK2.x 使用指南	135
5.3.4	运行演示应用程序	142
5.4	CSL 与底层驱动	145
5.4.1	CSL 介绍	145
5.4.2	LLDs 介绍	145
5.4.3	EDMA3 驱动介绍	147
5.5	算法处理库	147
5.5.1	数字信号处理库(DSPLIB)	147
5.5.2	图像处理库(IMGLIB)	148
5.5.3	数学函数库(MATHLIB)	149
5.6	网络开发工具 NDK	150
5.6.1	NDK 概述	151
5.6.2	NDK 组织结构	152
5.6.3	NDK 实现过程	153
5.6.4	CCS 创建 NDK 工程	155
5.6.5	配置 NDK	157
5.6.6	NDK 开发中应注意的问题	157
5.7	HUA 实例	158
5.7.1	概 述	158
5.7.2	软件设计	161

5.8	Image Processing 实例讲解	162
5.8.1	概 述	162
5.8.2	软件设计	162
5.8.3	软件实例介绍	165
第 6 章	SYS/BIOS	168
6.1	SYS/BIOS 基础	168
6.1.1	SYS/BIOS 概述	168
6.1.2	SYS/BIOS 与 DSP/BIOS 的区别	169
6.1.3	XDCtools 概述	170
6.1.4	SYS/BIOS 开发流程	173
6.2	IPC 核间通信	174
6.2.1	IPC 功能架构	174
6.2.2	IPC 主要模块介绍	176
6.2.3	使用 IPC 需要解决的问题	183
6.3	SYS/BIOS 组成	183
6.4	SYS/BIOS 工程创建和配置	189
6.4.1	用 TI 资源管理器创建 SYS/BIOS 工程	189
6.4.2	用 CCS 工程向导创建 SYS/BIOS 工程	191
6.5	SYS/BIOS 启动过程	196
第 7 章	硬件设计指南	198
7.1	电源设计、节电模式和功耗评估	198
7.1.1	功耗分析	198
7.1.2	系统总体方案设计	199
7.1.3	电源滤波设计	201
7.1.4	电源控制电路	201
7.1.5	3.3 V 辅助电路	203
7.1.6	上电时序控制电路	203
7.1.7	在线软件控制	205
7.2	时钟设计	206
7.2.1	时钟需求	206
7.2.2	时钟电路设计	208
7.3	复位电路设计	215
7.3.1	复位需求统计	215
7.3.2	复位电路及时序设计	215

7.4	DDR3 接口设计	216
7.4.1	DDR3 技术综述	216
7.4.2	TMS320C6678 的 DDR3 控制器	217
7.4.3	DDR3-SDRAM 选型	217
7.4.4	DDR3 电路设计	218
7.4.5	PCB 设计中的注意事项	219
7.5	EMIF16 接口设计	222
7.5.1	EMIF16 接口介绍	222
7.5.2	EMIF16 存储空间分配	223
7.5.3	NOR Flash 接口设计	223
7.5.4	NAND Flash 接口设计	225
7.6	SRIO 接口设计	226
7.6.1	设计原理	226
7.6.2	PCB 设计中的注意事项	227
7.6.3	GbE 设计	228
7.7	SPI 接口设计	233
7.8	I ² C 接口设计	233
7.9	外中断设计	234
7.10	JTAG 仿真	235
7.11	硬件设计检查表	235
7.12	电路设计小技巧	240
7.12.1	Ultra Librarian 的使用	240
7.12.2	Cadence 模块化复用	243
第 8 章	TIC66x 多核 DSP 自启动开发	253
8.1	概 述	253
8.1.1	DSP 启动过程	255
8.1.2	多核启动原理	256
8.1.3	启动数据的生成	258
8.2	EMIF16 方式	259
8.3	主从 I ² C 方式	259
8.3.1	单核启动模式	260
8.3.2	多核启动模式	261
8.4	SPI 方式	261
8.4.1	SPI 总线的工作原理	262
8.4.2	SPI 启动的实现	263

目 录

8.4.3	SPI NOR 启动步骤及注意事项	264
8.5	SRIO 方式	266
8.6	以太网方式	268
8.7	PCIe 方式	270
8.7.1	PCIe 启动原理	270
8.7.2	PCIe 启动分析	271
8.7.3	单模式加载启动实现	271
8.7.4	多核启动实现	272
8.7.5	DDR3 多模代码加载启动实现	273
8.8	HyperLink 方式	274
第 9 章	C66x 多核编程指南	275
9.1	应用程序编程框架	275
9.1.1	XDAIS 标准	275
9.1.2	IALG 接口	275
9.1.3	XDM 标准	277
9.1.4	VISA API	279
9.2	应用程序映射到多核导航器	279
9.2.1	并行处理模型	280
9.2.2	识别并行任务	282
9.3	多核通信	284
9.3.1	数据迁移	285
9.3.2	多核导航器数据移动	286
9.3.3	通知和同步	287
9.3.4	多核导航器的通知方法	288
9.4	数据传输引擎	290
9.5	共享资源管理	291
9.6	存储器管理	292
9.7	C66x 代码优化	295
9.7.1	使用内嵌函数	295
9.7.2	软件流水	296
9.7.3	混合编程	297
9.8	线性汇编	300
9.8.1	C 代码改写为线性汇编	300
9.8.2	线性汇编使用 SIMD 指令	304
9.8.3	循环展开	305

9.8.4 解决存储器冲突	307
9.9 TI 代码优化设计文档	309
第 10 章 C66x 多核 DSP 软件开发实例	317
10.1 IPC 核间通信实例	317
10.1.1 概 述	317
10.1.2 实例详解	318
10.1.3 源代码详解	319
10.2 VLFFT	326
10.2.1 概 述	326
10.2.2 软件设计	328
10.2.3 VLFFT 实验实例	330
10.2.4 运行结果分析	333
第 11 章 TMDSEVM6678L EVM 及视频编解码实现	335
11.1 EVM 概述	335
11.1.1 TMDSEVM6678L 概述	336
11.1.2 TMDSEVM6678L 电路介绍	338
11.2 多相机视频编解码实现	344
11.2.1 系统介绍	344
11.2.2 开发包支持	344
11.2.3 性能评估	344
第 12 章 KeyStone I 自测程序指南	348
12.1 自测程序概述	348
12.1.1 程序框架	349
12.1.2 通用测试方案	350
12.1.3 测试范围	352
12.1.4 EVM 板测试步骤	352
12.1.5 移植程序注意事项	354
12.1.6 自动执行测试程序	354
12.1.7 测试程序特性总结	360
12.2 存储器测试	365
12.2.1 存储器系统概述	365
12.2.2 存储器测试算法	367
12.2.3 存储器测试 CCS 工程项目	369

目 录

12.2.4	测试配置	371
12.2.5	测试时间分析	372
12.3	存储器性能测试	372
12.3.1	测试算法	373
12.3.2	CCS 工程项目	373
12.3.3	测试配置	374
12.4	EMIF 接口存储器测试	376
12.4.1	CCS 工程项目	376
12.4.2	测试配置与程序移植	377
12.5	通用模块测试	379
12.5.1	GPIO 模块测试	379
12.5.2	I ² C 模块测试	380
12.5.3	SPI 模块测试	383
12.5.4	Timer 模块测试	386
12.5.5	UART 模块测试	389
12.6	AIF 模块测试	393
12.6.1	概 述	393
12.6.2	测试算法	394
12.6.3	AIF2 调试	396
12.6.4	CCS 工程项目	398
12.6.5	测试工程配置	399
12.7	HyperLink 模块测试	400
12.7.1	概 述	400
12.7.2	HyperLink 配置	401
12.7.3	HyperLink 性能考虑	403
12.7.4	CCS 工程项目	404
12.7.5	测试配置	405
12.8	多核导航器模块测试	406
12.8.1	多核导航器介绍	406
12.8.2	测试算法	408
12.8.3	CCS 工程项目	410
12.8.4	测试配置	411
12.9	鲁棒性测试	411
12.9.1	概 述	411
12.9.2	测试算法	412
12.9.3	CCS 工程项目	415

12.9.4 测试配置	417
第 13 章 星载毫米波 SAR - GMTI 系统数字中频接收机	419
13.1 总体设计	419
13.1.1 设计原则	419
13.1.2 硬件架构	420
13.1.3 软件架构	421
13.1.4 接口设计	421
13.2 硬件设计	423
13.3 软件设计	426
13.3.1 概 述	426
13.3.2 A/D 采集及存储模块	426
13.3.3 数据传输模块	427
13.3.4 数据处理模块	428
附录 多核 DSP 开发网络资源	432
参考文献	433

第 1 章

多核 DSP 技术

1.1 DSP 概述

数字信号处理器是一种能够实现数字实时信号处理的、结构优化的微处理器。数字信号是通过数学方法在某个方面实现对数字信号的改变或提升的技术,因此涉及大量的数学运算。通常,数字信号处理的算法需要利用计算机或专用处理设备来实现。DSP 器件或专用集成电路(Application Specific Integrated Circuit, ASIC)等都属于常用的专用设备。

自 20 世纪 70 年代末 80 年代初 DSP 芯片诞生以来,DSP 器件得到了飞速发展。DSP 芯片的高速发展,一方面得益于集成电路的发展,另一方面也得益于巨大的市场需求。DSP 器件已经成为通信、计算机、消费类电子产品和汽车电子等领域的基础器件。

1.2 TI 公司 DSP 器件的发展

美国德州仪器公司(TI)是 DSP 器件的主要生产厂商之一。从 1982 年 TI 公司推出第一代 DSP 芯片——TMS320C10 以来,该公司已经推出了多种系列的 DSP 器件。

目前,TI 公司的 DSP 器件主要包括 C2000 系列 DSP、C5000 系列 DSP、C6000 单核系列 DSP、达芬奇系列 DSP、C66x 多核系列 DSP。

TMS320C6000 是 TMS320 系列产品中的新一代高性能 DSP 芯片,涵盖从最开始的定点 C62x 和浮点 C67x 处理器,到后续的 C64x、C647x、C64x+、C66x 系列 DSP,以及 ARM+DSP 的 OMAP 和达芬奇(DaVinci)系列处理器等。

早期的 C6000 器件提供的主要接口有 I²C 接口、McBSP 同步串口、HPI 并行接口和 EMIF 接口(方便用户使用各种外部扩展存储器,如 Flash、SDRAM、SRAM、EPROM)等,另一些型号中还提供了 PCI 接口。

到 C64x+ 系列时,以 3 核 TMS320TCI6487 为代表,这是一款专门针对 TD-SCDMA 等无线基础设施基带应用的 DSP。单核 1.2 GHz,集成了许多额外的高性能

第1章 多核 DSP 技术

外设接口,如 1 Gb/s 网口(EMAC)、3.072 Gb/s 天线接口(AIF)、3.125 Gb/s 串行 RapidIO (SRIO)和运行速率高达 667 MHz 的 DDR2 存储器接口等。其中,AIF 接口符合 OBSAI 和 CPRI 标准,直接支持基带与射频模块之间的数据接口互连。

C66x 系列 DSP 是 TI 公司最新的 C6000 DSP。该芯片基于 TI 公司最新的 KeyStone 多核 SoC 结构,单核 1.2 GHz,专门为高性能无线架构应用而设计,可用于开发几乎所有的无线标准。片上额外集成的高性能接口主要有:4 通道 HyperLink,单通道 12.5 Gb/s;6 条 AIF2 链,每条 6.144 Gb/s;2 个 SGMII 口,每个 1 Gb/s;2 通道 PCIe,每通道 5 Gb/s 的数据速率;4 通道 SRIO 2.1,每通道 5 Gb/s,以及 DDR3,位宽 64 bit,频率达 1666 MHz。其中,HyperLink 用于 C66x DSP 之间的点对点互连,4 通道并行可达到 50 Gb/s 的数据传输速率。

可见,随着高性能多核 DSP 在通信领域中的应用要求越来越复杂和接口协议标准的不断发展,DSP 的接口技术也在不断演进,从最初的简单接口如 I²C、SPI 等,发展到复杂接口如 SRIO、AIF 等;从最初的低速并行接口如 HPI、PCI 等,发展到高速串行接口 HyperLink、PCIe 等,使得 DSP 系统数据传输的速度呈几何级提高。而 DSP 接口技术的不断演进,也反过来持续支撑了高性能多核 DSP 的应用,从而更好地推动相关应用领域的发展。

1.2.1 C2000 系列 DSP

C2000 系列 DSP 是支持高性能集成外设的 32 位微处理器,适用于实时控制应用。其数学优化型内核可为设计人员提供能够提高系统效率、可靠性以及灵活性的方法。C2000 器件具有功能强大的集成型外设,是理想的单芯片控制解决方案。例如,TMS320F2812 是 TI 公司针对数字控制推出的 DSP 器件,该器件整合了 DSP 及微控制器的最佳特性。C2000 系列 DSP 的主要发展历史及板上资源、性能变化如表 1.1 所列。

表 1.1 C2000 系列 DSP 参数对比表

C2000 系列 DSP	F281x	F280x	F2823x	F2833x	F2834x	F2802x	F2803x
大规模生产	2003	2005	2008	2008	2009	2009	2010
C28x CPU	定点	定点	定点	浮点	浮点	浮点	浮点+CLA 运算
频率/MHz	150	60~100	100~150	100~150	200~300	40~60	60
引 脚	128~179	100	176~179	176~179	176~256	38~56	64~80
Flash/KB	128~256	32~256	128~512	128~512	0	16~64	32~128