

国外电子与通信教材系列

 Pearson

Digital Integrated Circuits: A Design Perspective
Second Edition

数字集成电路

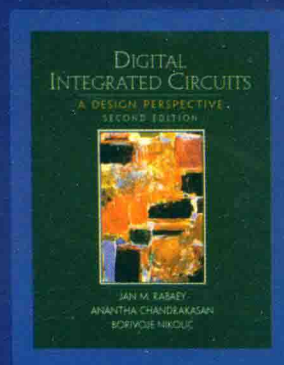
——电路、系统与amp;设计 (第二版)

Jan M. Rabaey

[美] Anantha Chandrakasan 著

Borivoje Nikolić

周润德 等译



中国工信出版集团



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

国外电子与通信教材系列

数 路

——电路、系统与amp;设计

(第二版)

Digital Integrated Circuits
A Design Perspective

Second Edition

Jan M. Rabaey

[美] Anantha Chandrakasan 著

Borivoje Nikolić

周润德 等译

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书由美国加州大学伯克利分校 Jan M. Rabaey 教授等人所著。全书共 12 章,分为三部分:基本单元、电路设计和系统设计。本书在对 MOS 器件和连线的特性做了简要的介绍之后,深入分析了数字设计的核心——反相器,并逐步将这些知识延伸到组合逻辑电路、时序逻辑电路、控制器、运算电路以及存储器这些复杂数字电路与系统的设计中。为了反映数字集成电路设计进入深亚微米领域后正在发生的深刻变化,本书以 CMOS 工艺的实际电路为例,讨论了深亚微米器件效应、电路最优化、互连线建模和优化、信号完整性、时序分析、时钟分配、高性能和低功耗设计、设计验证、芯片测试和可测性设计等主题,着重探讨了深亚微米数字集成电路设计所面临的挑战和启示。

本书可作为高等院校电子科学与技术(包括微电子与光电子)、电子与信息工程、计算机科学与技术、自动化等专业高年级本科生和研究生有关数字集成电路设计方面课程的教材,也可作为这一领域的工程技术人员的参考书。

Authorized translation from the English language edition, entitled *Digital Integrated Circuits: A Design Perspective, Second Edition*, 9780130909961 by Jan M. Rabaey, Anantha Chandrakasan, Borivoje Nikolić, published by Pearson Education, Inc., publishing as Prentice Hall, Copyright © 2003 by Pearson Education, Inc.

All rights reserved. No part of this book may be reproduced or transmitted in any form or by any means, electronic or mechanical, including photocopying, recording or by any information storage retrieval system, without permission from Pearson Education, Inc.

CHINESE SIMPLIFIED language edition published by PEARSON EDUCATION ASIA LTD., and PUBLISHING HOUSE OF ELECTRONICS INDUSTRY. Copyright © 2017.

本书中文简体字版专有出版权由 Pearson Education(培生教育出版集团)授予电子工业出版社。未经出版者预先书面许可,不得以任何方式复制或抄袭本书的任何部分。

本书贴有 Pearson Education(培生教育出版集团)激光防伪标签,无标签者不得销售。

版权贸易合同登记号 图字:01-2003-0352

图书在版编目(CIP)数据

数字集成电路:电路、系统与amp;设计:第2版/(美)简·M.拉贝艾(Jan M. Rabaey)等著;周润德等译.
北京:电子工业出版社,2017.1

(国外电子与通信教材系列)

书名原文:Digital Integrated Circuits: A Design Perspective, Second Edition

ISBN 978-7-121-30505-4

I. ①数… II. ①简… ②周… III. ①数字集成电路-电路设计-高等学校-教材
IV. ①TN431.2

中国版本图书馆 CIP 数据核字(2016)第 287927 号

策划编辑:马 岚

责任编辑:马 岚

印 刷:三河市华成印务有限公司

装 订:三河市华成印务有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本:787×1092 1/16 印张:32.75 字数:901 千字

版 次:2017 年 1 月第 1 版(原著第 2 版)

印 次:2017 年 1 月第 1 次印刷

定 价:79.00 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010)88254888, 88258888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

本书咨询联系方式:classic-series-info@phei.com.cn。

再 版 序

由美国加州大学伯克利分校 Jan M. Rabaey 教授和麻省理工学院 Anantha Chandrakasan 教授等人合著的《数字集成电路——电路、系统与amp;设计(第二版)》，是一本多年来一直深受国内外广大读者欢迎的力作。与其他有关数字集成电路设计的教材不同，这本书以在数字设计中建立起电路和系统之间的桥梁为写作精神和编写目的，在分层次介绍“数字电路”、“数字系统”和“设计方法”的基础上，把这三者有机地结合起来。它不仅深刻揭示了 CMOS 制造工艺在以惊人步伐推进过程中器件特性变化对数字集成电路可靠性、成本、性能及功耗的影响，而且在介绍有关内容的同时，单独列出了相应的设计方法学和先进的设计例子，以着重说明器件特征尺寸大幅缩小后数字集成电路设计所面临的挑战和启示，以及复杂电路设计者所共同关注的问题：包括什么是起决定作用的设计参数，设计的哪些部分需要着重考虑而哪些部分又可以忽略，以及设计时如何同时协调电路和系统两方面的问题。通过这一独特的介绍分析技术和综合技术的方法，本书能最有效地为读者提供处理复杂设计问题所需要的基本知识和设计技能。

全书共 12 章，分为三部分：基本单元、电路设计、系统设计。在对 MOS 器件和连线特性做了简要介绍之后，深入分析了数字设计的核心——反相器，并逐步将这些基础知识延伸到组合逻辑电路、时序逻辑电路、控制器、运算电路及存储器等复杂数字电路单元的设计；在系统层面上介绍了电路模块和互连线的建模和优化、信号完整性、时序分析、时钟分配、高性能和低功耗设计，以及设计验证和芯片测试等。由于涉及面广，内容丰富和分析深入，本书既可作为高等院校电子科学与技术、电子与信息工程、计算机科学与技术、自动化等专业高年级本科生和研究生有关数字集成电路设计课程的教材，也可作为这一领域工程技术人员非常有用的参考书。

为了将这本优秀教材介绍给国内广大读者，电子工业出版社在数年前出版了该书的英文影印版和中译本。译者有幸承担了该书的翻译工作。许多年来，国内诸多高校都将该书的影印版和中译本作为数字集成电路设计课程的基本教材，译者本人也由此得到了多位高校教师和学生对中译本的热情反馈和指正，在此深表谢意。

这次电子工业出版社再版中译本，不仅为了满足国内读者对这本经典教材的进一步需求，也为译者提供了一个校正修改中译本的好机会。译者仔细对照阅读了英文版原著和中译本，在此版本中做了三方面的修订工作：(1) 根据原著者提供的勘误表及国内读者的反馈意见对中译本进行了勘误，力求确保内容的正确性；(2) 斟酌修改了中译本中的部分译文，力求提高表达原著者原意的准确性；(3) 针对读者反馈意见比较集中，容易出现误解或误导的个别内容新增了译者注，力求改善此版本译文的可读性。

为了提高出版质量，电子工业出版社对这次出版工作非常重视，在排版、编辑等方面做了许多细节上的提高，并对译者的勘误和修正进行了极为细致的审阅，以确保核对无误。译者的修订工作也得到了清华大学微纳电子系/微电子学研究所领导和教师的关心，特别是得到了李树国教授、吴行军副教授、李翔宇副教授、何虎副教授等多位老师的帮助与指正，在此一并致谢。

最后，再版译文虽经仔细校对，但由于译者水平有限，文中仍会有不当或欠妥之处，望读者进一步批评指正。

译者

2016年6月于清华园

前 言

本书特色

欢迎使用本书。在本书第一版出版后的6年中，数字集成电路领域已有了某些惊人的进展和变化。IC制造工艺继续缩小到空前小的尺寸。自写作这本书的第一版以来，最小特征尺寸缩小到接近1/10，现在已接近100 nm的范围。这种尺寸的缩小对数字集成电路的设计产生了两方面的影响。首先，在单片上能设计的复杂性大大提高，为了应对这一挑战，产生了一些新的设计方法和实现策略。与此同时，在尺寸小到深亚微米范围后器件的行为特性发生了变化，从而把一系列影响数字IC的可靠性、成本、性能以及功耗的新问题提到了面前。对这些问题的深入讨论是本书第二版与第一版之间的区别所在。

看一下目录就可以知道本版扩大了内容范围，包括深亚微米器件、电路优化、互连模型和优化、信号完整性、时钟和时序以及功耗。所有这些内容都用目前最新的设计例子来说明。同时，鉴于MOS现已占有数字IC领域99%的市场份额，我们删去了像硅双极型和砷化镓这样较陈旧的内容，不过对此有兴趣的读者仍可通过本书配套网站找到有关这些技术的内容(<http://icbook.eecs.berkeley.edu/>，首次使用的读者需先申请密码)。为了强调现今设计过程中方法学的重要性，我们贯穿全书增加了“设计方法插入说明”，每一插入部分着重说明设计过程中特有的一些问题。新版对原书做了重要修订，最大的变化是增加了两个合著者——Anantha和Borivoje，他们为本书带来了有关数字IC设计方面更宽阔的见地，以及有关此领域的最新趋势和挑战。

保留了第一版的基本精神

在进行这些修改的同时，我们一直力图保留第一版的基本精神和编写目的——在数字设计中建立起电路设计和系统设计之间的桥梁。我们从彻底弄清电子器件的操作并深入分析数字设计的核心(反相器)开始，逐步将这些知识引向设计比较复杂的模块，如逻辑门、寄存器、控制器、加法器、乘法器以及存储器。我们认识到当今复杂电路设计者共同面临的感兴趣的问题是：起决定作用的设计参数是什么？设计的哪些部分需要着重考虑而哪些细节又可以忽略？显然，简化是处理日益复杂的数字系统的唯一途径，但是过度简化由于忽略了像时序、互连以及功耗这样一些影响整个电路的效应，又可能导致电路不能工作。为了避免这一点，在进行数字电路设计时一定要同时注意电路和系统两方面的问题。这就是本书所采用的方法，通过分析技术和实验技术为读者带来处理复杂问题所需要的知识和技能。

阅读指南

本书的核心部分是为大学高年级数字电路设计课程编写的。围绕这一核心，还纳入了一些涵盖更前沿专题的章节。在编写本书的过程中，我们发现很难确定应当包括数字电路设计领域的哪些部分才能满足所有人的需要。一方面，刚刚进入该领域的人希望有关于基本概念的详细内容；另一方面，来自原有读者和评阅人的反馈意见又表明希望并需要在深度和广度上增加高层

次的前沿专题和当前所提出的问题。提供这样一个全面的讨论造成了这本教材的内容大大超出一学期课程的需要，因此其中较为高深的部分可作为研究生课程的基础。由于本书涉及面广且包含最新的前沿内容，也使它成为对专业工程师非常有用的参考书。这里我们假定上这门课的学生对基本的逻辑设计已相当熟悉。

本书在内容的安排上使各章节可以按许多不同的方式来讲授和阅读，只需遵守一些前后顺序关系即可。本书的核心部分由第5章~第8章构成。第1章~第4章可以看成导论。为了满足一般要求，在第2章中引入了有关半导体制造方面的简短论述。曾经学过半导体器件的学生可以很快地浏览一下第3章。我们十分希望每个人至少都这样做一遍，因为一些重要符号和基础知识都在该章中介绍。此外该章还介绍了一种能用来进行手工分析的深亚微米晶体管最原始的建模方法。为了强调互连在当今数字设计中的重要性，我们将互连建模部分提前到本书的第4章。

第9章~第12章的内容较深，可作为某些课程的重点。例如，侧重电路方面的课程可增加第9章和第12章的核心材料，侧重数字系统设计的课程则应考虑增加第9章、第10章和第11章的(部分)内容。所有这些内容较深的章节都可以作为研究生课程或后续课程的核心。内容较深的章节在书中都标注有*号。

对于本科高年级的课程，下面列出了几种可能的教学安排顺序。本书配套网站所提供的教师文档(instructor documentation)中还列出了某些大学相关课程采用的完整教学大纲中列出的章节号。

电路基础课程(针对器件方面知识较少的学生):

1, 2.1~2.3, 3, 4, 5, 6, 7, 8, (9.1~9.3, 12)。

稍高级一些的电路课程:

1, (2, 3), 4, 5, 6, 7, 8, 9, 10.1~10.3, 10.5~10.6, 12。

系统方向的课程:

1, (2, 3), 4, 5, 6, 7, 8, 9, 10.1~10.4, 11, 12.1~12.2。

“设计方法插入说明”部分可与它们所在章同时选用。

为了保持全书风格一致，各章首先介绍本章主题，接着对概念进行详细深入的讨论。综述一节讨论本章介绍的概念与实际设计之间的关系，以及它们如何会受到未来发展的影响。每一章以小结作为结束，它简要列举了教材中讲过的各个主题。小结后面的进一步探讨和参考文献部分为那些希望更详细了解教材中某些内容的读者提供了丰富的参考资料和线索。

正如书名所示，本书的目的之一是强调数字电路的设计特点。为了树立比较实际的观点和达到真正的理解，在全书各处加入了设计实例和版图。对这些个例的研究可以帮助我们回答像“采用这一技术到底可以节省多少面积、速度或功耗”等这样一些问题。为了模拟真实的设计过程，我们广泛使用了各种设计工具，如电路和开关级的模拟以及版图编辑和提取。全书普遍利用计算机分析来验证手工计算的结果、说明新的概念或考察人工无法分析的复杂特性。

最后，为了便于学习，书中还附有大量的例题。每一章还有一定数量的思考题(答案可以在书末找到)，它们有助于激发读者在阅读中进行思考和理解。

本书的全球网络指南

本书配有一个全球范围的网络指南，可以提供已全部完成的设计题目和书中最重要图表和照片的全套PPT文件。

与第一版不同的是,我们决定不把习题集和设计题目放在书中,而是放在本书的网页上。这样就使我们有机会不断更新和扩充题目,为授课教师提供更有用的工具。目前已有300多道富有挑战性的习题。其目的是为不同的读者提供一个独立评判对书中知识理解程度的标准和实际使用某些设计工具的机会。每一道题都说明了教材中与它相关的章节(如<1.3>)、解题时必须使用的设计工具(如SPICE)及难度等级:容易(E)、中等(M)和难题(C)。标有(D)的题目含有设计或研究的成分。部分习题答案可提供给选用本书作为教材的教师授课使用^①。

开放型设计题目有助于深入理解设计优化和综合考虑中最重要的问题。当试做这些设计题目时,建议使用设计编辑、验证和分析工具。在配套网站上可以找到已全部完成的这些设计题目的结果。

此外,本书配套网站还提供硬件和软件的实验例子、额外的背景资料和有用的关联信息。

本书的亮点

- 将电路和系统在设计方面的观点联系在一起,使设计者深刻领会复杂数字电路的设计问题,为随时可能面对的挑战做好准备。
- 全书贯穿以设计为导向的思路,突出了设计难点和设计准则。在介绍技术时用真实的设计和完整的SPICE分析来说明。
- 是第一本专门针对深亚微米器件的电路设计书籍。为了便于叙述,我们建立了一个用于手工分析的简单晶体管模型,称为通用MOS模型。
- 在说明如何运用最新技术设计高性能或低功耗复杂电路方面有独到之处。全书将速度和功耗放在同等重要的地位。
- 内容涵盖实际系统设计中的重要问题,例如信号完整性、功耗、互连、封装、时序以及同步问题。
- 独一无二地提供了有关最新设计方法及设计工具的内容,同时讨论了从一个设计者的角度如何来使用它们。
- 提出数字电路技术将来可能发展的方向。
- 出色的例图和可用于设计的四色插图^②。
- 进一步探讨和参考文献部分为对某些内容的细节感兴趣的读者提供了丰富的参考资料和线索。
- 由作者维护的配套网站可以得到更多的指导材料,包括设计软件、PPT文件、习题、设计题目、实际版图以及软件和硬件实验。

内容概览

快速浏览一下目录可以看到各章的安排顺序以及涵盖的内容与所提倡的设计方法学是相一致的。从半导体器件的模型开始,然后逐渐向上进行,涉及反相器、复杂逻辑门(NAND、NOR、XOR)、功能模块(加法器、乘法器、移位器、寄存器)和系统模块(数据通路、控制器、存储器)的各个抽象层次。对于这些层次中的每一层,都确定了其最主要的设计参数,建立简化模型并去除了不重要的细节。虽然这种分层建模是设计者处理复杂问题最好的方法,但它也有一些不足之

^① 采用本书作为授课教材的教师可联系 te_service@phei.com.cn 获得相关教辅资料。——编者注

^② 彩图可通过华信教育资源网(www.hxedu.com.cn)注册下载。——编者注

处。这将在第9章和第10章中说明,届时将讨论像互连寄生参数和芯片时序这样对全局有影响的专题。为了进一步强调电路和系统设计这两个分支,我们将书中的内容分为两个主要部分:第二部分(第4章~第7章)主要讲述数字电路设计中电路方面的内容,而第三部分(第8章~第12章)则阐述更多面向系统方面的观点。第一部分(第1章~第4章)是必要的基础知识(设计质量评价、制造工艺、器件和互连模型)。

第1章是全书的引论。在概述了数字电路设计的历史之后,引入了层次化设计的概念和不同的抽象层次。同时介绍了一些基本的质量评价方法,用于帮助量化一个设计的成本、可靠性和性能。

第2章简洁介绍了MOS制造工艺。了解工艺过程中的基本步骤有助于建立对MOS晶体管的三维概念,这对于识别器件寄生参数的来源是非常关键的。器件参数的许多变化也与制造过程有关。本章进一步介绍了设计规则的概念,它是设计者与制造者之间的接口。最后概述了芯片封装工艺,这是一个经常被忽视但在数字IC设计全过程中非常关键的一环。

第3章概括了最基本的设计模块即半导体器件。这一章的主要目的是使读者对MOS管的工作有一个直观的了解,并介绍器件模型,这些模型将在以后的章节中广泛使用。本书将重点放在现代亚微米器件本身及其模型上。已经具备器件方面知识的读者可以很快地浏览一下这部分内容。

第4章对导线包括互连线及由此引入的起主要作用的寄生参数进行了仔细分析。我们依次讨论了与导线相关的每一种寄生参数(电容、电阻和电感)。对手工分析和计算机分析用的模型都做了介绍。

第5章涉及数字设计的核心,即反相器。首先介绍了一些数字门的基本特性。这些可以帮助我们量化一个门的性能和可靠性的参数是针对由两种器件构成的具代表性的反相器结构(即静态互补CMOS)详细推导出来的。在这一章中介绍的技术和方法是非常重要的,因为在分析其他门和更复杂门的结构时将多次重复使用它们。

第6章中这一基础知识被延伸来说明简单和复杂数字CMOS门的设计,如NOR和NAND结构。说明了由于主要设计要求(可靠性、面积、性能或功耗)不同,除互补静态门外还有其他一些CMOS门结构也是很有吸引力的。本章还对现代的一些门及逻辑系列的特性进行了分析和比较,并且介绍了优化复杂门的性能和功耗的技术。

第7章讨论如何利用正反馈或电荷存储来实现存储功能。除了分析传统的双稳态触发器外还介绍了其他一些时序电路,如单稳态和不稳态多谐振荡器。第7章之前的所有各章涉及的都是组合电路,这些电路与系统的过去经历没有关系。与此相反,时序逻辑电路可以记忆和存储过去的状态。

第8章之前的各章介绍数字设计中有关电路方面的步骤。分析和优化过程一直局限于单个的逻辑门。本章将进一步分析各个门如何连接在一起形成系统的构造模块。本书的系统级部分顺理成章地从设计方法学的讨论开始。设计自动化是处理日益复杂的数字设计的唯一方法。第8章中将讨论在有限时间内完成大的设计的重要方法。这一章花费了大量时间来说明今天的设计者可以采用的各种不同的实现方法。定制与半定制、硬布线与固定布线、通用阵列与专用阵列等是其中提到的一些内容。

第9章重新回顾了互连线对数字门功能和性能的影响。连线所引起的寄生电容、电阻和电感效应随着工艺尺寸的缩小正在变得空前重要。本章介绍了使这些互连寄生参数对电路性能、功耗及可靠性的影响减到最小程度的途径,还阐述了如电源电压分配和输入/输出电路这样一些重要的问题。

第10章详细说明了为使一个时序电路正确工作必须严格控制切换顺序。没有这些时序限

制, 错误的数字可能会写入存储单元。大多数数字电路采用同步时钟控制方法来确保这一顺序。在第 10 章中讨论了实现数字电路时序和时钟控制的不同方法。分析了像时钟偏差(skew)这样一些重要效应对数字同步电路行为特性的影响。对同步方法与其他技术(如自定时电路)进行了比较。本章最后简短介绍了同步实现和时钟产生电路。

第 11 章讨论了各种复杂的运算构造模块, 如加法器、乘法器和移位器。这一章非常关键, 因为它展示了在第 5 章和第 6 章中介绍的设计技术怎样延伸到上一个抽象层次。本章介绍了关键路径的概念并广泛用于性能分析和优化, 推导了高层次的性能模型。这些可以帮助设计者对一个设计模块的工作情形和质量好坏有一个基本的洞察, 而不需要借助于对基本电路深入细致的分析。

第 12 章深入讨论了不同类型的存储器和它们的实现。在需要存储大量数据时, 数字设计者可以借助称为存储器的特殊电路模块。半导体存储器通过对数字门某些基本特性的折中处理可以达到非常高的存储密度。可靠和快速存储器的设计要借助于外围电路的实现, 如译码器、灵敏放大器、驱动器和控制电路, 这些都在本章的内容中涵盖了。最后, 由于存储器设计的最基本问题是要保证在任何工作环境中器件都能始终如一地工作, 所以本章末详细讨论了存储器的可靠性问题。对于大学本科课程来说, 这一章和上一章可作为选修内容。

致谢

作者在此要感谢所有对本书手稿的诞生、创作和修改做出贡献的人们。首先, 要感谢所有的研究生, 是他们多年来的帮助使本书得以完成。还要感谢在美国加州大学伯克利分校学习 eecs141 和 eecs241 课程以及在美国麻省理工学院学习 6.374 课程的学生, 他们在以本书为基础提供的实验课上“吃了不少苦头”。从世界各地的教师、工程师和学生们中反馈回来的意见极大地帮助了确定新版的方向以及最终这本书的精细修订。连续不断地发来的一系列电子邮件向我们表明我们的方向是正确的。

我们要特别感谢下列人士为本书所做出的贡献, 他们是 Mary-Jane Irwin, Vijay Narayanan, Eby Friedman, Fred Rosenberger, Wayne Bursleson, Shekhar Borkar, Ivo Bolsens, Duane Boning, Olivier Franza, Lionel Kimerling, Josie Ammer, Mike Sheets, Tufan Karalar, Huifang Qin, Rhett Davis, Nathan Chan, Jeb Durant, Andrei Vladimirescu, Radu Zlatanovici, Yasuhisa Shimazaki, Fujio Ishihara, Dejan Markovic, Vladimir Stojanovic, SeongHwan Cho, James Kao, Travis Simpkins, Siva Narendra, James Goodman, Vadim Gutnik, Theodoros Konstantakopoulos, Rex Min, Vikas Mehrotra, 以及 Paul-Peter Sotiriadis。衷心感谢他们所给予的帮助、投入和反馈意见。当然我们还要感谢那些为第一版的创作和出版提供了帮助的人们。

在此我还要强调在本书手稿的创作过程中计算机的辅助作用。所有的初稿均在 FrameMaker 出版系统(Adobe 系统)上完成, 例图大多用 MATLAB 制作, 网页制作采用了微软的 Frontpage。电路模拟使用 HSPICE(Avant!), 所有版图采用 Cadence 的物理设计工具制作。

最后我们要对在本书创作过程中所“殃及”到的家人 Kathelijin, Karthiyayani, Krithivasan 和 Rebecca 说声谢谢。虽然新版的出版比第一版明显要轻松些, 但我们总是低估所需要的付出, 特别是在每天的日常工作之后。在写作这本书的过程中他们给予了我们始终如一的支持、帮助和鼓励。

Jan M. Rabaey
Anantha Chandrakasan
Borivoje Nikolic
Berkeley, Calistoga, Cambridge

目 录

第一部分 基本单元

第1章 引论	2
1.1 历史回顾	2
1.2 数字集成电路设计中的问题	4
1.3 数字设计的质量评价	10
1.3.1 集成电路的成本	11
1.3.2 功能性和稳定性	12
1.3.3 性能	18
1.3.4 功耗和能耗	20
1.4 小结	21
1.5 进一步探讨	21
期刊和会议论文集	21
参考书目	21
参考文献	23
习题	23
第2章 制造工艺	24
2.1 引言	24
2.2 CMOS 集成电路的制造	24
2.2.1 硅圆片	25
2.2.3 一些重复进行的工艺步骤	27
2.2.4 简化的 CMOS 工艺流程	28
2.3 设计规则——设计者和工艺工程师之间的桥梁	31
2.4 集成电路封装	34
2.4.1 封装材料	35
2.4.2 互连层	35
2.4.3 封装中的热学问题	40
2.5 综述：工艺技术的发展趋势	41
2.5.1 近期进展	41
2.5.2 远期展望	42
2.6 小结	43
2.7 进一步探讨	44
参考文献	44
设计方法插入说明 A——IC 版图	45
参考文献	48

第3章 器件	49
3.1 引言.....	49
3.2 二极管.....	49
3.2.1 二极管简介——耗尽区.....	50
3.2.2 静态特性.....	51
3.2.3 动态或瞬态特性.....	53
3.2.4 实际的二极管——二次效应.....	55
3.2.5 二极管 SPICE 模型.....	56
3.3 MOS(FET) 晶体管.....	57
3.3.1 MOS 晶体管简介.....	58
3.3.2 静态情况下的 MOS 晶体管.....	59
3.3.3 实际的 MOS 晶体管——一些二阶效应.....	76
3.3.4 MOS 管的 SPICE 模型.....	78
3.4 关于工艺偏差.....	80
3.5 综述: 工艺尺寸缩小.....	82
3.6 小结.....	86
3.7 进一步探讨.....	86
参考文献.....	87
习题.....	87
设计方法插入说明 B——电路模拟	88
进一步探讨.....	90
参考文献.....	90
第4章 导线	91
4.1 引言.....	91
4.2 简介.....	91
4.3 互连参数——电容、电阻和电感.....	93
4.3.1 电容.....	93
4.3.2 电阻.....	96
4.3.3 电感.....	99
4.4 导线模型.....	100
4.4.1 理想导线.....	100
4.4.2 集总模型(Lumped Model).....	100
4.4.3 集总 RC 模型.....	101
4.4.4 分布 rc 线.....	104
4.4.5 传输线.....	106
4.5 导线的 SPICE 模型.....	113
4.5.1 分布 rc 线的 SPICE 模型.....	113
4.5.2 传输线的 SPICE 模型.....	114
4.5.3 综述: 展望未来.....	114
4.6 小结.....	116

4.7	进一步探讨	116
	参考文献	116

第二部分 电路设计

第 5 章	CMOS 反相器	118
5.1	引言	118
5.2	静态 CMOS 反相器——直观综述	118
5.3	CMOS 反相器稳定性的评估——静态特性	121
5.3.1	开关阈值	121
5.3.2	噪声容限	123
5.3.3	再谈稳定性	125
5.4	CMOS 反相器的性能：动态特性	127
5.4.1	计算电容值	127
5.4.2	传播延时：一阶分析	131
5.4.3	从设计角度考虑传播延时	134
5.5	功耗、能量和能量延时	141
5.5.1	动态功耗	141
5.5.2	静态功耗	147
5.5.3	综合考虑	149
5.5.4	利用 SPICE 分析功耗	150
5.6	综述：工艺尺寸缩小及其对反相器衡量指标的影响	152
5.7	小结	153
5.8	进一步探讨	154
	参考文献	154
	习题	154
第 6 章	CMOS 组合逻辑门的设计	155
6.1	引言	155
6.2	静态 CMOS 设计	155
6.2.1	互补 CMOS	156
6.2.2	有比逻辑	174
6.2.3	传输管逻辑	178
6.3	动态 CMOS 设计	188
6.3.1	动态逻辑：基本原理	188
6.3.2	动态逻辑的速度和功耗	190
6.3.3	动态设计中的信号完整性问题	192
6.3.4	串联动态门	196
6.4	设计综述	201
6.4.1	如何选择逻辑类型	201
6.4.2	低电源电压的逻辑设计	201
6.5	小结	203

6.6	进一步探讨	204
	参考文献	204
	习题	205
设计方法插入说明 C——如何模拟复杂的逻辑电路		206
	参考文献	211
设计方法插入说明 D——复合门的版图技术		212
	进一步探讨	214
第 7 章	时序逻辑电路设计	215
7.1	引言	215
7.1.1	时序电路的时间参数	215
7.1.2	存储单元的分类	216
7.2	静态锁存器和寄存器	218
7.2.1	双稳态原理	218
7.2.2	多路开关型锁存器	219
7.2.3	主从边沿触发寄存器	220
7.2.4	低电压静态锁存器	225
7.2.5	静态 SR 触发器——用强信号直接写数据	226
7.3	动态锁存器和寄存器	227
7.3.1	动态传输门边沿触发寄存器	228
7.3.2	C ² MOS——一种对时钟偏差不敏感的方法	229
7.3.3	真单相钟控寄存器(TSPCR)	231
7.4	其他寄存器类型*	234
7.4.1	脉冲寄存器	234
7.4.2	灵敏放大器型寄存器	236
7.5	流水线:优化时序电路的一种方法	237
7.5.1	锁存型流水线与寄存型流水线	239
7.5.2	NORA-CMOS——流水线结构的一种逻辑形式	239
7.6	非双稳时序电路	241
7.6.1	施密特触发器	241
7.6.2	单稳时序电路	243
7.6.3	不稳电路	244
7.7	综述:时钟策略的选择	246
7.8	小结	247
7.9	进一步探讨	247
	参考文献	248

第三部分 系统设计

第 8 章	数字集成电路的实现策略	250
8.1	引言	250
8.2	从定制到半定制以及结构化阵列的设计方法	253

8.3	定制电路设计	254
8.4	以单元为基础的设计方法	254
8.4.1	标准单元	255
8.4.2	编译单元	258
8.4.3	宏单元、巨单元和专利模块	259
8.4.4	半定制设计流程	262
8.5	以阵列为基础的实现方法	264
8.5.1	预扩散(或掩模编程)阵列	264
8.5.2	预布线阵列	269
8.6	综述:未来的实现平台	280
8.7	小结	281
8.8	进一步探讨	282
	参考文献	282
	习题	283
设计方法插入说明 E——逻辑单元和时序单元的特性描述		284
	参考文献	288
设计方法插入说明 F——设计综合		289
	进一步探讨	294
	参考文献	294
第9章	互连问题	295
9.1	引言	295
9.2	电容寄生效应	295
9.2.1	电容和可靠性——串扰	295
9.2.2	电容和 CMOS 电路性能	297
9.3	电阻寄生效应	304
9.3.1	电阻与可靠性——欧姆电压降	304
9.3.2	电迁移	307
9.3.3	电阻和性能——RC 延时	307
9.4	电感寄生效应*	311
9.4.1	电感和可靠性—— $L \frac{di}{dt}$ 电压降	311
9.4.2	电感和性能——传输线效应	315
9.5	高级互连技术	318
9.5.1	降摆幅电路	318
9.5.2	电流型传输技术	322
9.6	综述:片上网络	323
9.7	小结	324
9.8	进一步探讨	324
	参考文献	324
	习题	325

第 10 章	数字电路中的时序问题	326
10.1	引言	326
10.2	数字系统的时序分类	326
10.2.1	同步互连	326
10.2.2	中等同步互连	327
10.2.3	近似同步互连	327
10.2.4	异步互连	328
10.3	同步设计——一个深入的考察	328
10.3.1	同步时序原理	328
10.3.2	偏差和抖动的来源	333
10.3.3	时钟分布技术	338
10.3.4	锁存式时钟控制*	343
10.4	自定时电路设计*	346
10.4.1	自定时逻辑——一种异步技术	346
10.4.2	完成信号的产生	348
10.4.3	自定时的信号发送	351
10.4.4	自定时逻辑的实例	355
10.5	同步器和判断器*	357
10.5.1	同步器——概念与实现	357
10.5.2	判断器	359
10.6	采用锁相环进行时钟综合和同步*	360
10.6.1	基本概念	361
10.6.2	PLL 的组成功能块	362
10.7	综述:未来方向和展望	365
10.7.1	采用延时锁定环(DLL)分布时钟	365
10.7.2	光时钟分布	366
10.7.3	同步与非同步设计	367
10.8	小结	367
10.9	进一步探讨	368
	参考文献	368
	习题	369
	设计方法插入说明 G——设计验证	370
	参考文献	372
第 11 章	设计运算功能块	373
11.1	引言	373
11.2	数字处理器结构中的数据通路	373
11.3	加法器	374
11.3.1	二进制加法器:定义	374
11.3.2	全加器:电路设计考虑	376
11.3.3	二进制加法器:逻辑设计考虑	381

11.4	乘法器	392
11.4.1	乘法器: 定义	392
11.4.2	部分积的产生	393
11.4.3	部分积的累加	394
11.4.4	最终相加	398
11.4.5	乘法器小结	398
11.5	移位器	398
11.5.1	桶形移位器	399
11.5.2	对数移位器	399
11.6	其他运算器	400
11.7	数据通路结构中对功耗和速度的综合考虑*	402
11.7.1	在设计时间可采用的降低功耗技术	403
11.7.2	运行时间的功耗管理	411
11.7.3	降低待机(或休眠)模式中的功耗	414
11.8	综述: 设计中的综合考虑	415
11.9	小结	416
11.10	进一步探讨	417
	参考文献	417
	习题	418
第 12 章	存储器和阵列结构设计	419
12.1	引言	419
12.1.1	存储器分类	419
12.1.2	存储器总体结构和单元模块	421
12.2	存储器内核	426
12.2.1	只读存储器	426
12.2.2	非易失性读写存储器	435
12.2.3	读写存储器(RAM)	441
12.2.4	按内容寻址或相联存储器(CAM)	451
12.3	存储器外围电路*	453
12.3.1	地址译码器	453
12.3.2	灵敏放大器	457
12.3.3	参考电压	462
12.3.4	驱动器/缓冲器	464
12.3.5	时序和控制	465
12.4	存储器的可靠性及成品率*	467
12.4.1	信噪比	467
12.4.2	存储器成品率	471
12.5	存储器中的功耗*	473
12.5.1	存储器中功耗的来源	473
12.5.2	存储器的分割	474
12.5.3	降低工作功耗	474

12.5.4	降低数据维持功耗	475
12.5.5	小结	477
12.6	存储器设计的实例研究	477
12.6.1	可编程逻辑阵列	477
12.6.2	4 Mb SRAM	479
12.6.3	1 Gb NAND Flash 存储器	481
12.7	综述: 半导体存储器的发展趋势与进展	483
12.8	小结	484
12.9	进一步探讨	485
	参考文献	485
	习题	486
设计方法插入说明 H——制造电路的验证和测试		487
H.3.1	可测性设计中的问题	489
H.3.2	专门测试	490
H.3.3	扫描测试	491
H.3.4	边界扫描设计	493
H.3.5	内建自测试	493
H.4.1	故障模型	497
H.4.2	测试图形的自动生成	498
H.4.3	故障模拟	499
	参考文献	499
思考题答案		500