



TMS320F2812原理

主 编 张 好
副主编 杨 松



东北林业大学出版社

TMS320F2812 原理

TMS320F2812 YUANLI

主 编 张 好
副主编 杨 松

东北林业大学出版社

图书在版编目 (CIP) 数据

TMS320F2812 原理 / 张好主编. -- 2 版. -- 哈尔滨:
东北林业大学出版社, 2016. 7

ISBN 978 - 7 - 5674 - 0829 - 6

I. ①T… II. ①张… III. ①数字信号处理-高等学校-教材 IV. ①TN911. 72

中国版本图书馆 CIP 数据核字 (2016) 第 151396 号

责任编辑: 任兴华

封面设计: 刘长友

出版发行: 东北林业大学出版社 (哈尔滨市香坊区哈平六道街 6 号 邮编: 150040)

印 装: 三河市佳星印装有限公司

开 本: 787mm × 960mm 1/16

印 张: 17

字 数: 300 千字

版 次: 2016 年 8 月第 2 版

印 次: 2016 年 8 月第 1 次印刷

定 价: 68.00 元

如发现印装质量问题, 请与出版社联系调换。(电话: 0451 - 82113296 82191620)

前 言

TMS320F2812 数字信号处理器是 TI 公司最新推出的 32 位定点 DSP 控制器芯片,是目前控制领域最先进的处理器之一。其频率高达 150MHz,大大提高了控制系统的控制精度和芯片处理能力。TMS320F2812 芯片是基于 C/C++ 高效 32 位 TMS320C28x DSP 内核,并提供浮点数学函数库,从而可以在定点处理器上方便地实现浮点运算;在高精度伺服控制、可变频电源、UPS 电源等领域广泛应用,同时是电机等数字化控制产品升级的最佳选择。

TMS320F2812 DSP 集成了 128KB 的闪存,可用于开发对现场软件进行升级时的简单再编程。优化过的事件管理器包括脉冲宽度调制 (PWM) 产生器、可编程通用计时器,以及捕捉译码器接口等;该器件还包括 12 位模数转换器 (ADC),吞吐量每秒可达 16.7MB 的采样,其双采样装置可实现控制环路的同步采样。片上标准通信端口可为主机、测试设备、显示器及其他组件提供简便的通信端口。

书中详细介绍了 TMS320F2812 硬件结构、内部资源及其应用等内容。本书以 TMS320F2812 的功能模块原理和应用为主线,详细介绍了各个功能模块的基本原理;此外以 CCS2000 为平台,介绍了工程开发的详细步骤。

本书共 7 章:第 1 章介绍了 TMS320F2812 内核特点及外设组成;第 2 章介绍了 TMS320F2812 的电源供电策略;第 3 章介绍了 TMS320F2812 的时钟及中断的使用;第 4 章介绍了 TMS320F2812 的事件管理器模块的原理及使用;第 5 章介绍了 TMS320F2812 的 ADC 模块原理;第 6 章介绍了 TMS320F2812 的 SCI, SPI 通信接口的功能;第 7 章介绍了应用 CCS 软件建立一个 TMS320F2812 完整项目的方法;附录给出了结合 EXP-3 型 DSP 实验箱的实训练习。

第 1~5 章由张好编写,第 6~7 章由杨松编写。

限于编者水平,书中难免存在错误和不当之处,恳请读者批评指正。

编 者

2016 年 6 月

目 录

1	TMS320F2812 概述	(1)
1.1	TMS320F2812 内核	(4)
1.2	TMS320F2812 外设介绍	(7)
1.3	TMS320F2812 应用领域	(10)
2	双供电 DSP 电源设计	(11)
2.1	总线冲突	(12)
2.2	内核和 I/O 供电次序控制策略	(13)
2.3	电源设计	(21)
3	TMS320F2812 时钟与中断	(23)
3.1	时钟	(23)
3.2	通用输入输出(GPIO)	(40)
3.3	外设中断扩展模块	(47)
4	事件管理器	(73)
4.1	事件管理器的结构	(73)
4.2	通用定时器	(74)
4.3	比较单元及 PWM 输出	(90)
4.4	捕获单元	(107)
4.5	正交编码脉冲单元	(113)
4.6	事件管理器中断	(118)
5	A/D 转换单元	(128)
5.1	A/D 转换单元概述	(128)
5.2	排序器操作	(131)
5.3	ADC 的时钟控制	(144)
5.4	ADC 参考电压	(146)
5.5	A/D 转换单元寄存器	(147)
6	TMS320F2812 通信接口	(161)
6.1	TMS320F2812 串行外设接口	(161)
6.2	TMS320F2812 串行通信接口	(188)

7 应用 CCS 软件建立一个 TMS320F2812 完整项目	(219)
7.1 设置 CCS 开发环境	(219)
7.2 解析一个完整的工程	(224)
7.3 创建一个完整的工程	(233)
附录	(239)
参考文献	(263)

1 TMS320F2812 概述

TMS320F2812 DSP（数字信号处理器）是 TI 公司最新推出的数字信号处理器，该系列处理器是基于 TMS320C2000 内核的定点数字信号处理器。器件上集成了多种先进的外设（图 1.1），为电机及其他运动控制领域应用的实现提供了良好的平台。同时代码和指令与 F24x 系列数字信号处理器完全兼容，从而保证了项目或产品设计的可延续性。与 F24x 系列数字信号处

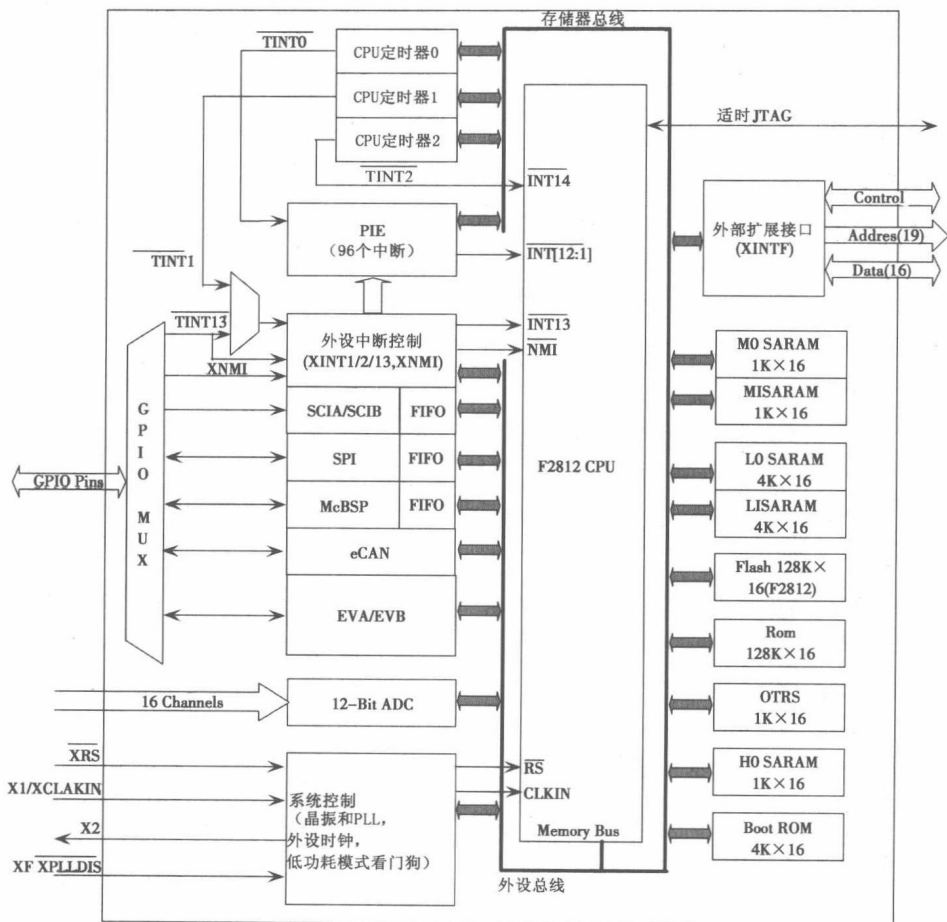


图 1.1 TMS320F2812 DSP 功能框图

理器相比, F2812 数字信号处理器提高了运算的精度 (32 位) 和系统的处理能力 (达到 150 MIPS)。该系列数字信号处理器还集成了 128KB 的 Flash 存储器、4KB 的引导 ROM、数学运算表以及 2KB 的 OTP ROM, 从而大大改善了应用的灵活性。128 位的密码保护机制有效地保护了产品的知识产权。两个事件管理器模块为电机及功率变换控制提供了良好的控制功能。16 通道高性能 12 位 ADC 单元提供了两个采样保持电路, 可以实现双通道信号同步采样。

TMS320F2812 功能框图如图 1.1 所示, 归纳起来, TMS320F2812 DSP 有以下特点。

- TMS320F2812 DSP 采用高性能的静态 CMOS 技术:
 - ◆ 主频达 150MHz (时钟周期 6.67ns);
 - ◆ 低功耗设计;
 - ◆ Flash 编程电压为 3.3V。
- 支持 JTAG 边界扫描接口。
- 高性能 32 位 CPU:
 - ◆ 16×16 位和 32×32 位的乘法累加操作;
 - ◆ 16×16 位的双乘法累加器;
 - ◆ 哈佛总线结构;
 - ◆ 快速中断响应和处理能力;
 - ◆ 统一寻址模式;
 - ◆ 4MB 的程序/数据寻址空间;
 - ◆ 高效的代码转换功能 (支持 C/C++ 和汇编);
 - ◆ 与 TMS320F24x/F240x 系列数字信号处理器代码兼容。
- 片上存储器:
 - ◆ 最长达 128 K×16 位 (F2812) 的 Flash 存储器;
 - ◆ 最长达 128 K×16 位的 ROM;
 - ◆ 1K×16 位的 OTP ROM ;
 - ◆ L0 和 L1: 2 块 4×16 位的单周期访问 RAM (SARAM);
 - ◆ H0: 1 块 8K×16 位的单周期访问 RAM (SARAM);
 - ◆ M0 和 M1: 2 块 1×16 位的单周期访问 RAM (SARAM)。
- 引导 (BOOT) ROM:
 - ◆ 带有软件启动模式;
 - ◆ 数学运算表。
- 外部存储器扩展接口 (F2812):

- ◆最多 1MB 的寻址空间;
- ◆可编程等待周期;
- ◆可编程读/写选择时序;
- ◆3 个独立的片选信号。
- 时钟和系统控制:
 - ◆支持动态改变锁相环的倍频系数;
 - ◆片上振荡器;
 - ◆看门狗定时模块。
- 3 个外部中断。
- 外设中断扩展模块 (PIE) 支持 45 个外设中断。
- 3 个 32 位 CPU 定时器。
- 128 位保护密码:
 - ◆保护 Flash/OTP/ROM 和 L0/L1 SARAM 中的代码;
 - ◆防止系统固件被盜取。
- 电机控制外设, 2 个与 F240xA 兼容的事件管理器模块, 每一个管理器模块包括:
 - ◆2 个 16 位的通用目的定时器;
 - ◆8 通道 16 位的 PWM;
 - ◆不对称、对称或 4 个空间矢量 PWM 波形发生器;
 - ◆死区产生和配置单元;
 - ◆外部可屏蔽功率或驱动保护中断;
 - ◆3 个完全比较单元;
 - ◆3 个捕捉单元, 捕捉外部事件;
 - ◆正交脉冲编码电路;
 - ◆同步模数转换单元。
- 串口通信外设:
 - ◆串行外设接口 (SPI);
 - ◆2 个 UART 接口模块 (SCI);
 - ◆增强的 eCAN 2.0B 接口模块;
 - ◆多通道缓冲串口 (McBSP)。
- 12 位模数转换模块:
 - ◆2×8 通道复用输入接口;
 - ◆2 个采样保持电路;
 - ◆单/连续通道转换;

- ◆流水线最快转换周期为 60 ns, 单通道最快转换周期为 200 ns;
- ◆可以使用 2 个事件管理器顺序触发 8 对模数转换。
- 高达 56 个可配置通用目的 I/O 引脚。
- 先进的仿真调试功能:
 - ◆分析和断点功能;
 - ◆硬件支持适时仿真功能。
- 低功耗模式和省电模式:
 - ◆支持 IDLE, STANDBY, HALT 模式;
 - ◆禁止外设独立时钟。
- 179 引脚 BGA 封装或 176 引脚 LQFP 封装 (F2812)。
- 40~+85℃ 或 -40~+125℃ 工作温度。

1.1 TMS320F2812 内核

1.1.1 TMS320F2812 内核特点

F2812 系列 DSP 是 TI 公司最新的 32 位定点数字信号处理器, 是基于 TMS320C2000 数字信号处理器平台开发的, 其代码与 24x/240x 数字信号处理器完全兼容。因此, 240x 的用户能够轻松地移植到新的 F2812DSP 平台上。F2812DSP 同时具有数字信号处理器和微控制器的特点, 尤其是 F2812 继承了数字信号处理的诸多优点。其中包括可调整的哈佛总线结构和循环寻址方式。精简指令系统 (RISC) 使得 CPU 能够单周期地执行寄存器到寄存器的操作, 并且可调整的哈佛总线结构能够工作在冯·诺依曼模式。微控制器的特点主要包括字节的组合与拆分、位操作等。哈佛总线结构能够完成指令的并行处理, 在单周期内通过流水线完成指令和数据的同时提取, 从而提高了处理器的处理能力。

F2812 处理器采用 C/C++ 编写的软件, 其效率非常高, 因此用户不仅可以应用高级语言编写系统程序, 也能够采用 C/C++ 开发高效的数学算法。F2812 数字信号处理器在完成数学算法和系统控制等任务时都具有相当高的性能, 这样就避免了用户在一个系统中需要多个处理器的麻烦。F2812 处理器内核包含了一个 32×32 位的乘法累计 (MAC) 单元, 能够完成 64 位的数据处理, 从而使该处理器能够实现更高精度的处理任务。快速的中断响应能够使 F2812 保护关键的寄存器并快速 (更小的中断延时) 地响应外部异步事件。F2812 有 8 级带有流水线存储器访问流水线的保护机制, 使 F2812 高

速运行时不需要大容量的快速存储器。专门的分支跳转（Branch-look-ahead）硬件减少了条件指令执行的反应时间，条件存储操作更进一步提高了 F2812 的性能。

1.1.2 TMS320F2812 内核组成

F2812 内核主要包括中央处理单元（CPU）、测试单元和存储器及外设的接口单元三个部分，如图 1.2 所示；CPU 单元完成数据/程序存储器的访问地址的产生、译码和执行指令、算数、逻辑和移位操作、控制 CPU 寄存器以及数据/程序存储器之间的数据传输等操作。测试逻辑单元主要用来监测、控制 DSP 的各个部分及其运行状态，以方便调试。而接口信号单元完全是存储器、外设、时钟、CPU 以及调试单元之间的信号传输通道。

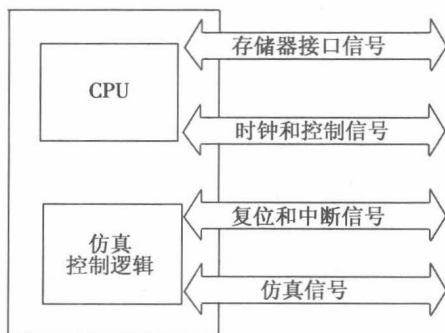


图 1.2 内核功能框图

CPU 单元主要包括以下几个部分，如图 1.3 所示。

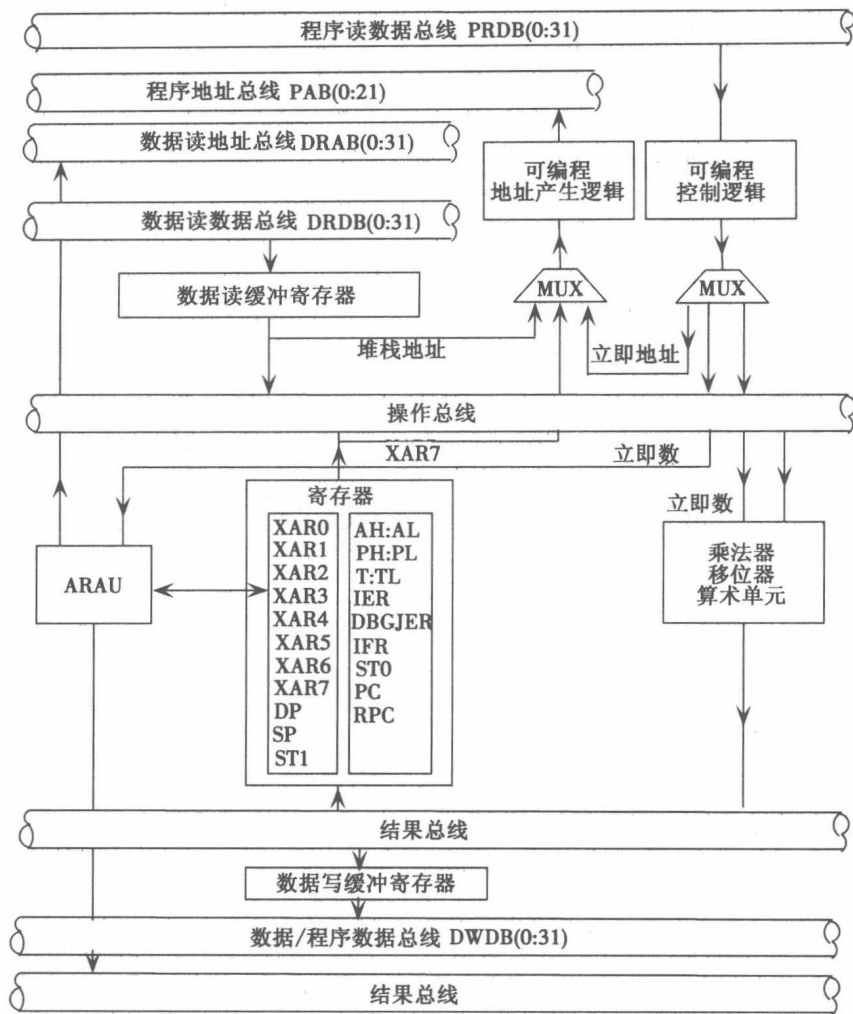
算术逻辑单元（ALU）：32 位 ALU 完成 2 的补码的算术运算和布尔运算。通常情况下，中央处理单元对于用户是透明的。例如，完成一个算术运算，用户只需要写一个命令和相应的操作数据，读取相应的结果寄存器的数据就可以了。

乘法器：乘法器完成 32×32 位的 2 的补码的乘法运算，产生 64 位的乘法结果。乘法器能够完成两个符号数、两个无符号数或一个符号数和一个无符号数的乘法运算。

移位器：完成数据的左移或右移操作，最大可以移 16 位；在 F2812 的内核中，总计有 3 个移位寄存器：输入数据定标移位寄存器、输出数据定标移位寄存器和乘积定标移位寄存器。

寻址运算单元（ARAU）：主要完成数据存储器的寻址运算以及地址的产生。

带保护流水线：带保护的流水线能够防止同时对一个地址空间的数据进行读/写。



1.2 TMS320F2812 外设介绍

由于 F2812 数字信号处理器集成了很多内核可以访问和控制的外部设备，F2812 内核需要通过某种方式来读/写外设，因此处理器将所有的外设都映射到了数据存储单元空间。每个外设被分配一段相应的地址空间，主要包括配置寄存器、输入寄存器、输出寄存器和状态寄存器。每个外设只要通过简单的访问存储器中的寄存器就可以使用该设备。

外设通过外设总线（PBUS）连接到 CPU 的内部存储器接口上，如图 1.4 所示。所有的外设包括看门狗和 CPU 时钟在内，在使用之前必须配置相应的控制寄存器。

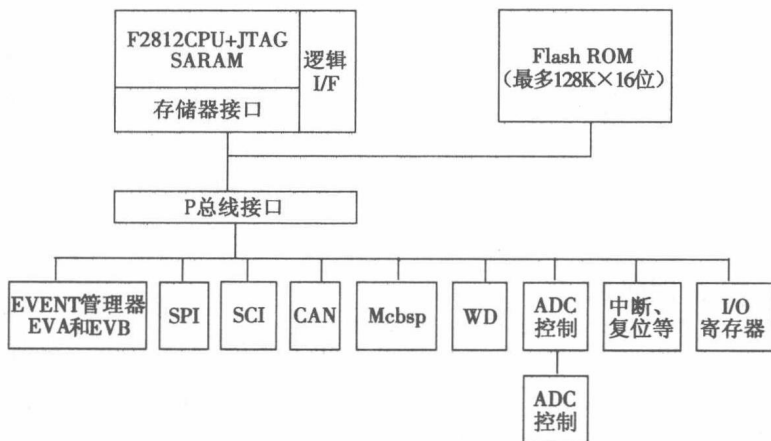


图 1.4 TMS320F2812 的功能框图

1.2.1 事件管理器

在 F2812 数字信号处理器上有两个事件管理器：EVA 和 EVB，是数字电机控制应用使用的非常重要的外设，能够实现机电设备控制的多种必要的功能。每个事件管理器模块包括定时器、比较器、捕捉单元、PWM 逻辑电路、正交编码脉冲电路以及中断逻辑电路等。

1.2.2 模数转换模块

F2812 数字信号处理器上的 ADC 模块将外部的模拟信号转换成数字量，ADC 模块可以将一个控制信号进行滤波或者实现运动系统的闭环控制。尤其是在电机控制系统中，采用 ADC 模块采集电机的电流或电压实现电流环

的闭环控制。

1.2.3 SPI 和 SCI 通信接口

SPI 是一个高速同步串行通信接口, 能够实现 DSP 与外部设备或另一个 DSP 之间的高速串行通信。应用中经常使用 SPI 接口和扩展外设的移位寄存器、LCD 显示以及 ADC 等外设通信。SCI 属于异步串行接口, 支持标准的 UART 异步通信模式, 并采用 NRZ (No-Return-Zero) 数据格式, 可以通过 SCI 串行接口与 CPU 或其他异步外设进行通信。

1.2.4 看门狗

看门狗主要用来检测软件和硬件的运行状态, 当内部计数器溢出时, 将产生一个复位信号。为了避免产生不必要的复位, 要求用户定期对看门狗定时器进行复位。如果不明原因使 CPU 中断程序, 看门狗将产生一个复位信号, 比如系统软件进入了一个死循环或者 CPU 的程序运行到了不确定的程序空间, 从而使系统不能正常工作。在这种情况下, 看门狗电路将产生一个复位信号, 使 CPU 复位, 程序从系统软件的开始执行。通过这种方式, 看门狗有效地提高了系统的可靠性。

1.2.5 PLL 时钟模块

锁相环 (PLL) 模块主要用来控制 DSP 内核的工作频率, 外部提供一个参考时钟输入, 经过锁相环倍频或分频后提供给 DSP 内核。F2812 数字信号处理器能够实现 0.5~10 倍的倍频。

1.2.6 外部中断接口

TMS320F2812 数字信号处理器支持多种外设中断, 外设中断扩展模块最多支持 96 个独立的中断。并将这些中断分成 8 组, 每一组有 12 个中断源, 根据中断向量表来确定产生的中断类型。CPU 将自动获取中断向量, 在响应中断时, CPU 需要 9 个系统时钟完成中断向量的获取和重要 CPU 寄存器的保护 (中断响应延时为 9 个系统时钟)。因此, CPU 能够相当快地响应外设产生的中断。

1.2.7 CAN 总线通信模块

TMS320F2812 数字信号处理器上的 CAN 总线接口模块是增强型的 CAN 接口, 完全支持 CAN2.0B 总线规范。它有 32 个可配置的接收/发送邮箱,

支持消息的定时邮递功能。最高通信速率可以达到 1Mbps。可以使用该接口构建高可靠性的 CAN 总线控制或检测网络。

1.2.8 GPIO

在 F2812 处理器有限的引脚当中,相当一部分都是特殊功能引脚和 GPIO 引脚共用的。实际上,GPIO 作为与其他设备进行数据交换的通道,也是非常有用的。GPIO Mux 寄存器选择这些引脚的功能(特殊功能引脚或数字量 I/O),如果配置成通用的数字 I/O 引脚,则还需要通过数据和方向控制寄存器来控制。

1.2.9 多通道缓冲串口

多通道缓冲串口主要有以下几个特点:

●除 DMA 外,与 TMS320C54x/TMS320C55x 数字信号处理器的 McBSP 兼容;

●全双工通信模式;

●双缓冲数据寄存器,能够实现连续的通信数据流;

●收发的帧和时钟相互独立;

●可以采用外部移位时钟或内部的时钟;

●支持 8, 12, 16, 20, 24 或 32 位的数据格式;

●帧同步和数据时钟的极性都是可编程的;

●可编程的内部时钟和同步帧;

●支持 A-bis 模式;

●能同 CODEC, AIC (Analog Interface Chips) 等标准串行 A/D 和 D/A 器件接口;

●同 SPI 接口兼容,当系统工作在 150MHz 频率时, SPI 接口模式可以工作在 75Mbps;

●2 个 16×16 深度的发送通道 FIFO;

●2 个 16×16 深度的接收通道 FIFO。

1.2.10 存储器及其接口

F2812 数字信号处理器与 F24xx 系列数字信号处理器的存储器编址有很大的区别, F24xx 采用程序、数据和 I/O 分开编址, 而 C281x 采用同一编址方式。芯片内部提供 18KB 的 SARAM 和 128KB 的 Flash 存储器, 并在 F2812 等处理器上提供了外部存储器扩展接口, 外部最高可达 1MB 的寻址空间。

1.3 TMS320F2812 应用领域

TMS320F2812 主要应用于工业驱动器、冷却系统、智能型传感器、可调雷射、电源供应器、消费性物品、高压交流系统、光纤网络、UPS 系统、手持式电动工具中。

- 工业：
 - ◆自动化；
 - ◆泵；
 - ◆驱动；
 - ◆压缩；
 - ◆机器人技术。
- 汽车；
- 数字电源；
- 高级传感；
- 电机类型。

思考题

- (1) 简述什么是 DSP (数字信号处理器), 其有什么特点?
- (2) 简述 TMS320F2812 内核特点及其组成, 并指出冯·诺依曼结构和哈佛结构的区别。
- (3) 简述 DSP 与单片机的区别。
- (4) 在进行 DSP 系统设计时, 如何选型? 应从哪些方面考虑?
- (5) 简述 DSP 的发展趋势。
- (6) 简述 TMS320F2812 的应用领域。
- (7) 简述 DSP 的分类。

2 双供电 DSP 电源设计

当采用双电源器件芯片设计系统时,需要考虑系统上电或掉电操作过程中内核和 I/O 供电的相对电压和上电次序。通常情况下,在芯片内部内核和外部 I/O 模块采用独立的供电结构,如果在上电或掉电过程中两个电压的供电起点和上升速度不同,就会在独立的结构(内核和外部 I/O 模块)之间产生电流,从而影响系统初始化状态,甚至影响器件的寿命,而且隔离模块之间的电流还会触发器件本身的闭锁保护。尽管 TI 公司的 DSP 上电过程中允许两种供电有一定的时间差,但为了提高系统的稳定性和延长器件的使用寿命,在设计时必须考虑上电、掉电次序问题。

应用双供电 DSP 平台的系统,在 I/O 供电之前每个 DSP 内核供电电流都比较大。引起电流过大主要是由于 DSP 内核没有正确地初始化,一旦 CPU 检测到内部的时钟脉冲,这种超大电流就会停止。随着 PLL 开始工作, I/O 上电,产生的时钟脉冲将降低上述的超大电流,从而使供电回到正常范围。减小内核和 I/O 供电的时间间隔可以减小这种大吸收电流对系统的影响。

双供电模块(比如 TPS563xx 和 PT69xx)可以消除两个电源之间的延时。此外,还可以采用肖特基二极管钳制内核和 I/O 的电源以满足系统的供电需求。双供电系统原理如图 2.1 所示。内核和 I/O 的供电应尽可能靠近 DSP 以减少供电通道的电感和阻抗。

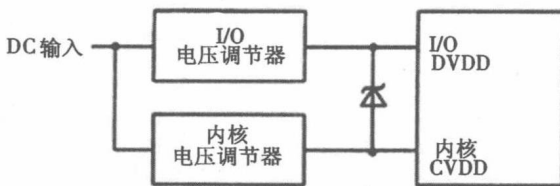


图 2.1 DSP 双电源供电系统原理

对于单 3.3 V 供电(内核和 I/O 都是 3.3 V)或双电源(如内核 1.8 V, I/O 3.3 V)的 DSP 系统,有几种方法可以保证内核先于外部 I/O 供电(2812 处理器要求内核先于 I/O 供电),从而避免产生系统级总线冲突。对于 DSP 内核和外设供电次序控制可以采用多种方法,下面主要介绍 2 种方