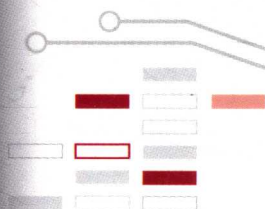
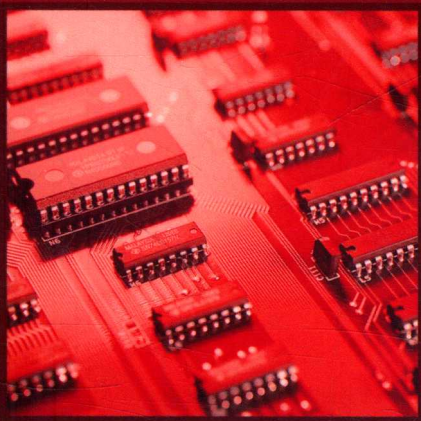


# 高速集成电路互连

毛军发 唐旻 著



科学出版社

# 高速集成电路互连

毛军发 唐 旻 著

科学出版社

北 京

## 内 容 简 介

本书主要围绕高速集成电路互连信号完整性并兼顾功耗等互连问题进行阐述,第2~4章是关于互连问题的认识,内容包括高速集成电路互连建模,互连信号响应及其灵敏度分析与动态功耗分析,以及复杂互连电路的信号响应分析;第5~8章是关于互连问题的解决,内容包括高速集成电路互连优化设计,以及基片集成互连、芯片级无线互连和碳纳米互连等互连新技术介绍。

本书内容以作者课题组近几年在高速集成电路互连领域的研究积累为核心,涉及国际最新前沿研究,同时注重理论联系实际和内容的系统性与逻辑性。

本书适合相关领域研发与工程技术人员参考,也可作为相关专业的高年级本科生、研究生的教材。

---

### 图书在版编目(CIP)数据

高速集成电路互连/毛军发,唐旻著. —北京:科学出版社,2017.3  
ISBN 978-7-03-051937-5

I. ①高… II. ①毛… ②唐… III. ①集成电路—联接  
IV. ①TN405

中国版本图书馆CIP数据核字(2017)第040457号

---

责任编辑:赵艳春 / 责任校对:桂伟利

责任印制:张倩 / 封面设计:迷底书装

科学出版社出版

北京东黄城根北街16号

邮政编码:100717

<http://www.sciencep.com>

中国科学院印刷厂印刷

科学出版社发行 各地新华书店经销

\*

2017年3月第一版 开本:720×1000 1/16

2017年3月第一次印刷 印张:21 1/4

字数:428 000

定价:118.00元

(如有印装质量问题,我社负责调换)

# 前 言

集成电路芯片中半导体元器件之间、电路系统中芯片或组件之间都通过互连进行连接。在过去工艺尺寸较大和工作速度较低的情况下，互连线仅起着电连通作用，相当于短路，电路系统的性能只取决于晶体管性能及其连接的逻辑关系，几乎与互连无关。随着微电子技术按照摩尔定律不断发展，集成电路工作速度不断提高，脉冲信号高频分量的波长逐渐接近互连线的电长度，信号在互连线上的传输将产生时延、波形畸变与幅度衰减、反射与串扰等电磁场微波效应，信号的完整性受到破坏；互连功耗占芯片总功耗的比例越来越大，电流密度也逐渐超出互连的工艺承载能力。信号完整性、功耗与工艺可靠性等互连问题将影响集成电路的性能指标甚至使其不能工作。集成电路工艺越先进，工作速度越高，互连问题越严重。互连问题已成为制约现代微电子技术发展的瓶颈之一，微电子技术有可能会因此而减慢发展步伐甚至停滞不前。正因如此，《国际半导体技术发展路线图》从 20 世纪 90 年代中期开始连续将互连问题列举为微电子技术发展必须优先解决的问题之一。在今天的大数据时代，数据和信息呈指数增长，对互连的数据传输带宽与速度要求越来越高，互连问题更加突出，也越来越受到关注和重视。

针对这一发展态势，为了帮助集成电路及相关应用领域的科研、教学及工程技术人员了解高速集成电路互连问题的表现规律和解决方案，我们结合多年来关于互连的研究与教学积累，特撰写本书。本书主要针对高速集成电路互连信号完整性问题并兼顾功耗和工艺问题进行阐述，内容可分为两部分，一部分是关于互连问题的认识，包括互连的建模与等效电路参数提取、互连信号响应及其灵敏度分析与功耗分析以及复杂互连网络的分析；另一部分是关于互连问题的解决，包括互连优化设计以及基片集成波导互连、无线互连和碳纳米互连等互连新技术介绍。考虑到作者课题组的李征帆教授带领毛军发和曹毅撰写出版的两本著作《微波与高速电路理论》、《微波与高速电路中的电磁场理论及其数值方法》分别对高速集成电路互连的信号响应分析和模型参数提取进行了比较系统的阐述，因此本书在这些方面主要只介绍一些基本概念和作者课题组的一些最新研究进展。本书的重点内容是关于互连问题的解决，特别是关于互连新技术的介绍。国际上关于集成电路互连研究的著作近年来也出版了不少，但基本上都只关注互连问题的认识，很少有专门介绍互连新技术的内容。因此，将认识 and 解决互连问题相结合并着重互连新技术的介绍是本书的一个特色。

需要说明的是，尽管光互连技术是一项非常重要的信号传输技术，在现代通信技术和产业中具有十分重要的地位，也是当前互连技术的一个研究热点，但本书没有专门介绍光互连，主要是因为关于光互连的著作已经较多，同时由于需要光电转换等技

术与成本因素，光互连在集成电路芯片级互连（特别是片上互连）技术中应用的前景还不是非常明确。

本书所有内容虽然都由作者执笔，但作者多届研究生在学期间的研究成果为本书基本内容的构成做出了贡献，他们是李晓春、李宏、许剑锋、蒋乐乐、江亮、邵妍、赵宇、卢佳青、蒲绍宁、杨方旭；课题组张跃平、李晓春、吴林晟等教师帮助审阅了本书的部分内容。作者在此一并表示感谢！

由于作者水平有限，加之高速集成电路互连技术发展较快，国内外关于互连新技术的著作很少，特别是碳纳米互连的研究还不成熟，一些机理和特性还不是十分明确，本书内容难免有不足之处，或者未能全面反映目前高速集成电路互连技术的最新进展，敬请读者批评指正。

作 者

于上海交通大学电子信息与电气工程学院

2016年11月21日

# 目 录

## 前言

第 1 章 绪论	1
1.1 高速集成电路基本概念	1
1.2 高速集成电路互连技术的发展	3
1.3 高速集成电路互连信号完整性问题	6
1.4 高速集成电路互连问题的认识	9
1.5 高速集成电路互连问题的解决	11
1.6 大数据时代对高速互连技术的需求	13
1.7 本书主要内容	14
参考文献	15
第 2 章 高速集成电路互连建模	16
2.1 引言	16
2.2 基于矩量法的互连线参数提取	17
2.2.1 截面积矩量法	17
2.2.2 边界积分法	21
2.2.3 三维模型的阻抗参数提取	26
2.3 基于有限元的芯片互连线电容提取	29
2.3.1 渐进边界条件	29
2.3.2 三维有限元方法	30
2.3.3 电容计算	33
2.4 互连线的时域综合技术	35
2.4.1 特征法	36
2.4.2 单根传输线的时域综合	37
2.4.3 耦合互连线的参数综合	40
2.5 频变互连线的广义传输线模型	47
2.5.1 向量拟合法	47
2.5.2 频变互连线的时域建模	48
参考文献	52
第 3 章 互连信号响应及其灵敏度分析与动态功耗分析	54
3.1 引言	54

3.2	时域有限差分法分析频变互连线	55
3.2.1	时域有限差分法迭代计算公式	55
3.2.2	广义二端口等效模型	58
3.3	时间步积分法分析非均匀传输线	62
3.3.1	非均匀耦合传输线的半离散模型	63
3.3.2	时间步积分方法	65
3.4	基于微分求积法的互连线时域仿真	70
3.4.1	微分求积法的原理	70
3.4.2	微分求积法用于互连线瞬态分析	72
3.4.3	用微分求积法分析频变互连线	75
3.5	基于特征法的互连线信号响应灵敏度分析	79
3.5.1	互连线灵敏度分析的特征法模型	79
3.5.2	集总参数元器件灵敏度分析模型	84
3.5.3	高速电路灵敏度分析的改进节点法方程	85
3.6	高速互连线的动态功耗分析	88
3.6.1	集总参数模型互连线动态功耗模型	89
3.6.2	单导体分布参数互连线的动态功耗	90
3.6.3	多导体耦合互连线的动态功耗	97
	参考文献	100
<b>第4章</b>	<b>复杂互连电路的信号响应分析</b>	<b>102</b>
4.1	引言	102
4.2	互连线无源宏模型及阶数缩减算法	103
4.2.1	无源性的判别	103
4.2.2	基于微分求积法的互连线无源模型	105
4.2.3	无源电路的模型阶数缩减算法	109
4.3	基于矩量匹配法的树型互连线分析	113
4.3.1	树型互连结构	113
4.3.2	完整树型互连结构的矩量匹配	114
4.4	大型互连线网络的并行仿真技术	122
4.4.1	互连线网络的分解	122
4.4.2	并行仿真技术	123
4.5	外界电磁场作用下的互连线电路仿真	128
4.5.1	外场作用下的传输线方程	128
4.5.2	色散媒质的建模仿真	130
4.5.3	耦合互连线的波形松弛法求解	133

参考文献	142
<b>第 5 章 高速集成电路互连优化设计</b>	<b>144</b>
5.1 引言	144
5.2 基于 $RC$ 模型的全局互连线优化	145
5.2.1 全局互连线的寄生参数模型	145
5.2.2 全局互连线性能分析	147
5.2.3 线宽和间距的优化策略	151
5.2.4 未插入缓冲器的全局互连线优化	157
5.3 考虑热效应的互连线优化	160
5.3.1 衬底和全局互连线的温度模型	160
5.3.2 全局互连线热阻模型	161
5.3.3 考虑温度效应的全局互连线时延	161
5.3.4 考虑温度效应的全局互连线功耗	163
5.3.5 考虑温度效应的全局互连线优化设计	164
5.4 高速互连电路中焊盘与电容的补偿优化设计	167
5.4.1 表贴焊盘的优化设计	167
5.4.2 贴装陶瓷电容的优化设计	174
5.5 差分互连线的共模噪声抑制	181
5.5.1 基于四分之一波长谐振器的共模噪声滤波器	181
5.5.2 基于 $\Phi$ 型缺陷地结构的共模噪声滤波器	185
参考文献	190
<b>第 6 章 基片集成互连</b>	<b>192</b>
6.1 引言	192
6.2 基片集成波导结构设计	193
6.3 基于基片集成波导的调制解调互连系统	197
6.4 采用 QPSK 调制解调技术的互连系统	200
6.5 基片集成同轴互连	206
6.5.1 基片集成同轴线结构	206
6.5.2 基片集成同轴线的转接结构	207
6.5.3 多通道基片集成同轴互连线	210
6.5.4 多层基片集成同轴互连线	213
6.6 基片集成同轴互连与传统互连的比较	219
参考文献	221
<b>第 7 章 芯片级无线互连</b>	<b>223</b>
7.1 引言	223



7.2	片上天线设计	224
7.3	单频芯片级无线互连收发系统	231
7.3.1	系统设计方案	231
7.3.2	测试结果	234
7.4	超宽带无线互连收发系统	237
7.4.1	系统设计方案	237
7.4.2	测试结果	243
7.5	芯片间无线信道的测量和表征	246
7.5.1	超宽带天线性能表征	246
7.5.2	芯片间无线信道的搭建和测量	247
7.5.3	数据处理和结果分析	249
7.5.4	信道的模型验证	256
	参考文献	256
<b>第8章</b>	<b>碳纳米互连</b>	<b>258</b>
8.1	碳纳米材料简介	258
8.1.1	传统三维材料互连技术面临的挑战	258
8.1.2	碳纳米材料及其分类	260
8.1.3	碳纳米材料的能带分析	262
8.1.4	碳纳米材料的主要特性	264
8.1.5	碳纳米材料的制备工艺	264
8.2	单壁碳纳米管的等效电路模型	265
8.2.1	电阻模型	265
8.2.2	电容模型	267
8.2.3	电感模型	268
8.3	单壁碳纳米管束互连线性能分析	270
8.3.1	碳纳米管束电阻模型	270
8.3.2	碳纳米管束电容模型	272
8.3.3	碳纳米管束电感模型	273
8.3.4	碳纳米管束互连线等效电路模型	274
8.3.5	互连线性能分析和比较	275
8.4	双壁碳纳米管束互连线	281
8.4.1	双壁碳纳米管束互连线串扰模型	281
8.4.2	双壁碳纳米管束互连线的抖动	283
8.5	多壁碳纳米管互连线	284
8.5.1	多壁碳纳米管的导电特性	284

---

8.5.2	大直径碳纳米管壁的导电通道	286
8.5.3	碳纳米管壁的 <i>RLC</i> 模型参数	287
8.5.4	多壁碳纳米管互连线等效电路模型	289
8.5.5	多壁碳纳米管的等效单导体模型	291
8.5.6	多壁碳纳米管互连线性能分析	299
8.5.7	与单壁碳纳米管束互连线的性能比较	303
8.6	碳纳米管互连线热效应分析	305
8.6.1	碳纳米阵列互连线稳态温度分布	305
8.6.2	碳纳米管互连线热击穿	308
8.7	碳纳米管过孔的电热特性分析	311
8.7.1	碳纳米管过孔的电特性	311
8.7.2	碳纳米管过孔的热特性	314
8.7.3	碳纳米管过孔的温度分布	316
8.8	石墨烯纳米带互连线	319
8.8.1	单层石墨烯纳米带	319
8.8.2	多层石墨烯纳米带	321
8.8.3	石墨烯纳米带互连线时延分析比较	323
	参考文献	326

# 第 1 章 绪 论

## 1.1 高速集成电路基本概念

高速集成电路是高速数字信号的电路载体, 数字信号的速率以 bit/s 表示, 代表 (0,1) 编码脉冲的速度。达到多高的信号速率或工作频率才称为高速集成电路? 这在学术界和工业界都没有明确的定义, 但原则上取决于电路的尺寸和工作频率两个方面的因素。从本书研究对象互连角度来看, 当互连线所传输信号的波长与互连线自身的电长度相当时, 集成电路可称为高速集成电路, 其分析和设计与传统低速集成电路有本质上的区别, 主要体现在互连、封装等无源结构的电磁场效应成为影响电路系统性能的主要因素之一, 必须加以考虑, 而这些影响在低速电路中很小并忽略不计。一般可定义工作主频超过 300MHz 的集成电路为高速集成电路。近几十年来随着应用需求 (如通信和控制速度提高) 的推动, 微电子技术遵循着摩尔定律 (Moore's law) 向前发展, 传输介质如光纤技术也迅速发展, 脉冲信号的速率已提高到数十 Gbit/s 的数量级, 早已进入了高速集成电路的范畴。

根据应用特点, 高速集成电路和一般脉冲电路一样分为模拟和数字两大类, 前者着重考虑电路系统的模拟特性, 如信号的变换、调制、解调、放大等功能, 需要考虑线性程度、增益特性、波形失真和工作点稳定度等, 而后者对电路特性的细节并不考虑, 主要只关心单元的开关特性和系统的逻辑特性。

高速集成电路的基本存在形式为芯片和组件。芯片包括片上系统 (System-on-Chip, SoC), 目前最前沿的发展方向是三维芯片, 可在一块芯片上集成多层有源器件。组件过去常用的有印刷电路板 (Printed Circuit Board, PCB) 和多芯片组件 (Multi-Chip Module, MCM) 两种, 均可为多层布线, 可承载规模较大的系统, 但由于 MCM 是将裸芯片通过多层布线集成, 芯片本身没有封装, 不仅可减少封装的寄生效应, 而且缩短了互连线网长度, 使工作带宽较 PCB 更大、速度更高。近几年组件技术的发展趋势是三维封装集成技术, 包括三维芯片堆叠、系统级封装 (System in Package, SiP) 技术等。

高速集成电路首要的基础是高速脉冲的产生、收发和处理, 需要有高速的微电子器件, 如场效应管 (Field-Effect Transistor, FET) 器件, 要求短沟道和高载流子迁移率, 以保证极短的沟道渡越时间, 与快速变化的信号相对应。在 20 世纪 80 年代前期, 微电子技术可将沟道长度做到  $0.5\sim 1\mu\text{m}$  的量级, 利用砷化镓的迁移率为硅材料 3~5 倍的特点, 基于砷化镓的金属半导体场效应管 (Metal Semiconductor FET, MESFET) 首

先成功地成为高速脉冲器件，可做成门电路、触发器、分频器、计数器等单元电路和应用电路，稍后一些速度更快的器件如高电子迁移率晶体管（High Electron Mobility Transistor, HEMT）、异质结双极性晶体管（Heterojunction Bipolar Transistor, HBT）等问世，作为脉冲电路速度可达几十 Gbit/s。但这些器件由于成本和集成度的原因，无法扩展到广泛的信息领域，如个人计算机中。只有后来随着硅基金属氧化物半导体（Metal-Oxide-Semiconductor, MOS）集成电路技术的发展，以互补金属氧化物半导体（Complementary MOS, CMOS）技术实现高速器件才真正使高速集成电路的普遍应用成为现实。现在 14nm 工艺已成熟进入批量生产，速度可达到数十 Gbit/s。

说到高速集成电路，有必要和微波电路以及射频电路进行比较。射频电路作为载波和已调波电路，主要针对快变化的正弦波，一般较承载的信号速度更快，可以通过天线辐射至空间进行电波传播。当信号速度进一步提高时，射频即进入微波范围，如无线通信由短波到 900MHz，再到 2.4GHz，以及将进入第 5 代移动通信更高的频率。就变化速度而言，微波电路与高速电路几乎相当，有着快变化的共同点，因此对有源器件的要求乃至所用的器件也基本相同，某些器件如砷化镓金属半导体场效应管、高电子迁移率晶体管等原先用于微波电路，后用到高速电路，而硅基 CMOS 原先用于高速数字电路，后来随着工艺技术发展，速度提高，又用于射频和微波电路。电路分析方面则有一定的差异，微波与射频电路的共同特点是处理单频正弦波或已调波，主要考虑载频的电路特性，在整体频谱中只考虑一条谱线，其电路分析基本上可由频域分析完成，而高速电路则应考虑脉冲信号从直流到微波频率的宽阔频谱，必须应用时域分析或宽频频域分析完成。

在高速集成电路中，无源元件的作用也越来越重要。对于模拟电路，除原有问题外，高速工作情况下可以通过基本电路和无源元件的结合寻求更优特性。例如，对高速光纤通信终端中的高速脉冲放大器，基于已有的 CMOS 工艺水平，通过无源元件设计可达到更高的指标（如提高线性度和放大倍数，增大带宽），实现更高速脉冲的放大，相当于以较落后的工艺（如 90nm 工艺）实现通常用更先进的工艺（如 45nm 工艺乃至 22nm 工艺）才能达到的水平。这样的工作很有意义，可以争取时间及早占领市场。尽管无源元件通常要占据较大版图面积，但鉴于模拟电路的规模一般不大，因此添加适当的无源元件以改进电路性能是允许的。当然，对于超大规模集成的数字逻辑电路，这种考虑是不现实的。

高速电路另一个重要基础是互连，这也是本书的研究对象。集成电路芯片中半导体元器件之间、电子系统中各芯片或组件之间都通过互连线进行连接。在过去比较大工艺尺寸和比较低工作速度情况下，互连仅起着电连通作用，相当于短路，电路系统的性能几乎与互连无关。但随着集成电路的工作速度不断提高，互连将产生信号完整性（signal integrity）、功耗以及工艺可靠性等一系列互连问题。本书的主要任务是针对互连信号完整性问题，同时兼顾功耗问题，阐述认识和解决问题的理论、方法与技术。

和微波电路一样，高速电路的互连线具有电磁波特性，只是前者体现为沿传输线的相位滞后，后者则体现为波形时延。传输线或互连线均有低损耗、低色散和终端匹

配的要求。由于两者在频谱上的差异,前者可有众多类型传输线,包括色散型和非色散型,而后者由于极宽的频谱,只能为非色散型,因此微波电路可用的金属波导和介质波导由于色散较大在高速电路中完全不可用。当然如果不局限于高速脉冲的直接传播,而将其调制到更高频率的电磁波(如光波)上,作为相对频宽较窄的已调波,仍可在色散传输线(如光纤)上传输。

## 1.2 高速集成电路互连技术的发展

如上所述,互连线是集成电路的重要组成部分,其功能是将芯片中半导体元器件之间、电子系统中各芯片或组件之间进行电连通。随着微电子技术本身的发展以及科学技术与产业进步的需求牵引,近几十年来高速集成电路互连技术也得到了比较快速的发展,传输信道从低通信道、带通信道到高通信道,载波频率从电互连的微波毫米波到光互连光波频率,互连工艺从铝工艺到现在主流的铜工艺等,下面分别进行简要介绍。

低通信道互连线主要包括微带线(microstrip line)、共面波导(Coplanar Waveguide, CPW)、带状线(stripline)和同轴线(coaxial line)等,工作主模都是横电磁(Transverse Electromagnetic, TEM)模,传输频谱从直流到高阶模式的最低截止频率,因此称为低通信道传输。目前高速集成电路主要使用低通信道互连线结构。基片集成同轴线(Substrate Integrated Coaxial Line, SICL)互连也是一种低通信道传输互连,同时具有波导损耗低、串扰小以及微带线等平面结构易集成的优点,具有很好的发展和应用前景,目前已引起关注。

使用带通信道传输信号的互连线主要是光互连(optical interconnect)和无线互连(wireless interconnect),而使用高通信道的互连主要有波导互连(waveguide interconnect),如最近几年引起关注的基片集成波导(Substrate Integrated Waveguide, SIW)互连技术。这些互连技术将在后面具体介绍。

如图 1.1 所示,从连接对象看,集成电路互连可分为片上互连、片间互连和板上互连,连接对象都在一块电路板上。更长的板间互连可理解为一种系统级互连,也可理解为一种短距离通信传输媒质。片间互连指的是组件中裸芯片或单个封装好的芯片之间的互连,板上互连则指电路板上封装好的各组件之间的互连。片上互连指的是芯片上各元器件及各单元或模块之间的互连,按照长度和功能又分为局部互连(local interconnect)、中间层互连(intermediate interconnect)和全局互连(global interconnect)三种,互连结构通常为微带线或共面波导。局部互连主要连接一个执行单元或功能模块内的栅和晶体管,通常位于互连金属引线层的第一和第二层。中间层互连主要为功能模块内的时钟信号等传输距离较长的信号提供连接,典型长度为 3~4mm。全局互连则为功能模块之间的时钟和信号提供互连引线,长度可达芯片周长的一半,通常位于互连引线层的最上一层或两层。

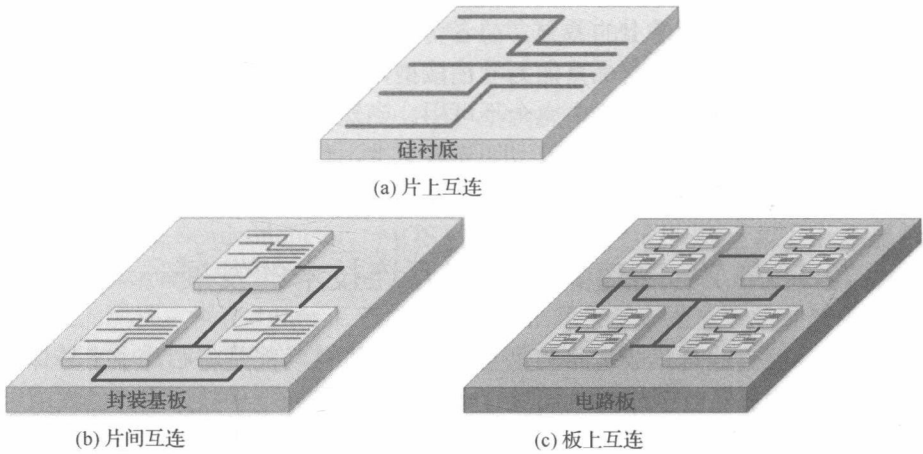


图 1.1 集成电路三种互连

从互连性能和工艺角度看，集成电路互连对金属材料的要求是：具有较小的电阻率、易于沉积和刻蚀、良好的抗电迁移特性。

铝在室温下的电阻率仅为  $2.7\mu\Omega\cdot\text{cm}$ ，与 n 型、p 型硅的欧姆接触电阻可以低至  $10^{-6}\Omega/\text{cm}^2$ ，与硅和磷硅玻璃的附着性好，易于沉积和刻蚀。由于这些优点以及价格相对便宜，铝成为集成电路最早使用的互连金属材料。铝用于集成电路互连线，主要用溅射方法制备，沉积速率快，厚度均匀，台阶覆盖能力强。但铝互连技术业存在明显不足，一是铝/硅接触中的尖楔现象。尖楔现象是由于硅在铝中的溶解度较大，在铝/硅接触处，硅在铝膜的晶粒间快速扩散离开接触孔的同时，铝也会向接触孔内运动、填充因硅离开而留下的空间。如果硅在接触孔内不是均匀消耗的，铝就会在某些接触点像尖钉一样楔进硅衬底中，如果尖楔深度大于结深，就会使 PN 结失效，这种现象就是铝/硅接触中的尖楔现象。铝/硅接触可以通过以下方式改进：①铝-硅合金金属化引线，在铝中加入硅饱和溶解度所需要的足量硅，形成铝-硅合金，避免硅向铝中扩散；②铝掺杂多晶硅双层金属化结构，起隔离作用；③铝阻挡层结构，在铝与硅之间沉积一层薄金属，阻止铝与硅之间的作用，从而限制铝尖楔问题。

铝互连技术的第二个不足是电迁移现象。随着芯片集成度的提高，互连引线变得更窄、更薄，电流密度越来越大，在较高的电流密度作用下，互连引线中的金属原子将会沿着电子运动方向进行迁移，这种现象就是电迁移。当互连引线中的电流密度较高时，静电场力驱动电子由阴极向阳极运动。高速运动的电子与金属原子发生动量交换，原子受到猛烈的电子冲击力，这就是电迁移理论中的电子风力。同时，金属原子还受静电场力的作用。当互连引线中的电流密度较高时，电子风力大于静电场力，金属原子受到电子风力的驱动，产生了从阴极向阳极的定向扩散，即发生了金属原子的电迁移。在相反方向将有质量耗尽，产生空位的聚合。电迁移现象的结果是在一个方向形成空洞，使互连引线断裂开路，而在另一个方向则由于铝原子的堆积而形成小丘，

造成光刻的困难和多层布线之间短路,从而使整个集成电路失效。改进电迁移的方法如下。

(1) 结构的影响和“竹状”结构的选择。多晶铝引线的电迁移现象随晶粒尺寸增大而减弱,平均失效时间(Mean Time of Failure, MTF)增大。此外,还与铝薄膜的择优取向有关,电子束蒸发铝薄膜择优取向为 $\langle 111 \rangle$ 晶向,它的MTF值比溅射的铝薄膜大2~3倍。“竹状”结构的铝引线与普通铝引线结构不同,组成多晶体的晶粒从下而上贯穿引线截面,整个引线截面图类似有许多“竹节”的一条竹子,晶粒间界垂直于电流方向,所以晶粒间界的扩散不起作用,铝原子在铝薄膜中的扩散系数和在单晶中类同,从而可使MTF值提高两个数量级。

(2) 铝-铜合金或铝-硅-铜合金。在铝中附加合金成分,最常用的是铜。使金属化材料由纯铝变为铝-硅(1%~2%)-铜(4%)合金,这些杂质在铝的晶粒间界分凝可以降低铝原子在铝晶粒间界的扩散系数,使MTF值提高一个量级。但缺点是使引线的电阻率增加、铝-硅-铜合金不易刻蚀且易受氯气腐蚀。

(3) 三层夹心结构,在两层铝薄膜之间增加一个约500Å的过渡金属层。经过退火,在两层铝之间将形成金属化合物,它们是很好的铝扩散阻挡层,可以防止空洞穿透整个铝金属化引线;同时在铝晶粒间界也会形成化合物,降低铝原子在铝晶粒间界中的扩散系数,从而减少了铝原子的迁移率,防止空洞和小丘的形成。这种方法可以使MTF值提高2~3个量级,但是工艺比较复杂。

(4) 改进电迁移的另一种有效方法是采用新的互连金属材料,如金属铜。

金属铜的电阻率小于 $2.0\mu\Omega\cdot\text{cm}$ ,低电阻率可以减小引线的宽度和厚度,从而减小分布电容,并提高集成电路的密度。此外,铜的抗电迁移性能好。使用低介电常数材料作为介质层,也可减小分布电容,对降低互连线延迟时间同样起到重要的作用。因此铜和低介电常数介质互连体系,已成为集成电路进入深亚微米阶段后为了降低互连线时延所进行的重要选择。铜的性质与铝不同,不能采用传统的以铝作为互连材料的布线工艺。以铜作为互连的集成技术是集成电路制造技术进入 $0.18\mu\text{m}$ 及其以下时代必须面临的挑战之一。由于铜的污染问题和铜引线的图形加工问题曾在较长一段时间没有得到很好的解决,铜互连技术的研发一度进展缓慢。铜互连技术的突破是随着化学机械抛光(Chemical Mechanical Polishing, CMP)技术的发明、大马士革(damascene)工艺结构的提出以及势垒层材料技术的发展而取得的。可以阻挡铜扩散的势垒层材料成功解决了铜污染问题,而大马士革结构与CMP技术结合,很好地解决了铜引线图形的加工问题。目前普遍采用的技术方案是双大马士革(dual-damascene)(双镶嵌)工艺,主要特点是对任何一层进行互连材料淀积的同时,也对该层与下层之间的通孔进行填充,而化学机械平整化工艺只对导电金属层进行。与传统的互连工艺相比,双大马士革工艺步骤得到简化,工艺成本也相应降低。

铜互连在电导率和电流密度方面比铝互连有了很大改进,但随着芯片内部密度越来越大,要求铜互连的线宽越来越小,电流密度越来越大,铜互连技术也面临考验,



特别是通孔互连。集成电路工艺达到 32nm 后，要求互连线能够承载的最大电流密度达  $10^7 \text{A}/\text{cm}^2$ ，超出了铜的承载能力，必须寻找新的互连导电材料，如碳纳米材料，来提高集成电路的电流承载能力。

### 1.3 高速集成电路互连信号完整性问题

过去几十年集成电路性价比不断提高的一个根本原因是，随着设计规则与制造工艺的不断进步，由于晶体管（如 CMOS）的等比例缩小定律（即等比例缩小器件的纵向、横向尺寸，可以增加跨导，减小负载电容，缩小芯片的内部时延），集成电路的集成度和工作速度不断提高，使得性能提升和成本下降，而互连仅起着电连通作用，相当于短路，电路系统的性能几乎与互连无关。目前集成电路的设计与工艺已经进入了纳米尺度，虽然集成电路的三个基本组成单元（晶体管、无源元件和互连）都将面临许多技术难题，如工艺问题、材料问题等，但对晶体管而言，只要这些技术问题能够得到克服，那么工艺尺寸的缩小将继续改善电路的性能，正如过去几十年所发生的一样。因此表面看起来似乎只要集成电路的设计与工艺能够不断向更小尺寸的方向迈进，则微电子技术就能一如既往地向前发展。

但事实并非如此，这是因为与晶体管工艺尺寸缩小将改善电路性能的性质相反，随着集成电路工艺尺寸不断缩小、工作速度不断提高，互连将产生信号完整性、功耗、工艺可靠性等一系列问题，影响集成电路的性能指标甚至使其不能工作。一般而言，集成电路工艺越先进（晶体管沟道长度越窄），工作速度越高，互连问题越严重。互连线工艺尺寸的进一步减小不仅需要克服工艺、材料等方面的难题，而最根本的问题是即使这些工艺、材料等难题得以克服，电路的性能却随着互连线尺寸的减小而变坏。

互连问题是制约现代微电子技术发展的瓶颈之一。微电子技术过去几十年一直保持的按照摩尔定律发展的趋势和规律将面临严峻挑战，很有可能会因为互连问题而减慢发展步伐甚至停滞不前。正因如此，《国际半导体技术发展路线图》（International Technology Roadmap for Semiconductors, ITRS）从 20 世纪 90 年代中期开始连续将互连问题列举为微电子技术发展必须优先解决的问题之一，国际国内的大型公司如 Intel、华为等纷纷成立互连研究部。

下面主要介绍高速集成电路的互连信号完整性问题。

随着工作速度提高，信号频谱进入微波、毫米波波段，波长缩短到与互连长度相当，信号在互连上传输时将产生时延、幅度衰减、形状畸变、反射以及串扰噪声等电磁场微波效应，信号的完整性受到破坏，将降低集成电路性能指标甚至使其不能工作。这就是互连信号完整性问题，工艺越先进，工作频率越高，信号完整性问题越严重。

图 1.2 给出了两根相邻互连线的信号响应，激励信号是标准的梯形脉冲信号，加



在一根信号导体的输入端，图 1.2(a)是该导体两端的信号响应，图 1.2(b)则是相邻的没有加激励信号的导体两端的信号响应。参照图 1.2，下面分别介绍互连信号完整性问题的具体表现及其对电路工作性能的影响。

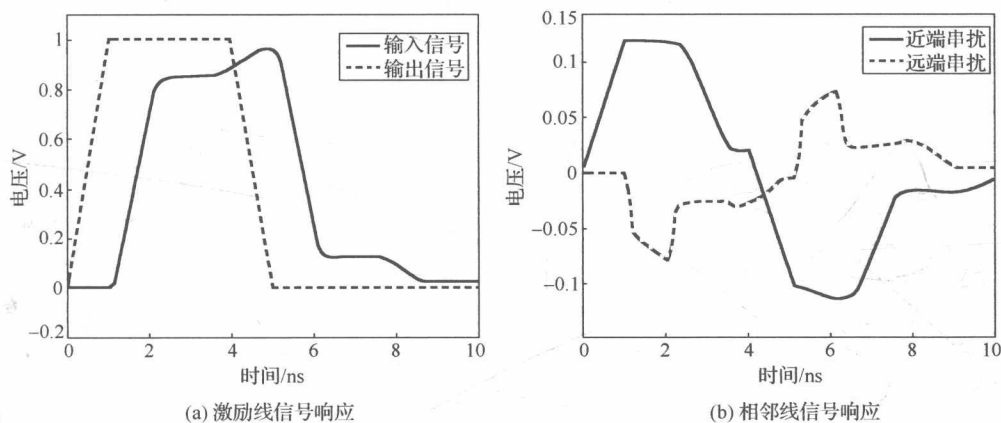


图 1.2 互连线信号响应

### 1. 时延

互连时延是指高速脉冲信号从互连线输入端传输到输出端所需要的时间。脉冲信号传输到达输出端的时刻可定义为输出端信号幅度达到输入信号峰值的某一比例（如 50%）的时间点。互连时延产生的基本原理是在高工作速度情况下互连线电长度已与信号高频段波长相当，互连线的长度必须考虑，脉冲信号传输时必然需要一个飞越时间（flight time），即时延。从频域角度看，高速集成电路互连相当于微波传输线，各频率谐波信号在其上传输时都要产生相移，综合反映在时域即体现为信号时延。

时延的大小取决于很多因素，如集成电路工艺节点、互连长度、互连终端负载、相邻线间的电磁耦合以及所传输信号的波形等。工艺越先进，互连横截面尺寸越小，损耗越大，互连时延一般也越大。互连长度越长，时延也越大。互连终端匹配情况决定信号在终端的反射，反射波叠加在输入脉冲上进而改变输出信号的波形与时延。传输信号的波形不同，其频谱分布将不同，从而通过互连的色散效应影响输出信号的波形和时延。

时延对集成电路工作性能的直接影响是减慢了电路的工作速度。表 1.1 给出了  $1.0\mu\text{m}$ 、 $0.1\mu\text{m}$  和  $0.035\mu\text{m}$  三种工艺下 MOSFET 时延和  $1\text{mm}$  长互连线时延的对比。从表 1.1 中可以看出，在过去较低工艺节点时，晶体管时延显著超过互连时延，是决定集成电路工作速度的主要因素。但 MOSFET 晶体管的时延随工艺尺寸的减小而减小，互连线的时延则随工艺尺寸减小反而而迅速增加，在较先进工艺时逐渐超过晶体管时延而成为影响集成电路工作速度的主要因素。