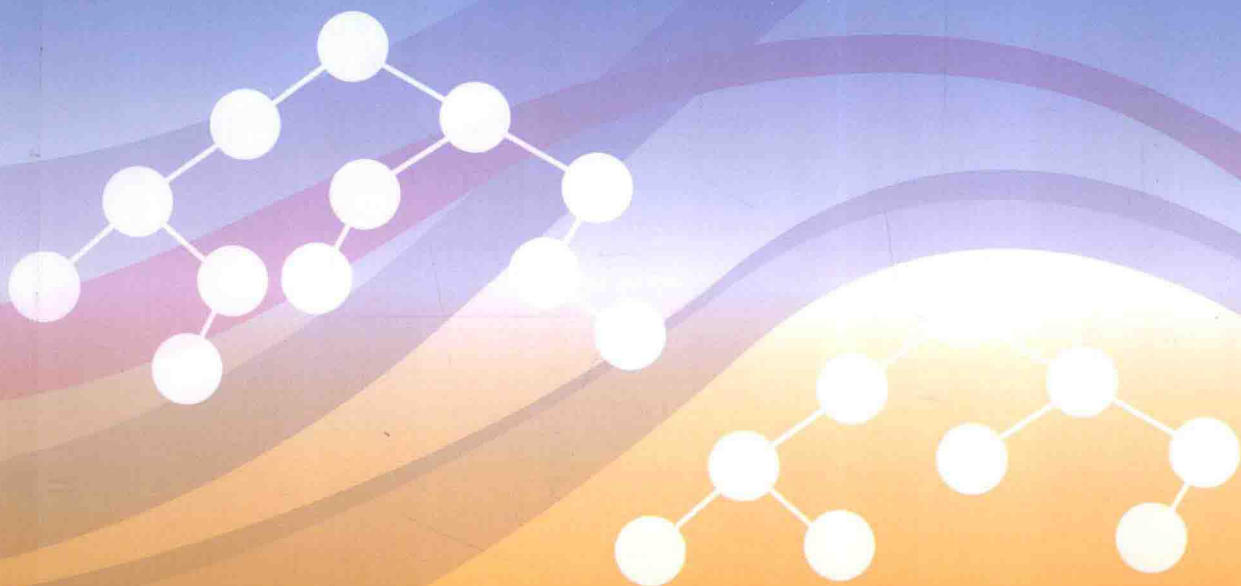


高等学校计算机专业规划教材

计算机组成与设计 实验教程（第3版）



王炜 曾光裕 李清宝 何红旗 编著

清华大学出版社

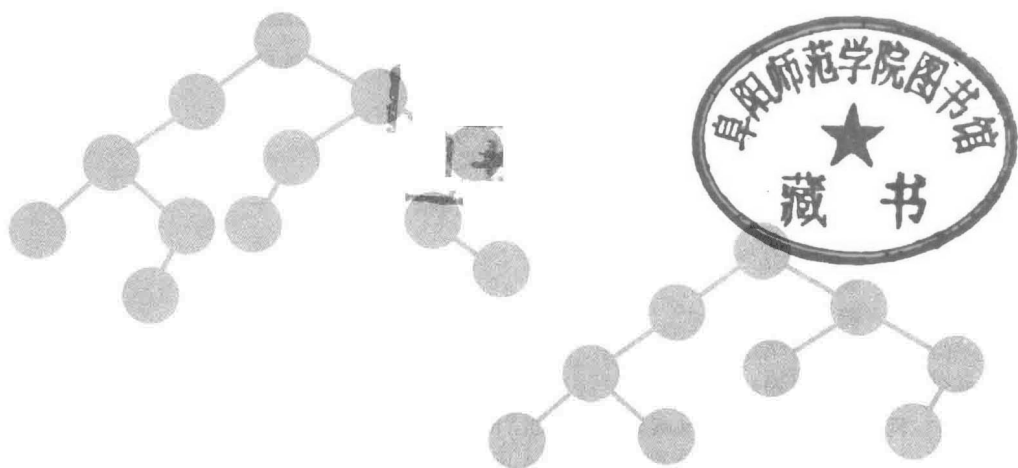


高等学

规划教材

计算机组成与设计 实验教程（第3版）

王炜 曾光裕 李清宝 何红旗 编著



清华大学出版社
北京

内 容 简 介

本书以 TEC-8 计算机硬件综合实验系统为实验平台,全面介绍了计算机组成原理及数字逻辑实验。全书共 8 章,第 1 章详细介绍了 TEC-8 计算机硬件综合实验系统;第 2 章和第 3 章介绍了计算机组成与结构部分的实验,第 2 章给出 6 个基本实验,第 3 章给出 4 个综合设计实验;第 4 章和第 5 章介绍了数字逻辑与数字系统的实验,第 4 章给出 10 个基本实验,其中的部分实验同时可作为计算机组成的基本实验,第 5 章给出 4 个综合设计实验,这些实验同时可作为 EDA 技术的基本实验;第 6~8 章主要介绍了 EDA 设计的相关基础技术,第 6 章和第 7 章分别对 VHDL 和 Verilog HDL 进行简单介绍,第 8 章介绍了 Quartus II 的使用方法。

本书可作为高等院校计算机科学与技术及相关专业的计算机组成原理及数字逻辑实验课程的教材,也可供计算机硬件技术领域的设计人员自学参考。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

计算机组成与设计实验教程/王伟等编著. —3 版. —北京:清华大学出版社,2017
(高等学校计算机专业规划教材)
ISBN 978-7-302-46423-5

I. ①计… II. ①王… III. ①计算机体系结构—高等学校—教材 IV. ①TP303

中国版本图书馆 CIP 数据核字(2017)第 017907 号

责任编辑:龙启铭 张爱华

封面设计:何凤霞

责任校对:梁毅

责任印制:杨艳

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座 邮 编:100084

社 总 机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质量反馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

课件下载: <http://www.tup.com.cn>, 010-62795954

印 刷 者:北京富博印刷有限公司

装 订 者:北京市密云县京文制本装订厂

经 销:全国新华书店

开 本:185mm×260mm 印 张:17 插 页:1 字 数:407 千字

版 次:2012 年 8 月第 1 版 2017 年 3 月第 3 版 印 次:2017 年 3 月第 1 次印刷

印 数:1~2000

定 价:39.00 元

产品编号:073039-01



“计算机原理”是计算机科学与技术专业的重要专业基础课之一，也是一门实践性很强的课程。“计算机组成原理实验”是计算机科学与技术学科的必修环节，主要目的是通过自己动手，进一步融会贯通理论教学的内容，掌握计算机各功能模块的工作原理、相互联系，完整地建立计算机的整机概念，同时，培养独立分析问题、解决问题的能力。

本书是为采用 TEC-8 计算机硬件综合实验系统开展计算机组成原理以及数字逻辑实验的师生而编写的教材。TEC-8 计算机硬件综合实验系统由清华科教仪器厂研发，它是一个 8 位计算机模型实验系统，可用于**数字逻辑与数字系统、计算机组成原理**的实验教学，也可用于数字系统的研究开发，为提高学生的动手能力、培养学生的创新精神提供了一个良好的舞台。TEC-8 计算机硬件综合实验系统采用了数据总线和指令总线双总线结构，能够实现流水控制；控制器有微程序控制器和硬连线控制器两种类型，每种类型又有流水和非流水两种方案。通过该实验系统，既能完成元件级、部件级的实验，又能完成系统实验，使实验者透彻地剖析计算机的基本组成与工作原理，了解计算机的内部运行机理，掌握计算机系统设计的基本技术，培养独立分析、解决问题的能力，特别是硬件设计与调试方面问题的能力。同时，通过与计算机相连，实验者在完成相关实验的同时，能够深入地学习 EDA 技术，提高数字系统设计的能力。

全书共分 8 章，从内容上看大体分为 4 个部分：第一部分包括第 1 章，对 TEC-8 计算机硬件综合实验系统进行详细介绍。第二部分包括第 2 章和第 3 章，这一部分介绍计算机组成与结构部分实验，其中第 2 章给出了 6 个基本实验，第 3 章列出了 4 个计算机组成与结构的综合设计实验。第三部分包括第 4 章和第 5 章，这一部分主要是数字逻辑实验部分，其中第 4 章给出了 10 个数字逻辑与数字系统的基本实验，其中的部分实验同时可作为计算机组成的基本实验项目；第 5 章给出了 4 个数字逻辑与数字系统的综合设计实验项目，这些项目同时可作为 EDA 技术的基本实验项目。第四部分包括第 6~8 章，这一部分主要介绍 EDA 设计的相关基础技术，其中第 6 章、第 7 章分别对 VHDL 和 Verilog HDL 进行简要介绍，第 8 章介绍了 Quartus II 的使用方法。另外，为了便于实验调试，书中以附录的形式给出了 TEC-8 计算机硬件综合实验系统用到的所有 74 系列芯片的相关资料以及 TEC-8 计算机硬件综合实验系统实验箱的器件布局图。



希望本书对于计算机组成原理以及数字逻辑的学习和教学实践工作有一定的帮助。

全书由王伟统筹、策划，曾光裕、李清宝、何红旗参与了部分章节的编写，信息工程大学王玉龙同学和清华大学科教仪器厂刘敬晗、张改革参与了部分实验项目的设计、调试与仿真、验证工作。本书编写过程中得到信息工程大学各部门和清华大学科教仪器厂的大力支持，清华大学科教仪器厂杨春武参与了本书部分实验项目的设计、规划，信息工程大学赵荣彩教授审订了书稿，并提出许多宝贵意见，在此一并表示感谢。

本书于2006年初次出版，当时是基于TEC-4计算机组成原理实验系统，2013年出版的第2版则基于TEC-8计算机硬件综合实验系统。根据教材使用过程中的反馈意见，第3版对实验项目进行了部分改进，修正了一些错误，特别是提供了“第3章计算机组成原理课程综合设计”相关实验项目的参考设计方案，它将有利于相应实验项目的顺利开设。

由于作者水平有限，错误和疏漏在所难免，敬请读者批评指正。

编著者

2016年10月



第 1 章 TEC-8 计算机硬件综合实验系统 /1

1.1	TEC-8 实验系统的用途	1
1.2	TEC-8 实验系统技术特点	1
1.3	TEC-8 实验系统组成	2
1.4	逻辑测试笔	2
1.5	TEC-8 实验系统结构和操作	3
1.5.1	模型计算机时序信号	3
1.5.2	模型计算机组成	3
1.6	模型计算机指令系统	6
1.7	指示灯、按钮、开关	7
1.7.1	指示灯	7
1.7.2	按钮	8
1.7.3	开关	8
1.8	数字逻辑和数字系统实验部分	9
1.8.1	基本实验通用区	9
1.8.2	大型综合设计实验装置	9
1.9	E ² PROM 中微代码的修改	10

第 2 章 计算机组成原理基本实验 /16

2.1	运算器组成实验	16
2.2	双端口存储器实验	22
2.3	数据通路实验	26
2.4	微程序控制器实验	31
2.5	CPU 组成与机器指令的执行	38
2.6	中断原理实验	42

第 3 章 计算机组成原理课程综合设计 /46

3.1	模型机硬连线控制器设计	46
3.2	模型机流水微程序控制器设计	60
3.3	模型机流水硬连线控制器设计	63



3.4	含有阵列乘法器的 ALU 设计	73
第 4 章 数字逻辑与数字系统基本实验 /82		
4.1	基本逻辑门逻辑实验	82
4.2	TTL、HC 和 HCT 器件的电压传输特性实验	83
4.3	三态门实验	86
4.4	数据选择器和译码器实验	88
4.5	全加器构成及测试实验	90
4.6	组合逻辑中的冒险现象实验	92
4.7	触发器实验	93
4.8	简单时序电路实验	96
4.9	计数器和数码管实验	98
4.10	四相时钟分配器实验	104
第 5 章 数字逻辑与数字系统综合设计实验 /106		
5.1	简易电子琴实验	106
5.2	简易频率计实验	109
5.3	简易交通灯实验	114
5.4	VGA 接口设计	117
第 6 章 VHDL 简介 /121		
6.1	VHDL 程序的基本结构	122
6.1.1	实体说明	122
6.1.2	结构体说明	123
6.1.3	程序包	126
6.1.4	库	127
6.1.5	配置	128
6.2	VHDL 的客体及词法单元	129
6.2.1	标识符	129
6.2.2	词法单元	131
6.2.3	VHDL 的数据类型	132
6.2.4	VHDL 的对象	134
6.2.5	VHDL 运算符	138
6.3	VHDL 的基本描述语句	139
6.3.1	进程语句	139
6.3.2	并行语句	142
6.3.3	顺序语句	155
6.4	属性的描述与定义	160



6.4.1	数值类属性	160
6.4.2	函数类属性	161
6.4.3	带属性函数的信号	163
6.5	决断函数与信号延迟	164
6.5.1	决断信号与决断函数	165
6.5.2	信号延迟	165

第 7 章 Verilog HDL 基本语法 /167

7.1	简单的 Verilog HDL 模块	168
7.1.1	简单的 Verilog HDL 程序介绍	168
7.1.2	模块的结构	169
7.1.3	模块的端口定义	170
7.1.4	模块内容	170
7.2	数据类型及其常量、变量	171
7.2.1	常量	172
7.2.2	变量	174
7.3	运算符及表达式	177
7.3.1	基本的算术运算符	178
7.3.2	位运算符	178
7.3.3	逻辑运算符	180
7.3.4	关系运算符	180
7.3.5	等式运算符	181
7.3.6	移位运算符	181
7.3.7	位拼接运算符	182
7.3.8	缩减运算符	182
7.3.9	优先级别	183
7.3.10	关键词	183
7.4	赋值语句和块语句	184
7.4.1	赋值语句	184
7.4.2	块语句	185
7.5	条件语句	188
7.5.1	if-else 语句	188
7.5.2	case 语句	191
7.5.3	由于使用条件语句不当产生意外的锁存器	194
7.6	循环语句	195
7.6.1	forever 语句	196
7.6.2	repeat 语句	196
7.6.3	while 语句	196

7.6.4	for 语句	197
7.7	结构说明语句	198
7.7.1	initial 语句	199
7.7.2	always 语句	199
7.7.3	task 和 function 说明语句	200
7.8	系统函数和任务	205
7.8.1	\$display 和 \$write 任务	205
7.8.2	系统任务 \$monitor	209
7.8.3	时间度量系统函数 \$time	209
7.8.4	系统任务 \$finish	211
7.8.5	系统任务 \$stop	211
7.8.6	系统任务 \$readmemb 和 \$readmemh	211
7.8.7	系统任务 \$random	213
7.9	编译预处理	214
7.9.1	宏定义 `define	214
7.9.2	文件包含处理 `include	216
7.9.3	时间尺度 `timescale	218
7.9.4	条件编译命令 `ifdef、`else、`endif	220
7.10	小结	221
第 8 章	Quartus II 的使用方法	/222
8.1	Quartus II 介绍	222
8.2	Quartus II 安装	224
8.2.1	Quartus II 安装准备	224
8.2.2	Quartus II 软件安装	224
8.3	Quartus II 设计示例	228
附录 A	部分 74 系列芯片资料及实验箱器件布局图	/246

图 索 引

图 1.1	TEC-8 模型计算机 3 个机器周期时序图	3
图 1.2	TEC-8 模型计算机电路框图	4
图 1.3	“找到新的硬件向导”对话框	11
图 1.4	初安装完后串口状态	11
图 1.5	端口属性	11
图 1.6	端口设置	11
图 1.7	更改端口号	12
图 1.8	设置完成的串口	12
图 1.9	串口调试助手窗口	13
图 1.10	“我的电脑”快捷菜单	13
图 1.11	“系统属性”对话框	13
图 1.12	“设备管理器”窗口	14
图 2.1	机器周期与 T1、T2、T3 时序关系图	16
图 2.2	运算器组成实验电路图	17
图 2.3	运算器组成实验微程序流程图	21
图 2.4	双端口存储器实验电路图	23
图 2.5	双端口存储器实验微程序流程图	25
图 2.6	数据通路实验电路图	27
图 2.7	数据通路实验微程序流程图	30
图 2.8	微指令格式	32
图 2.9	TEC-8 模型计算机微程序流程图	34
图 2.10	TEC-8 模型计算机微程序控制器电路图	35
图 3.1	硬连线控制器的机器周期参考流程图	49
图 3.2	4×4 无符号阵列乘法器框图	75
图 4.1	测试 74LS00 逻辑关系接线图	83
图 4.2	测试 74LS28 逻辑关系接线图	83
图 4.3	测试 74LS86 逻辑关系接线图	83
图 4.4	测试非门 74LS04 传输特性接线图	85
图 4.5	测试三态门高电平、低电平和高阻态接线图	87
图 4.6	用 74LS125 构成总线接线图	88
图 4.7	双 4 选 1 数据选择器 74LS153 功能实验接线图	89
图 4.8	74LS139 实验接线图	90
图 4.9	全加器实验接线图	91
图 4.10	信号和它 3 级反相后的信号进行与非实验接线图	92

图 4.11	信号和它 5 级反相后的信号进行与非实验接线图	93
图 4.12	RS 触发器测试接线图	94
图 4.13	74LS74 参考测试图 1	94
图 4.14	74LS74 参考测试图 2	94
图 4.15	74LS107 测试图 1	95
图 4.16	74LS107 测试图 2	95
图 4.17	双 D 触发器 74LS74 构成的二进制计数器	96
图 4.18	双 JK 触发器构成的二进制计数器参考接线图	97
图 4.19	异步十进制计数器	97
图 4.20	TEC-8 实验系统上数码管的驱动	99
图 4.21	复位法构成的模 7 计数器参考接线图 1	101
图 4.22	复位法构成的模 7 计数器参考接线图 2	101
图 4.23	置位法模 7 计数器参考接线图 1	102
图 4.24	置位法模 7 计数器参考接线图 2	102
图 4.25	复位法模 60 计数器参考接线图	103
图 4.26	置位法模 60 计数器接线图	103
图 4.27	四相时钟时序关系	104
图 4.28	四相时钟分配器参考接线图	105
图 5.1	喇叭及其驱动电路	106
图 5.2	交通灯实验电路图	115
图 5.3	HS 和 VS 时序图	118
图 5.4	VGA 接口驱动电路	119
图 6.1	进程间通信	140
图 6.2	半加/减器逻辑结构图	144
图 6.3	例 6-28 描述的对应该逻辑结构	153
图 6.4	shift4 的逻辑结构	153
图 6.5	建立时间与保持时间	162
图 6.6	例 6-44 描述的信号模型	164
图 6.7	例 6-45 描述的信号模型	164
图 7.1	Verilog 程序模块与相应电路图符号的关系	169
图 7.2	非阻塞赋值方式的设计结果	185
图 7.3	阻塞赋值方式的设计结果	185
图 8.1	开发的基本过程图	223
图 8.2	释放安装文件	224
图 8.3	Quartus II 9.0 Setup 界面	225
图 8.4	License Agreement 界面	225
图 8.5	填写个人信息	226
图 8.6	选择安装路径	226

图 8.7	命名安装文件夹	227
图 8.8	选择安装方式	227
图 8.9	安装中	228
图 8.10	安装完成	228
图 8.11	启动 Quartus II 软件	228
图 8.12	Quartus II 软件界面	229
图 8.13	启动文件向导	229
图 8.14	工程向导对话框	230
图 8.15	工程导航窗口	230
图 8.16	指定输入文本	231
图 8.17	选择目标器件	231
图 8.18	EDA 工具设置	232
图 8.19	设置汇总	232
图 8.20	在工程中添加/删除文件	233
图 8.21	向工程添加已有文件	233
图 8.22	新建文件	234
图 8.23	新建 Verilog HDL 文本文件	234
图 8.24	输入 Verilog 设计源码	235
图 8.25	保存修改	235
图 8.26	“另存为”对话框	235
图 8.27	设置顶层实体	236
图 8.28	设计编译	236
图 8.29	编译通过	237
图 8.30	编译未通过	237
图 8.31	新建波形仿真文件	238
图 8.32	新建的 .vwf 波形仿真文件	238
图 8.33	插入信号节点	239
图 8.34	Insert Node or Bus 对话框	239
图 8.35	Node Finder 对话框	239
图 8.36	完成信号设置	240
图 8.37	设置时钟信号	240
图 8.38	设置时钟信号参数	240
图 8.39	输入信号设置完成	241
图 8.40	保存仿真设置文件	241
图 8.41	启动仿真器	242
图 8.42	完成仿真	242
图 8.43	查看仿真结果报告	243
图 8.44	启动 Pin Planner	243



图 8.45	Pin Planner 配置	244
图 8.46	启动 Programmer	244
图 8.47	下载设置	245
图 8.48	下载完成	245
图 A.1	74LS00 内部逻辑连线	246
图 A.2	74LS04 内部逻辑连线	246
图 A.3	74LS06 内部逻辑连线	246
图 A.4	74HC08 内部逻辑连线	247
图 A.5	74LS28 内部逻辑连线	247
图 A.6	74LS30 内部逻辑连线	247
图 A.7	74HC32 内部逻辑连线	248
图 A.8	74LS74 内部逻辑连线	248
图 A.9	74LS86 内部逻辑连线	248
图 A.10	74107 内部逻辑连线	249
图 A.11	74125 内部逻辑连线	249
图 A.12	74139 内部逻辑连线	250
图 A.13	74153 内部逻辑连线	250
图 A.14	74162 内部逻辑连线	251
图 A.15	74HC174 内部逻辑连线	252
图 A.16	74240 内部逻辑连线	252
图 A.17	74HC244 内部逻辑连线	253
图 A.18	74HC273 内部逻辑连线	253
图 A.19	74HC298 内部逻辑连线	254
图 A.20	74HC374 内部逻辑连线	255
图 A.21	HN58C65 引脚封装图	255
图 A.22	IDT7132 引脚封装图	255
图 A.23	TEC-8 计算机硬件综合实验系统器件布局图	256

表 索 引

表 1.1	指示灯对应的信号状态	3
表 1.2	TEC-8 模型计算机指令系统	6
表 1.3	TEC-8 模型计算机操作模式	9
表 2.1	74181 正逻辑下的功能表	18
表 2.2	实验中用到的信号	19
表 2.3	运算器实验测试数据	20
表 2.4	运算器组成实验结果表	22
表 2.5	实验中用到的信号	24
表 2.6	双端口存储器实验结果	25
表 2.7	数据通路实验中涉及的信号	28
表 2.8	数据通路实验结果	31
表 2.9	后继微地址、判别字段和其他微命令	32
表 2.10	控制台模式开关和控制台操作的对应关系	37
表 2.11	预习时要求完成的手工汇编	39
表 2.12	单微指令方式下指令执行跟踪结果	41
表 2.13	主程序	43
表 2.14	中断服务程序	44
表 2.15	中断原理实验结果	45
表 3.1	新设计 CPU 的指令系统	47
表 3.2	组合逻辑译码表的一般格式	48
表 3.3	作为硬连线控制器时的 EPM7128S 引脚规定	50
表 3.4	微指令代码表	62
表 3.5	ALU 运算功能	74
表 3.6	电平开关、指示灯对应的 EPM7128S 引脚号	75
表 3.7	乘法测试数据	76
表 4.1	74LS00 逻辑关系测试表	83
表 4.2	74LS28 逻辑关系测试表	83
表 4.3	74LS86 逻辑关系测试表	83
表 4.4	74LS04、74HC04 和 74HCT04 电压传输特性测试数据	85
表 4.5	74LS125 输出的 3 个状态高电平、低电平、高阻态实验结果	87
表 4.6	构成总线实验结果	88
表 4.7	双 4 选 1 数据选择器 74LS153 实验结果表	89
表 4.8	74LS139 实验结果表	90
表 4.9	全加器实验结果表	91

表 4.10	RS 触发器功能测试表	94
表 4.11	D 触发器 74LS74 功能测试结果表	95
表 4.12	JK 触发器 74LS107 功能测试表	95
表 4.13	74LS47 驱动规则	100
表 5.1	C 调的部分音符和对应频率	107
表 5.2	简易电子琴实验中的信号与 EPM7128S CPLD 引脚对应关系	108
表 5.3	频率计被测信号选择	110
表 5.4	简易频率计实验中的信号与 EPM7128S CPLD 引脚对应关系	111
表 5.5	交通灯实验中的信号与 EPM7128S CPLD 引脚对应关系	115
表 5.6	颜色编码表	118
表 5.7	VGA 接口设计实验的信号与 EPM7128S CPLD 引脚对应关系	119
表 6.1	端口方向说明	123
表 6.2	VHDL 保留关键字	130
表 6.3	VHDL 标准数据类型	132
表 6.4	类型转换函数	134
表 6.5	VHDL 运算符及优先级	138
表 7.1	wire 型和 tri 型变量真值表	175
表 7.2	模运算符%的运算规则	178
表 7.3	位运算符	178
表 7.4	取反运算符 ~ 运算规则	179
表 7.5	按位与运算符 & 运算规则	179
表 7.6	按位或运算符 运算规则	179
表 7.7	按位异或运算符 ^ 运算规则	179
表 7.8	按位同或运算符 ^ ~ 运算规则	179
表 7.9	逻辑运算符	180
表 7.10	逻辑运算规则表	180
表 7.11	关系运算符	180
表 7.12	等式运算符	181
表 7.13	等式运算符运算规则	181
表 7.14	运算符优先级	183
表 7.15	case、casez、casex 真值表	193
表 7.16	循环语句	195
表 7.17	常用的输出格式	206
表 7.18	常用的格式字符	206
表 7.19	不同的参数值系统输出的特征信息	211
表 7.20	时间单位	219
表 A.1	$Y = \overline{A} \& B$ 真值表	246
表 A.2	$Y = \overline{A}$ 真值表	246

表 A.3	$Y=A \& B$ 真值表	247
表 A.4	$Y=\overline{A} \# B$ 真值表	247
表 A.5	$Y=\overline{A \& B \& C \& D \& E \& F \& G \& H}$ 真值表	247
表 A.6	$Y=A \# B$ 真值表	247
表 A.7	74LS74 真值表	248
表 A.8	$Y=A \oplus B$ 真值表	248
表 A.9	74107 真值表	248
表 A.10	74125 真值表	249
表 A.11	74139 真值表	249
表 A.12	74153 真值表	250
表 A.13	74HC174 真值表	251
表 A.14	74240 真值表	252
表 A.15	74HC244 真值表	252
表 A.16	74HC273 真值表	253
表 A.17	74HC298 真值表	254
表 A.18	74HC374 真值表	254

1.1 TEC-8 实验系统的用途

TEC-8 计算机硬件综合实验系统,以下简称 TEC-8 实验系统,用于数字逻辑与数字系统、计算机组成原理的实验教学,也可用于数字系统的研究开发,为提高学生的动手能力、培养学生的创新精神提供了一个良好的舞台。

1.2 TEC-8 实验系统技术特点

TEC-8 实验系统技术的特点如下。

(1) 模型计算机采用 8 位字长、简单而实用,有利于学生掌握模型计算机整机的工作原理。通过 8 位数据开关用手动方式输入二进制测试程序,有利于学生从最底层开始了解计算机工作原理。

(2) 指令系统采用 4 位操作码,可容纳 16 条指令。已实现加法、减法、逻辑与、加 1、存数、取数、C 条件转移、Z 条件转移、无条件转移、输出、中断返回、开中断、关中断和停机共 14 条指令,指令功能非常典型。

(3) 采用双端口存储器(RAM)作为主存,实现数据总线和指令总线双总线体制,实现指令流水功能,体现出现代 CPU 设计思想。

(4) 控制器采用微程序控制器和硬连线控制器两种类型,体现了当代计算机控制器技术的完备性。

(5) 微程序控制器和硬连线控制器之间的转换采用独创的一次全切换方式,切换不用关掉电源,切换简单、安全可靠。

(6) 控制存储器中的微代码可用 PC 下载,省去了 E²PROM 器件的专用编辑器和对器件的插、拔。

(7) 运算器中 ALU 采用 2 片 74181 实现,4 个 8 位寄存器组用一片 EPM7064 实现,设计新颖。

(8) 一条机器指令的时序采用不定长机器周期方式,符合现代计算机设计思想。

(9) 通用区提供了若干双列直插的器件插座,用于“数字逻辑和数字系统”课程的基本实验。

(10) 一片在系统可编程器件 Altera EPM7128S CPLD 既可用于作为硬连线控制器