

21世纪高等学校规划教材 | 电子信息



FPGA/Verilog技术基础 与工程应用实例

李勇 何勇 朱晋 孟照伟 编著



清华大学出版社

21世纪高等学校规划教材 | 电子信息



FPGA/Verilog技术基础 与工程应用实例

李勇 何勇 朱晋 孟照伟 编著

清华大学出版社
北京

内 容 简 介

本书根据 FPGA/Verilog HDL 技术的应用现状,结合作者多年的教学经验总结,以理论基础联系工程设计应用,循序渐进地对 FPGA/Verilog HDL 技术基础、工程应用案例进行详尽的介绍,使得读者通过学习,能够从事相关技术的研发工作。

全书分为 8 章,主要介绍了 FPGA 技术,Verilog HDL 语法基础,Verilog HDL 设计进阶,Quartus 及 Modelsim 设计工具,FPGA 系统设计实例,时序约束分析及实例讲解,Quartus 与 Matlab 协同设计举例,SOPC 系统设计及举例。前半部分的基础知识章节列举了大量的例题,并且对易犯错的语句、语法进行对比讲解,后半部分的工程设计实例章节详细说明了操作的每一个步骤,并且配有相应的插图,最后还对设计结果进行了简要分析。

本书可作为高等院校通信工程、自动化控制工程、电子工程及其他相近专业本、专科生的教材,也可供相应的工程技术人员和科研人员参考。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

FPGA/Verilog 技术基础与工程应用实例/李勇等编著. —北京:清华大学出版社,2016

(21 世纪高等学校规划教材·电子信息)

ISBN 978-7-302-45354-3

I. ①F… II. ①李… III. ①现场可编程门阵列—系统设计—高等学校—教材 ②VHDL 语言—程序设计—高等学校—教材 IV. ①TP331.2 ②TP312

中国版本图书馆 CIP 数据核字(2016)第 262235 号

责任编辑:付弘宇 李 晔

封面设计:傅瑞学

责任校对:时翠兰

责任印制:沈 露

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座 邮 编:100084

社总机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质量反馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

课 件 下 载: <http://www.tup.com.cn>, 010-62795954

印 装 者:北京密云胶印厂

经 销:全国新华书店

开 本:185mm×260mm

印 张:12.75

字 数:308 千字

版 次:2016 年 12 月第 1 版

印 次:2016 年 12 月第 1 次印刷

印 数:1~2000

定 价:29.80 元

产品编号:068689-01

出版说明

随着我国改革开放的进一步深化,高等教育也得到了快速发展,各地高校紧密结合地方经济建设发展需要,科学运用市场调节机制,加大了使用信息科学等现代科学技术提升、改造传统学科专业的投入力度,通过教育改革合理调整和配置了教育资源,优化了传统学科专业,积极为地方经济建设输送人才,为我国经济社会的快速、健康和可持续发展以及高等教育自身的改革发展做出了巨大贡献。但是,高等教育质量还需要进一步提高以适应经济社会发展的需要,不少高校的专业设置和结构不尽合理,教师队伍整体素质亟待提高,人才培养模式、教学内容和教学方法需要进一步转变,学生的实践能力和创新精神亟待加强。

教育部一直十分重视高等教育质量工作。2007年1月,教育部下发了《关于实施高等学校本科教学质量与教学改革工程的意见》,计划实施“高等学校本科教学质量与教学改革工程”(简称“质量工程”),通过专业结构调整、课程教材建设、实践教学改革、教学团队建设等多项内容,进一步深化高等学校教学改革,提高人才培养的能力和水平,更好地满足经济社会发展对高素质人才的需要。在贯彻和落实教育部“质量工程”的过程中,各地高校发挥师资力量强、办学经验丰富、教学资源充裕等优势,对其特色专业及特色课程(群)加以规划、整理和总结,更新教学内容、改革课程体系,建设了一大批内容新、体系新、方法新、手段新的特色课程。在此基础上,经教育部相关教学指导委员会专家的指导和建议,清华大学出版社在多个领域精选各高校的特色课程,分别规划出版系列教材,以配合“质量工程”的实施,满足各高校教学质量和教学改革的需要。

为了深入贯彻落实教育部《关于加强高等学校本科教学工作,提高教学质量的若干意见》精神,紧密配合教育部已经启动的“高等学校教学质量与教学改革工程精品课程建设工作”,在有关专家、教授的倡议和有关部门的大力支持下,我们组织并成立了“清华大学出版社教材编审委员会”(以下简称“编委会”),旨在配合教育部制定精品课程教材的出版规划,讨论并实施精品课程教材的编写与出版工作。“编委会”成员皆来自全国各类高等学校教学与科研第一线的骨干教师,其中许多教师为各校相关院、系主管教学的院长或系主任。

按照教育部的要求,“编委会”一致认为,精品课程的建设工作从开始就要坚持高标准、严要求,处于一个比较高的起点上。精品课程教材应该能够反映各高校教学改革与课程建设的需要,要有特色风格、有创新性(新体系、新内容、新手段、新思路,教材的内容体系有较高的科学创新、技术创新和理念创新的含量)、先进性(对原有的学科体系有实质性的改革和发展,顺应并符合21世纪教学发展的规律,代表并引领课程发展的趋势和方向)、示范性(教材所体现的课程体系具有较广泛的辐射性和示范性)和一定的前瞻性。教材由个人申报或各校推荐(通过所在高校的“编委会”成员推荐),经“编委会”认真评审,最后由清华大学出版

社审定出版。

目前,针对计算机类和电子信息类相关专业成立了两个“编委会”,即“清华大学出版社计算机教材编审委员会”和“清华大学出版社电子信息教材编审委员会”。推出的特色精品教材包括:

(1) 21 世纪高等学校规划教材·计算机应用——高等学校各类专业,特别是非计算机专业的计算机应用类教材。

(2) 21 世纪高等学校规划教材·计算机科学与技术——高等学校计算机相关专业的教材。

(3) 21 世纪高等学校规划教材·电子信息——高等学校电子信息相关专业的教材。

(4) 21 世纪高等学校规划教材·软件工程——高等学校软件工程相关专业的教材。

(5) 21 世纪高等学校规划教材·信息管理与信息系统。

(6) 21 世纪高等学校规划教材·财经管理与应用。

(7) 21 世纪高等学校规划教材·电子商务。

(8) 21 世纪高等学校规划教材·物联网。

清华大学出版社经过三十多年的努力,在教材尤其是计算机和电子信息类专业教材出版方面树立了权威品牌,为我国的高等教育事业做出了重要贡献。清华版教材形成了技术准确、内容严谨的独特风格,这种风格将延续并反映在特色精品教材的建设中。

清华大学出版社教材编审委员会

联系人:魏江江

E-mail:wei jj@tup.tsinghua.edu.cn

前言

电子技术的发展日新月异,从早期的基于晶体管和中小规模集成电路的设计转变为如今的以大规模集成电路为核心的 SOC 设计;从以硬件为主的简单电路设计转变为以 EDA 软件编程技术为主的复杂系统设计。数字电子技术的设计更是如此,从早期的以 51 单片机为主、基于汇编语言编程的设计,转变为如今以 ARM、DSP、FPGA 为核心,基于高级软硬件语言编程的电路设计,这些转变不过短短一二十年。

早期的电子设计中,FPGA 由于其并行执行的能力强,因此一般用在高速信息处理的场合,例如图像、视频数据采集与处理。随着 FPGA 集成度的提高、大量软核的开发,FPGA 体现出越来越多的灵活性,使用的场合也越来越广。以前,以 ARM 为控制核心,DSP 做信号处理,FPGA 做高速采集的设计思路,现在可用软核的形式全部集成在一块 FPGA 芯片中,使得硬件系统的集成化程度变得越来越高。基于上述优势,FPGA 的应用领域也变得越来越宽,智能汽车、工业控制、军事航空、消费电子、信息通信等领域对 FPGA 的依赖程度变得越来越高。

FPGA 的设计主要以基于硬件描述语言的 EDA 设计方法为主,在复杂的系统中,也可以采用构建嵌入式处理器加外围接口电路的 SOPC 等设计方法。本书的编写主要以 FPGA 的硬件描述语言为核心,并通过大量实例介绍综合系统的设计方法。

全书共分为 8 章,主要内容如下:

第 1 章主要介绍 FPGA 的开发方法和工具,以及该技术的发展趋势。

第 2 章主要介绍 Verilog HDL 的基础语法结构和相应的设计实例。

第 3 章主要介绍 Quartus II 及 Modelsim 设计工具的使用方法。

第 4 章主要介绍 Verilog HDL 如何应用在组合逻辑电路和时序逻辑电路设计中,同时介绍了状态机的设计。

第 5 章主要介绍基于 Verilog HDL 的设计实例,包含按键接口、LCD 控制、A/D 采集等常用模块的 FPGA 实现。

第 6 章主要介绍时序约束的意义及方法,并通过实例进行详细说明。

第 7 章主要介绍 Quartus 与 Matlab 协同设计方法,并通过 4 个实例进行详细说明。

第 8 章主要介绍 SOPC 的基本概念,并通过实例介绍 SOPC 的设计流程。

通过本书的学习,读者将能够独立地运用 Verilog HDL 硬件描述语言及相关 EDA 软件实现 FPGA 的系统设计。

本书由成都理工大学工程技术学院的李勇、何勇、朱晋、孟照伟 4 位教师共同编写完成。其中李勇老师主要负责全书的筹划、统稿等工作,并负责编写本书的第 1、6、7 章;何勇老师负责编写本书的第 3、5、8 章;朱晋老师主要编写本书的第 2 章;孟照伟老师主要编写本书的第 4 章。

在本书的编写过程中,成都理工大学工程技术学院电子信息与计算机工程系的系主任柳建博士和其他同仁给予了大力支持,在此表示感谢。另外,编者还引用了其他相关文献和网络资源,在此对其相应的学者和作者表示衷心的感谢!

由于编者水平有限,书中不妥之处在所难免,请广大读者批评指正,我们将作进一步完善。

编 者

2016 年 3 月

目 录

第 1 章	FPGA 技术	1
1.1	认识 FPGA	1
1.2	学习 FPGA 的意义	2
1.3	FPGA 器件选型	3
1.4	FPGA 的开发方法及工具	5
1.5	FPGA 的三种应用类型	6
1.6	FPGA 技术的发展趋势	6
1.7	FPGA 与 CPLD 的特点比较	7
1.8	FPGA 的 JTAG 加载	8
1.9	FPGA 的边界扫描测试	10
	习题	12
第 2 章	Verilog HDL 语法基础	13
2.1	Verilog HDL 简介	13
2.2	Verilog HDL 基本模块结构	14
2.2.1	Verilog HDL 设计程序介绍	14
2.2.2	模块端口定义	15
2.2.3	模块内容	16
2.3	Verilog HDL 语言要素	16
2.3.1	常量	16
2.3.2	变量	17
2.3.3	标识符	18
2.3.4	关键词	19
2.4	运算符及表达式	19
2.4.1	基本的算术运算符	19
2.4.2	位运算符	20
2.4.3	逻辑运算符	21
2.4.4	关系运算符	21
2.4.5	等式运算符	22
2.4.6	移位运算符	23
2.4.7	位拼接运算符	23
2.4.8	缩减运算符	24

2.5	Verilog HDL 基本语句	25
2.5.1	赋值语句	25
2.5.2	块语句	28
2.5.3	条件语句	30
2.5.4	循环语句	33
2.6	任务与函数	37
2.6.1	系统任务	37
2.6.2	函数	39
2.7	预编译指令	41
2.7.1	宏定义指令`define	41
2.7.2	“文件包含”指令`include	41
2.7.3	时间尺度`timescale	42
2.7.4	条件编译指令`ifdef、`else、`endif	43
小结		44
习题		44
第3章	Quartus II 及 Modelsim 设计工具的使用方法	45
3.1	Quartus II 软件使用方法	45
3.1.1	FPGA 的设计流程	45
3.1.2	Quartus II 的设计流程	47
3.2	Modelsim 的调用及 Testbench 编写	62
习题		71
第4章	Verilog HDL 设计进阶	73
4.1	Verilog HDL 组合电路设计	73
4.1.1	Verilog HDL 设计的不同描述方式	73
4.1.2	选择电路的设计	77
4.1.3	基本组合逻辑电路设计实例	84
4.2	Verilog HDL 时序电路设计	86
4.2.1	触发器的描述方式	87
4.2.2	计数器与分频器的设计	90
4.2.3	阻塞赋值与非阻塞赋值	95
4.3	Verilog HDL 有限状态机设计	99
4.3.1	Moore 型状态机和 Mealy 型状态机的设计	100
4.3.2	Verilog HDL 有限状态机的不同设计方法	100
小结		103
习题		104

第 5 章 基于 Verilog 的 FPGA 系统设计实例	105
5.1 LED 花样灯控制模块的设计	105
5.2 按键及防抖接口电路设计	111
5.3 LCD1602 液晶控制器设计	115
5.4 A/D 转换控制器的设计	119
第 6 章 时序约束分析及实例讲解	124
6.1 关于时序约束	124
6.2 输入最大最小延时	125
6.2.1 最大输入延时	126
6.2.2 最小输入延时	126
6.3 输出最大最小延时	127
6.3.1 最大输出延时	128
6.3.2 最小输出延时	128
6.4 时序约束实例讲解	129
6.4.1 时钟的时序约束	129
6.4.2 I/O 口的时序约束	134
习题	141
第 7 章 Quartus 与 Matlab 协同设计举例	142
7.1 正弦信号发生器设计	142
7.1.1 设计方案	142
7.1.2 设计步骤	142
7.1.3 设计结果	150
7.2 快速傅里叶变换设计	151
7.2.1 快速傅里叶变换原理	151
7.2.2 设计思路	153
7.2.3 设计步骤	153
7.2.4 设计结果	156
7.3 CIC 抽取滤波器设计	157
7.3.1 CIC 抽取滤波器设计原理	157
7.3.2 12 倍抽取滤波器设计与仿真	158
7.3.3 仿真结果分析	165
7.4 CIC 插值滤波器设计	166
7.4.1 CIC 插值滤波器原理及数据处理	166
7.4.2 12 倍插值滤波器设计与仿真	167
7.4.3 仿真结果分析	171
习题	172

第 8 章 SOPC 系统设计	173
8.1 SOPC 及其技术概述	173
8.2 基于 SOPC 的系统设计举例	175
8.2.1 SOPC 系统设计流程	175
8.2.2 SOPC 系统设计举例	176
参考文献	189

第1章

FPGA技术

1.1 认识 FPGA

1. 基本概念

FPGA 是 Field Programmable Gate Array 的缩写,即现场可编程门阵列,它是在 PAL、GAL、CPLD 等可编程器件的基础上进一步发展的产物。它是作为专用集成电路(ASIC)领域中的一种半定制电路而出现的,既解决了定制电路的不足,又克服了原有可编程器件门电路数量有限的缺点。图 1.1 是 Altera 公司生产的一款 FPGA 芯片外观图。

2. FPGA 的组成

FPGA 主要由 6 部分组成,分别为可编程输入/输出单元、基本可编程逻辑单元、嵌入式块 RAM、丰富的布线资源、底层嵌入功能单元和内嵌专用硬核等。每个单元简介如下:

1) 可编程输入/输出单元(I/O 单元)

目前大多数 FPGA 的 I/O 单元被设计为可编程模式,即通过软件的灵活配置,可适应不同的电器标准与 I/O 物理特性;可以调整匹配阻抗特性,上下拉电阻;可以调整输出驱动电流的大小等。

2) 基本可编程逻辑单元

FPGA 的基本可编程逻辑单元是由查找表(LUT)和寄存器(Register)组成的,查找表完成纯组合逻辑功能。FPGA 内部寄存器可配置为带同步/异步复位和置位、时钟使能的触发器,也可以配置成为锁存器。FPGA 一般依赖寄存器完成同步时序逻辑设计。一般来说,比较经典的基本可编程单元的配置是一个寄存器加一个查找表,但不同厂商的寄存器和查找表的内部结构有一定的差异,而且寄存器和查找表的组合模式也不同。

3) 嵌入式块 RAM

目前大多数 FPGA 都有内嵌的块 RAM。嵌入式块 RAM 可以配置为单端口 RAM、双端口 RAM、伪双端口 RAM、CAM、FIFO 等存储结构。除了块 RAM, Xilinx 和 Lattice 的



图 1.1 FPGA 芯片外观图

FPGA 还可以灵活地将 LUT 配置成 RAM、ROM、FIFO 等存储结构。

简单地说, RAM 是一种写地址、读数据的存储单元; 而另外一种 CAM 与 RAM 恰恰相反, CAM 即内容地址存储器, 写入 CAM 的数据会和其内部存储的每一个数据进行比较, 并返回与端口数据相同的所有内部数据的地址。

4) 丰富的布线资源

布线资源连通 FPGA 内部所有单元, 连线的长度和工艺决定着信号在连线上的驱动能力和传输速度。布线资源的划分如下:

(1) 全局性的专用布线资源——以完成器件内部的全局时钟和全局复位/置位的布线。

(2) 长线资源——用以完成器件 Bank 间的一些高速信号和一些第二全局时钟信号的布线(第二全局时钟是长度、驱动能力仅次于全局时钟的一种时钟资源)。

(3) 短线资源——用来完成基本逻辑单元间的逻辑互连与布线。

(4) 其他——在逻辑单元内部还有着各种布线资源和专用时钟、复位等控制信号线。

由于在设计过程中, 往往由布局布线器自动根据输入的逻辑网表的拓扑结构和约束条件选择可用的布线资源连通所用的底层单元模块, 所以常常忽略布线资源。其实布线资源的优化与使用 and 实现结果有直接关系。

5) 底层嵌入功能单元

具体嵌入的功能单元要看是哪个具体厂商的哪种型号的芯片, 也就是没有固定说法。

6) 内嵌专用硬核

与“底层嵌入单元”是有区别的, 这里指的硬核主要是那些通用性相对较弱, 不是所有 FPGA 器件都包含的硬核。

一个简单的 FPGA 内部结构图如图 1.2 所示。

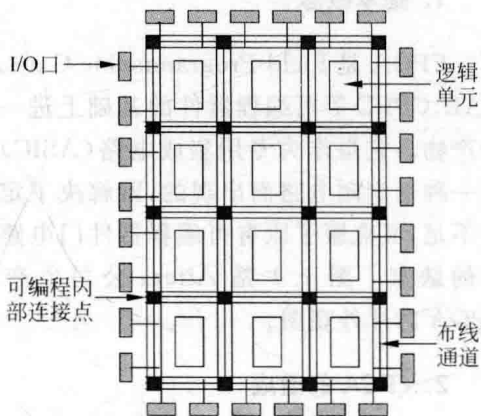


图 1.2 FPGA 内部结构图

1.2 学习 FPGA 的意义

既然我们学习了 51 系列单片机、ARM, 甚至于 DSP, 为什么还要学习 FPGA 呢? 首先, 我们要认识到在这种 CPU 架构体系的设计中, 大部分应用工程师是在相对固定的硬件系统上从事开发, 也就是硬件 CPU 这一半是不可编程的, 另一半灵活可编程的是软件, 因此很自然会联想到: 如果两个部分都是可编程的, 那会是怎样一种情况呢? 很好, 现在有一种器件来了, 这就是 FPGA, 它代表的就是硬件的编程。这两部分都可编程的一个结合点, 就是 FPGA 上的软核, 在 Altera 提供的 SOPC 开发环境就是如此, 你可以像以往一样在生成硬件架构以后进行软件开发。尤其是它可以随心所欲地定制外设, 外设不再固定, 更进一步, 它还支持增加自定义指令, 从而改变 CPU。在软件上可以用 C2H 把原来属于软件运行的指令变换成 RTL 逻辑来完成, 极大地提高了效率。

其次, 选择 FPGA 的一个直接原因是它的并行和灵活, 尤其是它的可重构性, 特别是局部单元电路可重构的 FPGA, 更能够做到像人类大脑中的信息处理机制一样, 也就是信息处

理的过程中根据需要能够改变物理联系通道,即底层硬件电路,同时也能带来体系结构上和实现算法上的革命性创新。这样的 FPGA 和相应的算法会在体系结构上取胜,能够在不久的将来构建软硬件更加协调的应用方案。这种类型的 FPGA 器件(或以其他名字命名的器件)必然会出现。

最后,谈谈数字信号处理应用这个领域。在现代数字信号处理中,以往很多时候我们选择的都是带数字信号处理优化指令的 CPU,像 TI 和 ADI 公司就拥有很多 DSP 芯片,在这些 DSP 芯片上实现算法处理,一般用 C 描述算法(关键处理用汇编语言),编译以后以机器指令的方式在 DSP 芯片上运行,在一个芯片上这样的 DSP 处理单元是不多的,需要软件做不断重复的迭代运算,从而高效利用这些 DSP 指令单元,重复的指令执行过程影响了 DSP 处理能力的提升,而现在 FPGA 以其并行性和高 DSP 处理性能进入到信号处理领域,在高端 DSP 处理领域中,FPGA 的并行优势得到很好的体现,特别是 FPGA 在逻辑、DSP 处理块、片上 RAM 规模越来越大的情况下,这个优势会更多地展现出来。

1.3 FPGA 器件选型

1. FPGA 芯片命名规则

以 ALTERA 的产品型号为例进行说明,其命名格式如图 1.3 所示。

图 1.3 中的芯片命名格式包含 7 个部分。一是前缀:EP 典型器件;EPC 组成的 EPROM 器件;EPF(FLEX 10K 或 FLFX 6000 系列、FLFX 8000 系列);EPM(MAX5000 系列、MAX7000 系列、MAX9000 系列);EPX(快闪逻辑器件)。二是器件型号。三是 LE 数量:XX(K)。四是封装形式:F 是 FBGA 封装,D 是陶瓷双列直插;Q 是塑料四面引线扁平封装;P 是塑料双列直插,R 是功率四面引线扁平封装;S 是塑料微型封装;T 是薄型 J 形引线芯片载体;五是管脚数。六是温度范围:C 代表 $0\sim 70^{\circ}\text{C}$;I 代表 $-40^{\circ}\text{C}\sim 85^{\circ}\text{C}$;M 代表 $-55^{\circ}\text{C}\sim 125^{\circ}\text{C}$ 。七是速度等级,数字越小速度越快。

下面以 EP2C35F672C6N 为例做一个说明:

EP——工艺类型;

2C——cyclone2(S 代表 stratix,A 代表 arria);

35——逻辑单元数,35 表示约有 35K 的逻辑单元;

F——表示 FBGA 封装类型;

672——表示管脚数量;

C——工作温度,C 表示可以工作在 $0\sim 85^{\circ}\text{C}$;

6——速度等级,6 代表 500MHz(7 代表 430MHz,8 代表 400MHz);

N——后缀,N 表示无铅,ES 表示工程样片。

2. 获取芯片资料

要做芯片的选型,首先就是要对有可能面对的芯片有整体的了解,也就是说,要尽可能多地先获取芯片的资料。现在 FPGA 主要有 4 个生产厂家:ALTERA、XILINX、

LATTICE 和 ACTEL。获取资料最便捷的途径就是这些生产厂家的官方网站(<http://www.altera.com.cn/>、<http://china.xilinx.com/>、<http://www.lattice.com/>和 <http://www.actel.com/intl/china/>)。一般情况下,官方网站都会按照产品系列或应用场合列出所有的产品,直观地告诉你某个系列产品的应用场合。例如在 ALTERA 的网站,就会明确标明它的三大类 FPGA 产品:高端的 Stratix 系列、中端的 Arria 系列和低成本的 Cyclone 系列。

3. FPGA 厂家的选择

生产 FPGA 厂家主要有 ALTERA、XILINX、LATTICE 和 ACTEL。每个厂家的产品都有各自的特色和适用领域。选择厂家是一个相对比较复杂的过程,要综合考虑下面几个因素:

(1) 满足项目特殊的需求。例如你要选择 4mmx4mm 封装的小体积同时又不需要配置芯片的 FPGA,那么可能 ACTEL 就是你唯一的选择。如果需要一个带 ADC 的 FPGA 芯片,那么可能只能选择 XILINX 和 ACTEL 的某些带 ADC 的 FPGA。

(2) 供货,好的供货渠道对于产品的量产会有比较好的保证,如果没有特殊渠道,还是选择那些比较好买并且广泛使用的型号。

(3) 看价格,低价格会有效地提高产品的竞争力,是技术人员对所有符合要求的厂家产品的熟悉程度。使用最熟悉的产品,可以有效地减小开发的难度,缩短开发时间,加快产品上市时间。

(4) 该芯片的成熟度,是不是有较好的开发软件平台,是不是有较好的技术支持,是不是有大批量的应用,是否可以比较容易地获取到资源等。

4. 芯片系列的选择

每个 FPGA 的生产厂家都有多个系列的产品,以此满足不同应用场合对性能和价格的不同需求。例如对于 Altera 公司的 FPGA 产品,主要分为三个系列,分别是高端的 Stratix、中端的 Arria 和低端的 Cyclone。

每一个系列的 FPGA 芯片,可能又分为好几代产品,例如 Altera 的 Cyclone 系列,到现在已经发展了 Cyclone、Cyclone II、Cyclone III 和 Cyclone IV 四代产品。这种产品的升级换代很大程度上都是由于半导体工艺的升级换代引起的。随着半导体工艺的升级换代,FPGA 芯片也在升级换代的过程中,提供了更强大的功能、更低的功耗和更好的性价比。那么在确定一个系列的 FPGA 后,选择哪一代产品则又成为一个问题。在价格和供货都没有问题的情况下,选择越新的产品越好。一定不能选择厂家已经或者即将停产的芯片。任何产品都是有生命周期的,目标就是尽量保证在产品的生命周期里,所用到的芯片的生命周期还没有结束。在产品初期规划时做芯片选型,要尽可能选用厂家刚量产或者量产不久的产品,在有确切的供货渠道的情况下,甚至可以选择厂家即将量产的芯片。

在 Cyclone III 这个系列的 FPGA 中,又分为两个不同的子系列:普通的 Cyclone III 和 Cyclone III LS。在每个子系列里,根据片内资源的不同又分为更多的型号,例如普通的 Cyclone III 子系列,就包含了 EP3C5、EP3C10、EP3C16、EP3C25、EP3C40、EP3C55、EP3C80 和 EP3C120 共 8 种型号的芯片。每个型号的芯片又根据通用 I/O 口数量和封装区分出不同的芯片。例如,EP3C5 的芯片又有 EP3C5E144、EP3C5M164、EP3C5F256 和 EP3C5U256 这 4 种不同的芯片。而每一种芯片,又有不同的速度等级,例如 EP3C5E144 就有 C7、C8、I7

和 A7 这 4 个速度等级。

表 1.1 从不同的角度列出了普通 Cyclone III 系列的 FPGA 参数,这些表格都源自于 Cyclone III 芯片的官方文档。

表 1.1 芯片的片内资源

	Cyclone III 系列 FPGA 的最大资源数目					
	EP3C5	EP3C10	EP3C16	EP3C25	EP3C40	EP3C55
逻辑单元(K)	5	10	15	25	40	56
M9K 存储块	46	46	56	66	126	260
嵌入式存储块	414	414	504	594	1134	2340
18×18 乘法器	23	23	56	66	126	156
全局时钟网络	10	10	20	20	20	20
锁相环	2	2	4	4	4	4
配置文件大小(MB)	2.8	2.8	3.9	5.5	9.1	14.2
设计安全性	安全					
支持的 I/O 口电压(V)	1.2 1.5 1.8 2.5 3.3					
支持的 I/O 口标准	LVDS, LVPECL, Differential SSTL-18, Differential SSTL-2, Differential HSTL, SSTL-2(I and II), 1.5-V HSTL(I and II), 1.8-V HSTL(I and II), PCI, PCI-X1					
低压差分模拟通道	66	66	136	79	223	159
片上终端电阻	串行; 差分					
支持的存储设备	QDR II, DDR2, DDR, SDR					

总之,在选择具体的芯片型号以及封装的时候,要根据这几个方面做综合的考量:片上资源、封装和速度等级。

1.4 FPGA 的开发方法及工具

FPGA 设计采用的常用方法是自上而下(Top-Down)的设计方法。自上而下是指将数字系统的整体逐步分解为各个子系统和模块,若子系统规模较大,则还需将子系统进一步分解为更小的子系统和模块,层层分解,直至整个系统中各个子系统关系合理,并便于逻辑电路级的设计和实现为止。

自上而下设计中可逐层描述,逐层仿真,保证满足系统指标,其设计思想如图 1.4 所示。

还有一种新兴的协同设计方法,也就是联合其他第三方工具进行系统设计,目前 Mathworks 公司的 MatLab 开发工具就是一个很好的选择,它拥有算法仿真到 RTL COREGENERATE,使得 FPGA 的 DSP 应用开发流程得以完整的实现,各个 FPGA 厂商也提供了各自的 Matlab simulink 下的工具套件,例如 Altera 的 DSP Builder、Xilinx 的 core generate 和 Xilinx AccelDSP,这些软件完成了算法描述到硬件状态逻辑处理机的转换。这种开发

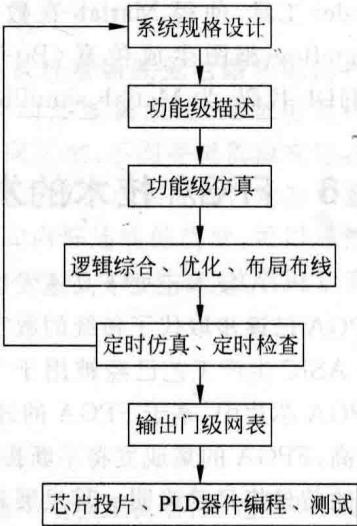


图 1.4 自上而下设计流程

方式现在还处于初始阶段,软件工具、开发习惯等都需要我们有一个学习积累的过程。

目前主要的 FPGA 厂商 Altera、Xilinx、Lattice 都提供了各自的 FPGA 开发工具,分别是 Altera 的 Quartus II、Xilinx 的 ISE、Lattice 的 ispLever。我们可以选择先熟悉一家公司的开发环境(或者根据开发板的具体芯片选择厂商环境),以后根据器件选择的需要,再去熟悉其他的环境,这样学习周期就可以缩短。通用的步骤是:建立项目,设计输入(代码或原理图),功能仿真,管脚锁定和相关时钟约束,综合,功能仿真,影射、布局、布线,时序仿真等。这个过程需要一段时间去熟悉。

如果是由单片机系统转过来学习软核系统的开发,也需要掌握这些工具,同时掌握厂商提供的系统集成工具和软件开发工具,Altera 提供的集成环境是 SOPC Builder,软件开发环境是 NIOS II IDEo, Xilinx 提供的集成环境是 Xilinx Platform Studio,软件开发环境是 Xilinx Platform Studio SDK。

1.5 FPGA 的三种应用类型

目前,在 FPGA 上有三种类型开发方法和应用方向:逻辑类应用、软核类应用和 DSP 类应用。

逻辑类应用我们接触的最早,也是 FPGA 最初的应用领域,在大的应用上,一些数字 IC 设计可以在 FPGA 做前期的功能验证,在通信领域,FPGA 做信号的编解码等;在小的应用上,做的最多的实际是 CPLD,完成信号的变换控制等。

软核应用是前几年才兴起的,现在是热门的开发应用方法,在原本需要 FPGA 结合 CPU 的地方有成本和灵活性优势。

FPGA 的 DSP 应用是非常有潜力的,性能优势非常明显。开发方法是用 Matlab 的 simulink 中嵌入厂商的开发工具包,算法验证在 Matlab simulink 工具下完成,在开发工具包的支持下生成 HDL 模块或者直接生成 FPGA 下载配置文件,这个方向是 FPGA 应用最有挑战能力的领域。Mathworks 公司不久前也推出了独立于 FPGA 厂商的 Simulink HDL Coder 工具,使得 Matlab 在数字系统设计领域迈出了坚实的一步,把 Simulink 模型和 Stateflow 框图生成位真(Bit-True)、周期精确(Cycle-Accurate)、可综合的 Verilog 和 VHDL 代码,为 Matlab simulink 用户提供了通往 FPGA 设计实现的直接通道。

1.6 FPGA 技术的发展趋势

FPGA 技术正处于高速发展时期,新型芯片的规模越来越大,成本也越来越低,低端的 FPGA 已逐步取代了传统的数字元件,高端的 FPGA 不断在争夺 ASIC 的市场份额。先进的 ASIC 生产工艺已经被用于 FPGA 的生产,越来越丰富的处理器内核被嵌入到高端的 FPGA 芯片中,基于 FPGA 的开发成为一项系统级设计工程。随着半导体制造工艺的不断提高,FPGA 的集成度将不断提高,制造成本将不断降低,其作为替代 ASIC 来实现电子系统的前景将日趋光明。其发展趋势总结为以下几点。