



普通高等教育“十三五”规划教材
电子信息科学与工程类专业 规划教材

DSP 原理与应用

(第2版)

◆ 刘 伟 主编

Electronic Information
Science and Engineering



中国工信出版集团



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

电子信息科学与工程类专业规划教材

介 绍

DSP 原理与应用

(第2版)

刘 伟 主编

王 玮 卢恒炜 陈文钢 张 雪 参编



电子工业出版社

Publishing House of Electronics Industry

北京 · BEIJING

内 容 简 介

本书主要介绍 TMS320C67xx 系列 DSP 芯片的基本特点、硬件结构及内部各模块的功能,并结合应用示例讲解各模块的工作原理;详细介绍 Code Composer Studio 集成开发环境,说明基本的 C 语言应用程序框架及混合编程的方法,并讲述系统自启动的过程。书中还包含大量 DSP 芯片的应用和算法示例程序,并给出时序控制寄存器各字段的计算方法,以及硬件读/写时序的测试波形。

本书内容全面、通俗易懂、实用性强,可作为电子信息工程、通信工程、自动化等专业高年级本科生和研究生“DSP 原理与应用”课程的教材或参考书,也可供从事 DSP 芯片开发应用的工程技术人员参考。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

DSP 原理与应用/刘伟主编. —2 版. —北京:电子工业出版社,2017.1

电子信息科学与工程类专业规划教材

ISBN 978-7-121-30247-3

I. ①D… II. ①刘… III. ①数字信号处理—高等学校—教材 IV. ①TN911.72

中国版本图书馆 CIP 数据核字(2016)第 260101 号

策划编辑:凌 毅

责任编辑:凌 毅

印 刷:三河市鑫金马印装有限公司

装 订:三河市鑫金马印装有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本:787×1 092 1/16 印张:19.25 字数:510 千字

版 次:2012 年 7 月第 1 版

2017 年 1 月第 2 版

印 次:2017 年 1 月第 1 次印刷

定 价:39.90 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010)88254888,88258888。

质量投诉请发邮件至 zlts@phei.com.cn,盗版侵权举报请发邮件至 dbqq@phei.com.cn。

本书咨询联系方式:(010)88254528, lingyi@phei.com.cn。

第2版前言

随着智能终端设备的普及,数字信号处理器(DSP)在通信、医疗等领域得到了大量的应用,并逐渐渗透到消费电子产品领域,深刻影响着人们的生活,人们已无法离开 DSP 芯片。现在主要的 DSP 厂商包括美国德州仪器(TI)公司、美国模拟器件(AD)公司和飞思卡尔(Freescale)等十几家公司,其中 TI 公司的 DSP 产品占据了市场的绝大部分份额,因此了解掌握 TI 公司 DSP 芯片的工作原理及使用方法,无论是对学习还是应用 DSP,均具有重要的意义。

TI 公司的 DSP 芯片分 TMS320C2000、C5000 和 C6000 三大系列。C6000 系列 DSP 是高速、高性能的芯片,包括 4 个子系列: OMAP-L1x DSP+ARM9 双核子系列、66AK2x Multicore DSP+ARM 多核子系列、C66x Multicore DSP 多核子系列、C674x Low Power DSP 低功耗子系列。其中 C67xx 系列 DSP 是 TI 公司高性能 32 位浮点数字信号处理器产品,该系列包括 TMS320C6713、TMS320C6727 和 TMS320C6748 等多种型号芯片。

作者结合多年的数字信号处理相关教学和工程开发经验编写此书,以 TMS320C6713 芯片为例详细介绍了 DSP 芯片的基本结构、内部各模块的功能和软件集成开发环境,说明了应用程序的基本框架,并结合每章节内容给出了示例程序。

本书主要作为电子信息、通信工程和自动化等专业高年级本科生和研究生学习 DSP 课程的教材或参考书,包括实验在内参考学时 48~60 学时,也可供从事 DSP 芯片开发应用的工程技术人员参考。

全书共分 14 章,第 1~8 章由刘伟编写,第 9、10、14 章由王玮编写,第 11 章由卢恒炜编写,第 12、13 章由陈文钢编写,全书由刘伟、张雪审校。在本书编写过程中,参考了大量的国内外著作和文献,在此致以由衷的谢意。硕士研究生秦福元、秦一博、张楠楠、谭成勋、陆文玲、张红霞、张宪林参与了资料的整理工作,在此表示感谢。

本书提供配套的电子课件及相关例程程序,读者可登录华信教育资源网: www.hxedu.com.cn,注册后免费下载。

由于编者水平有限,书中难免存在错误和不当之处,敬请读者批评指正。有关问题可发邮件至 weikey@sdut.edu.cn。

作者

2016 年 12 月

山东理工大学

目 录

第 1 章 DSP 概述.....	1	3.1.4 程序调试与性能分析	59
1.1 DSP 芯片的概念	1	3.1.5 硬件仿真和实时数据交换	65
1.2 DSP 芯片的发展	2	3.1.6 DSP/BIOS	66
1.3 DSP 芯片的特点	3	3.2 CCS 程序设计基础	69
1.4 DSP 芯片的分类	4	3.2.1 源文件和头文件	70
1.5 TI 系列 DSP 芯片	5	3.2.2 库文件	70
思考题与习题 1	9	3.2.3 公共目标文件	70
第 2 章 CPU 结构与指令集	10	3.2.4 链接器命令文件	73
2.1 CPU 的结构	10	3.2.5 #pragma 伪指令	75
2.2 存储器映射	15	3.2.6 中断向量表	77
2.3 汇编指令集	18	3.3 混合语言编程	78
2.3.1 指令集概述	18	3.3.1 混合编程的方法	79
2.3.2 寻址方式	20	3.3.2 混合编程的接口规范	79
2.3.3 读取/存储类指令	21	3.3.3 混合编程示例程序	79
2.3.4 算术运算类指令	22	3.4 芯片支持库	82
2.3.5 逻辑及字段操作类指令	26	3.5 系统自启动	90
2.3.6 搬移类指令	27	思考题与习题 3	94
2.3.7 程序转移类指令	28	第 4 章 锁相环	95
2.3.8 浮点运算指令	28	4.1 概述	95
2.3.9 资源对指令的约束	32	4.2 功能描述	96
2.3.10 乘累加示例程序	34	4.3 配置锁相环	97
2.3.11 汇编指令集汇总	36	4.4 寄存器	98
2.4 流水线	39	4.5 锁相环示例程序	100
2.5 中断	41	思考题与习题 4	101
2.5.1 中断类型和中断信号	41	第 5 章 定时器	102
2.5.2 中断服务表	43	5.1 概述	102
2.5.3 中断控制寄存器	45	5.2 控制寄存器	103
2.5.4 中断性能和编程考虑事项	47	5.3 计数器工作模式	104
思考题与习题 2	49	5.4 定时器示例程序	106
第 3 章 集成软件开发环境	50	思考题与习题 5	107
3.1 CCS 的使用	50	第 6 章 外部存储器接口	108
3.1.1 CCS 介绍	50	6.1 接口信号与控制寄存器	108
3.1.2 CCS 配置	54	6.2 SDRAM 同步接口设计	113
3.1.3 新建和导入工程	56	6.3 异步接口设计	124

思考题与习题 6	132	9.3.5 中断	211
第 7 章 增强的直接存储器访问	133	9.3.6 错误处理和管理	213
7.1 概述	133	9.3.7 回送模式	215
7.2 EDMA 术语	133	9.4 McASP 示例程序	216
7.3 EDMA 传输方式	134	思考题与习题 9	221
7.4 EDMA 控制寄存器	136	第 10 章 I²C 接口	222
7.5 参数 RAM 与通道传输参数	139	10.1 I ² C 接口简介	222
7.6 EDMA 的传输操作	142	10.2 功能概述	222
7.7 QDMA 数据传输	147	10.3 寄存器	223
7.8 EDMA 传输示例	149	10.4 详细操作	231
7.9 QDMA 数据搬移示例程序	150	10.5 中断请求	235
思考题与习题 7	151	10.6 EDMA 事件	236
第 8 章 多通道缓冲串口	152	10.7 复位/禁止 I ² C 模块	236
8.1 信号接口	152	10.8 编程指南	236
8.2 控制寄存器	153	10.9 I ² C 模块应用示例	237
8.3 时钟和帧同步信号	161	思考题与习题 10	241
8.4 标准模式传输操作	165	第 11 章 主机接口	242
8.5 串口的初始化	168	11.1 HPI 接口	242
8.6 多通道传输方式	169	11.2 HPI 寄存器	243
8.7 SPI 接口	172	11.3 HPI 总线访问	244
8.8 串口作为通用输入/输出引脚	175	11.4 主机访问顺序	245
8.9 McBSP 示例程序	176	思考题与习题 11	248
思考题与习题 8	186	第 12 章 通用输入/输出端口	249
第 9 章 多通道音频串口	187	12.1 GPIO 接口	249
9.1 McASP 术语	187	12.2 GPIO 寄存器	249
9.2 McASP 架构	188	12.3 通用输入/输出端口功能	253
9.2.1 接口信号	188	12.4 中断和事件产生	254
9.2.2 寄存器	190	12.4.1 直通模式	255
9.2.3 时钟和帧同步信号发生器	191	12.4.2 逻辑模式	255
9.2.4 串行器	194	12.4.3 GPINT 与 GP0 和/或 GPINT0 的 复用	260
9.2.5 格式化单元	194	12.5 GPIO 中断/事件	261
9.2.6 时钟检查电路	195	12.6 GPIO 应用示例	261
9.2.7 引脚控制	195	思考题与习题 12	262
9.3 McASP 操作	197	第 13 章 硬件系统设计	263
9.3.1 启动与初始化	197	13.1 DSP 硬件系统	263
9.3.2 传输模式	199	13.2 电源	264
9.3.3 数据发送和接收	206	13.3 时钟	268
9.3.4 格式化器	209		

第1章 DSP 概述

1.1 DSP 芯片的概念

在人们的生活环境中，存在着各种各样的信号。有些信号是人们需要的，如语音和美妙的音乐；有些信号则是不需要的，如建筑工地冲激钻和木锯的噪声。从工程意义上讲，不管有用、没用的信号，都携带着信息，信号处理就是提取、增强、存储和传输有用信息的过程。其最简单的功能就是从混乱的信息中提取有用的信息。信息是否有用是针对特定环境而言的，因此信号处理也是面向特定应用的。

现实生活中的信号多为模拟信号，这些信号在时间和幅度上连续变化。可以使用电阻、电容、晶体管和运算放大器组成模拟信号处理器(Analog Signal Processor, ASP)来处理这些信号，也可以使用包含加法器、乘法器和逻辑单元的数字电路对这些信号进行处理。这种数字电路即为数字信号处理器(Digital Signal Processor, DSP)。由于 DSP 使用离散的二进制数处理信号，所以必须先使用模数转换器(ADC)对模拟信号 $x(t)$ 采样量化后转换成数字信号 $x(n)$ ，再由 DSP 来处理，得到数字信号 $y(n)$ ，最后由数模转换器(DAC)转换成模拟信号 $y(t)$ 输出，此过程如图 1-1 所示。图中抗混叠滤波器为低通滤波器，滤掉截止频率以上的信号，以免在采样过程中引起混叠。平滑滤波器滤除高频分量，使输出信号更加平滑。

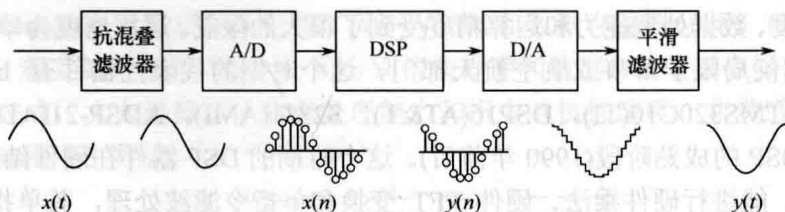


图 1-1 数字信号处理流程

ASP 系统由于使用了大量的模拟器件，因此存在着系统设计复杂，灵活性不高，抗干扰能力差等缺点；而 DSP 系统是基于软件设计的，能够实时修改程序以便适应不同的应用，因此灵活性高，并且抗干扰能力强，成本低。可以使用以下 4 种方法来处理数字信号：

- 在通用计算机上使用软件来实现实时性要求不高的处理；
- 利用 MCU(如 89C51)来实现简单的数字信号处理(Digital Signal Processing)；
- 利用专用 DSP 芯片来实现某种特定的应用处理，定制的 ASIC 芯片也应该归于此类；
- 利用通用 DSP 芯片来实现快速的数字信号处理算法。

其中，通用 DSP 具有强大的处理能力和可编程性，因此应用很广泛。通用 DSP 芯片是一种具有特殊结构的微处理器，芯片内部采用程序和数据分开的哈佛总线结构，能同时读取指令和数据。CPU 内核具有并行的多个功能单元，支持流水线操作，使取指、译码和执行等操作可以重叠执行，大大加快了程序的执行速度。CPU 内核还具有专门的硬件乘法器，独特的循环寻址模式，可以用来快速地实现各种数字信号处理算法，如快速傅里叶变换(FFT)、有限冲激响应滤波器(FIR)和无限冲激响应滤波器(IIR)等。由于具有这些优点，使得通用 DSP 擅长处理语音、图像信号，在工业控制、仪器仪表、电信、汽车、医学和消费等领域得到了大量的应用，如表 1-1 所示。

表 1-1 DSP 的典型应用

应用领域	实现的算法和功能
信号处理	数字滤波、自适应滤波、快速傅里叶变换、Hilbert 变换、相关运算、频谱分析、卷积、模式匹配、窗函数、波形产生等
通信	调制解调器、自适应均衡、数据加密、数据压缩、回波抵消、多路复用、传真、扩频通信、移动通信、纠错编译码、可视电话、路由器等
语音处理	语音编码、语音合成、语音识别、语音增强、语音邮件、语音存储、文本-语音转换等
图像处理	二维和三维图形处理、图像压缩与传输、图像鉴别、图像增强、图像转换、模式识别、动画、电子地图、机器人视觉等
军事	保密通信、雷达处理、声呐处理、导航、导弹制导、电子对抗、全球定位 GPS、搜索与跟踪、情报收集与处理等
仪器仪表	频谱分析、函数发生、数据采集、锁相环、模态分析、暂态分析、石油/地质勘探、地震预测与处理等
自动控制	引擎控制、声控、发动机控制、自动驾驶、机器人控制、磁盘/光盘伺服控制、神经网络控制等
医疗工程	助听器、X-射线扫描、心电图/脑电图、超声设备、核磁共振、诊断工具、病人监护等
家用电器	高保真音响、音乐合成、音调控制、玩具与游戏、数字电话/电视、高清晰度电视 HDTV、变频空调、机顶盒等
计算机	阵列处理器、图形加速器、工作站、多媒体计算机等

1.2 DSP 芯片的发展

DSP 芯片诞生于 20 世纪 70 年代末，经历以下 3 个阶段，至今已经得到了突飞猛进的发展。第一阶段，DSP 的雏形阶段(1980 年前后)。1978 年 AMI 公司生产出第一片 DSP 芯片 S2811。1979 年 Intel 公司发布了商用可编程 DSP 器件 Intel2920，由于内部没有单周期的硬件乘法器，使芯片的运算速度、数据处理能力和运算精度受到了很大的限制。运算速度为单指令周期 200~250ns，应用领域仅局限于军事或航空航天部门。这个时期的代表性器件有 Intel2920(Intel)，μPD7720(NEC)，TMS320C10(TI)，DSP16(AT&T)，S2811(AMI)，ADSP-21(AD)。

第二阶段，DSP 的成熟阶段(1990 年前后)。这个时期的 DSP 器件在硬件结构上更适合数字信号处理的要求，能进行硬件乘法、硬件 FFT 变换和单指令滤波处理，其单指令周期为 80~100ns。例如，TI 公司的 TMS320C20，它是该公司的第二代 DSP 器件，采用了 CMOS 制造工艺，其存储容量和运算速度成倍提高，为语音、图像硬件处理技术的发展奠定了基础。20 世纪 80 年代后期，以 TI 公司的 TMS320C30 为代表的第三代 DSP 芯片问世，伴随着运算速度的进一步提高，其应用范围逐步扩大到通信、计算机领域。这个时期的器件主要有：TI 公司的 TMS320C20、C30、C40、C50 系列，Motorola 公司的 DSP5600、9600 系列，AT&T 公司的 DSP32 等。

第三阶段，DSP 的完善阶段(2000 年以后)。这一时期，各 DSP 制造商不仅使信号处理能力更加完善，而且使系统开发更加方便、程序编辑调试更加灵活、功耗进一步降低、成本不断下降，尤其是各种通用外设集成到片上，大大提高了数字信号处理能力。这一时期的 DSP 运算速度可达到单指令周期 10ns 左右，可在 Windows 环境下直接用 C 语言编程，使用方便灵活，使 DSP 芯片不仅在通信、计算机领域得到了广泛的应用，而且逐渐渗透到人们的日常消费领域。目前，DSP 芯片的发展非常迅速。硬件方面主要是向多处理器的并行处理结构、便于外部数据交换的串行总线传输、大容量片上 RAM 和 ROM、程序加密、增加 I/O 驱动能力、外围电路内装化、低功耗等方面发展。软件方面主要是综合开发平台的完善，使 DSP 的应用开发更加灵活方便。

1.3 DSP 芯片的特点

除了具备普通微处理器所强调的高速运算和控制能力外，DSP 芯片针对实时数字信号处理的要求，在内部结构、指令系统、指令执行流程上做了很大的改进，其特点如下。

1. 采用哈佛结构

DSP 芯片普遍采用数据总线 and 程序总线分离的哈佛结构或改进的哈佛结构，比传统微处理器的冯·诺依曼结构有更快的指令执行速度。

冯·诺依曼(Von Neuman)结构采用单存储空间，即程序指令和数据公用一个存储空间，使用单一的地址和数据总线，取指令和取操作数都是通过一条总线分时进行的。当进行高速运算时，不但不能同时进行取指令和取操作数，而且还会造成数据传输通道的瓶颈现象，工作速度较慢，其结构如图 1-2 所示。

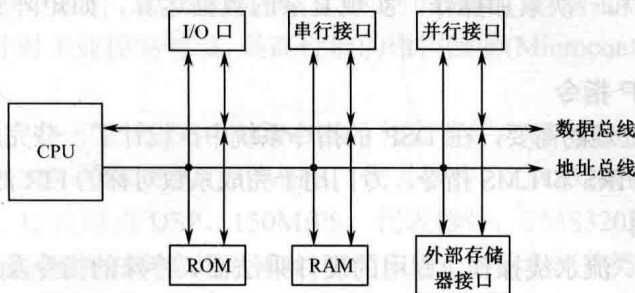


图 1-2 冯·诺依曼结构

哈佛(Harvard)结构采用双存储空间，程序存储器和数据存储器分开，有各自独立的程序总线和数据总线，独立编址和独立访问，可分别传输程序和数据，使取指令操作、指令执行操作、数据吞吐并行完成，大大地提高了数据处理能力和指令的执行速度，非常适合实时的数字信号处理，其结构如图 1-3 所示。

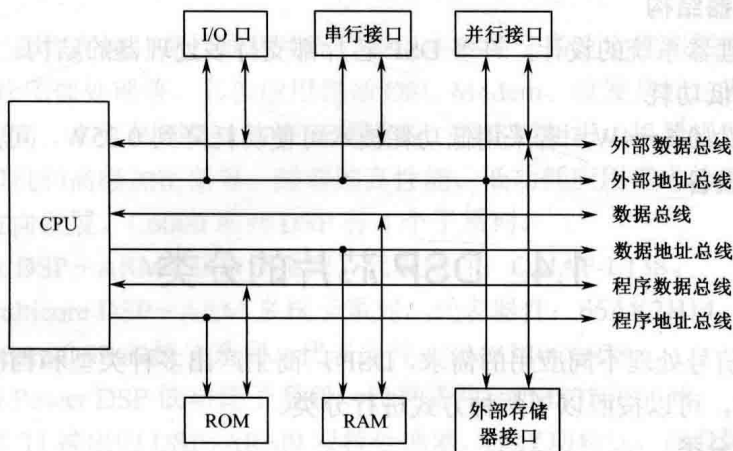


图 1-3 哈佛结构

2. 采用流水线技术

每条指令可通过片内多功能单元完成取指、译码、取操作数和执行等多个步骤，实现多条指令的并行执行，从而在不提高系统时钟频率的条件下减少每条指令的执行时间，如图 1-4 所示。

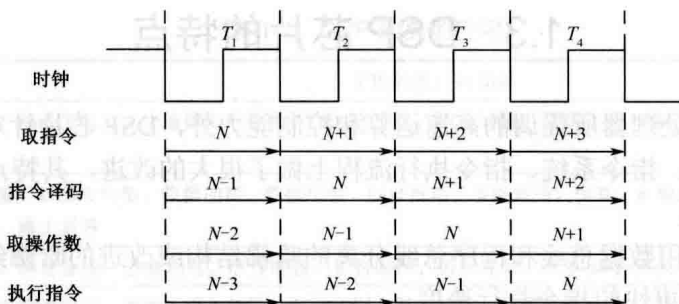


图 1-4 四级流水线操作

3. 配有专用的硬件乘法-累加器

为了适应数字信号处理的需要，目前的 DSP 芯片都配有专用的硬件乘法-累加器，可在一个周期内完成一次乘法和一次累加操作，实现复杂的数据运算，如矩阵变换、FFT 变换、FIR 和 IIR 滤波等。

4. 具有特殊的 DSP 指令

为了满足数字信号处理的需要，在 DSP 的指令系统中，设计了一些完成特殊功能的指令。例如，TMS320C54x 中的 FIRS 和 LMS 指令，专门用于完成系数对称的 FIR 滤波器和 LMS 算法。

5. 快速的指令周期

由于采用哈佛结构、流水线操作、专用的硬件乘法器、特殊的指令及集成电路的优化设计，使指令周期可在 20ns 以下。例如，TMS320C67xx 的运算速度为 100MIPS，即 100 百万条指令每秒。

6. 硬件配置强

新一代的 DSP 芯片具有较强的接口功能，除了具有串行口、定时器、主机接口(HPI)、DMA 控制器、软件可编程等待状态发生器等片内外设外，还配有中断处理器、PLL、片内存储器、仿真器接口等单元电路，可以方便地构成一个嵌入式数据处理系统。

7. 支持多处理器结构

为了满足多处理器系统的设计，许多 DSP 芯片都支持多处理器的结构。

8. 省电管理和低功耗

DSP 功耗一般为 0.5~4W，若采用低功耗技术可使功耗降到 0.25W，可用电池供电，适用于便携式数字终端设备。

1.4 DSP 芯片的分类

为了适应数字信号处理不同应用的需求，DSP 厂商生产出多种类型和档次的 DSP 芯片。在众多的 DSP 芯片中，可以按照以下两种方式进行分类。

1. 按数据格式分类

这是根据 DSP 芯片的数据格式来分类的。数据为定点格式的芯片，称为定点 DSP 芯片；数据为浮点格式的芯片，称为浮点 DSP 芯片。不同的浮点 DSP 芯片所采用的浮点格式不完全一样，有的 DSP 芯片采用自定义的浮点格式，有的 DSP 芯片则采用 IEEE 的标准浮点格式。

定点数和浮点数各有自己的运算特点和应用场合。一般来说，定点数运算中占用的内存单元少，运算速度较快，因此定点 DSP 芯片价格较低，但定点数的表示范围较小，且必须定标后才能进行小数的运算，编程比较麻烦。浮点数的表示范围大大提高，保证了运算精度，且在运

算中小数点的位置能够自动变化,编程时不必考虑小数点的位置,使编程变得较为简单、方便,但浮点运算占用的内存单元多,运算速度较慢,因此浮点 DSP 芯片的价格要比定点 DSP 芯片高得多。在应用中,要根据具体情况来决定究竟采用哪种数据格式的芯片。

2. 按用途分类

按照用途可将 DSP 芯片分为通用型和专用型两种。通用型适合普通的 DSP 应用,如 TI 公司的一系列 DSP 芯片;专用型是为特定的 DSP 运算而设计的,更适合特殊算法,如数字滤波、FFT 和卷积等。

1.5 TI 系列 DSP 芯片

TI 作为全球 DSP 的领导者,目前主推 3 个 DSP 平台:TMS320C2000、C5000 和 C6000,多个子系列,上百种 DSP 器件,为用户提供广泛灵活的选择,以满足各种不同的应用需求。

C2000 平台主要针对工业控制领域,是高性能的微控制器(Microcontroller)。C2000 系列 DSP 有 3 个子系列。

- LF240x 子系列: 16 位定点 DSP、40MIPS, 代表器件: TMS320LF2407。
- F28x 子系列: 32 位定点 DSP、150MIPS, 代表器件: TMS320F2812、TMS320F2810。
- F283x 子系列: 32 位浮点 DSP、150MIPS, 代表器件: TMS320F28335。

C5000 平台主要为高速、低功耗应用而开发,主要应用于通信和消费类电子产品,如手机、PDA、数码相机、无线通信基础设施、VoIP 网关、IP 电话和 MP3 等。C5000 系列 DSP 有 4 个子系列。

- C54x 子系列: 16 位定点 DSP、100~160MIPS, 代表器件: TMS320VC5402、VC5409、VC5410、VC5416。
- C55x 子系列: 16 位定点 DSP、400MIPS, 代表器件: TMS320VC5510、VC5509。
- C54x + ARM7 子系列: 代表器件: TMS320VC5470、VC5471、DSC21。
- C55x + ARM9 子系列: 即 Open Multimedia Applications Platform (OMAP)平台, 代表器件: OMAP5910。

C6000 平台主要为高速、高性能应用而开发,主要用于高速宽带和图像处理等,如宽带通信、3G 基站和医疗图像处理等,其他应用包括 DSL Modem、收发基站、无线局域网、企业用户交换机、语音识别、多媒体网关、专业音频设备、网络照相机、机器视觉、安全认证、工业扫描仪、高速打印机和高级加密器等。随着超高性能、低功耗应用需求的不断增加,DSP 芯片向着双核和多核方向发展。C6000 系列 DSP 有 4 个子系列。

- OMAP-L1x DSP + ARM9 双核子系列, 代表器件: OMAP-L138。
- 66AK2x Multicore DSP + ARM 多核子系列, 代表器件: 66AK2H14。
- C66x Multicore DSP 多核子系列, 代表器件: TMS320C6678。
- C674x Low Power DSP 低功耗子系列, 代表器件: TMS320C6748。

OMAP-L1x 是 TI 推出的 DSP+ARM9 双核处理器,不仅功耗低,而且降低了双核通信的开发难度,可充分满足对高集成度外设、更低热量耗散及更长电池使用寿命的需求。这款芯片不仅具备通用并行端口(uPP),同时也集成串行数据接口(SATA),其结构如图 1-5 所示。

66AK2x 是基于 KeyStone II 多核 SoC 架构的高性能器件,该器件集成了性能最优的 Cortex-A15 处理器、多核 CorePac 及 C66x DSP 内核,内核运行速度高达 1.4GHz。66AK2x 器件为易于使用的高性能、低功耗平台,可应用于企业级网络终端设备、数据中心网络、航空电子设备和国防、医疗成像、测试和自动化等诸多领域,其结构如图 1-6 所示。

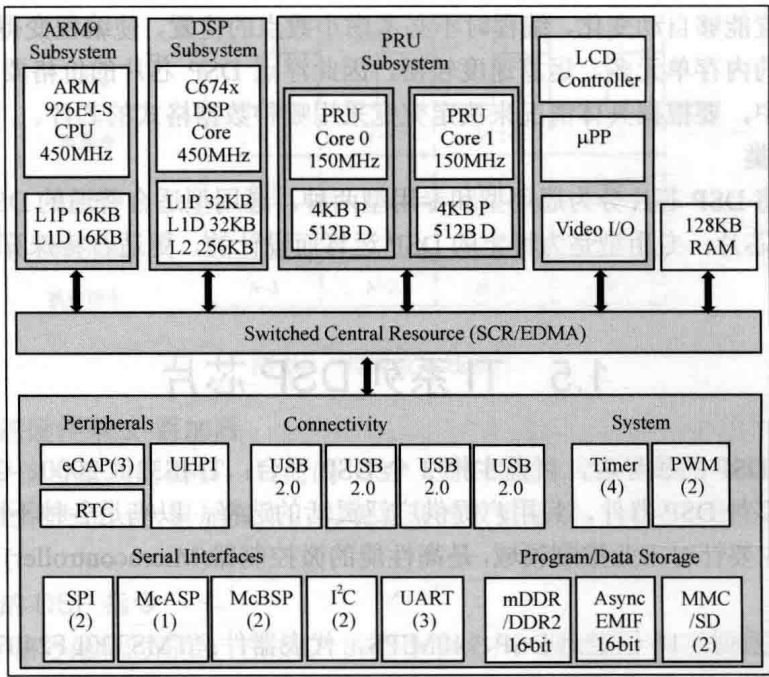


图 1-5 OMAP-L1x DSP + ARM9 双核系列结构框图

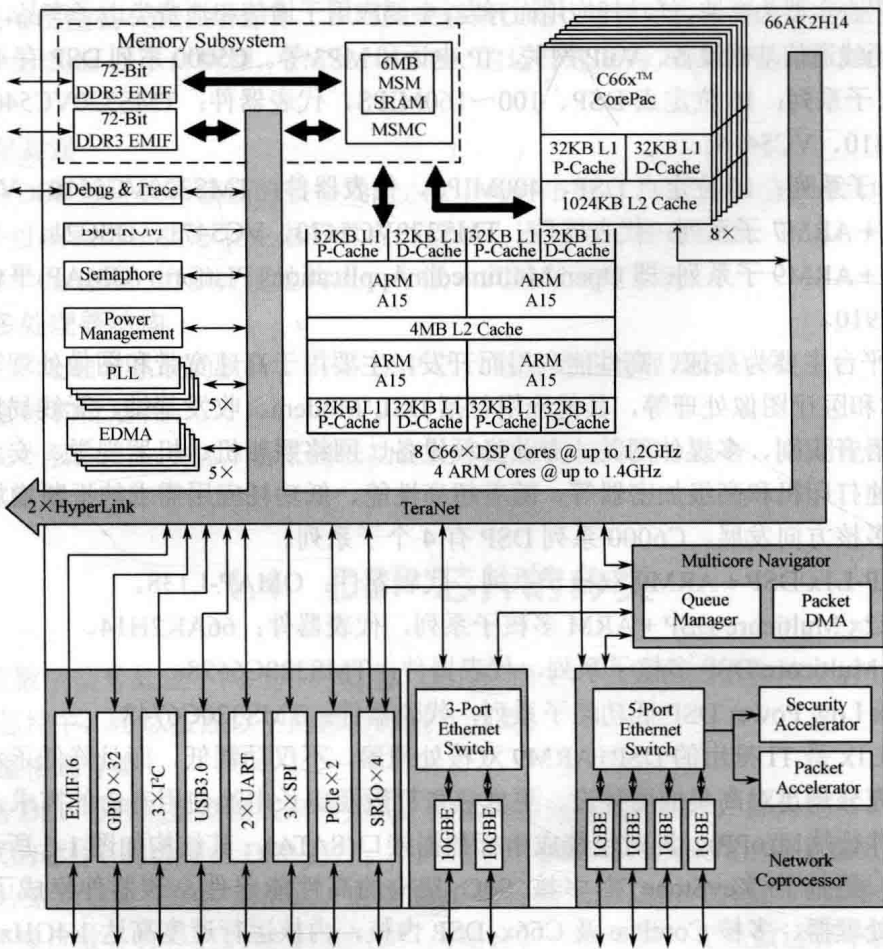


图 1-6 66AK2x Multicore DSP + ARM 多核系列结构框图

C66x 多核系列 DSP 定点和浮点性能上升到 1.4GHz，可由单核扩展到 8 核，KeyStone 框架增强了多核性能，具有大型嵌入式存储器、高带宽的 DDR3/DDR3L 接口及高速 I/O 口，其结构如图 1-7 所示。

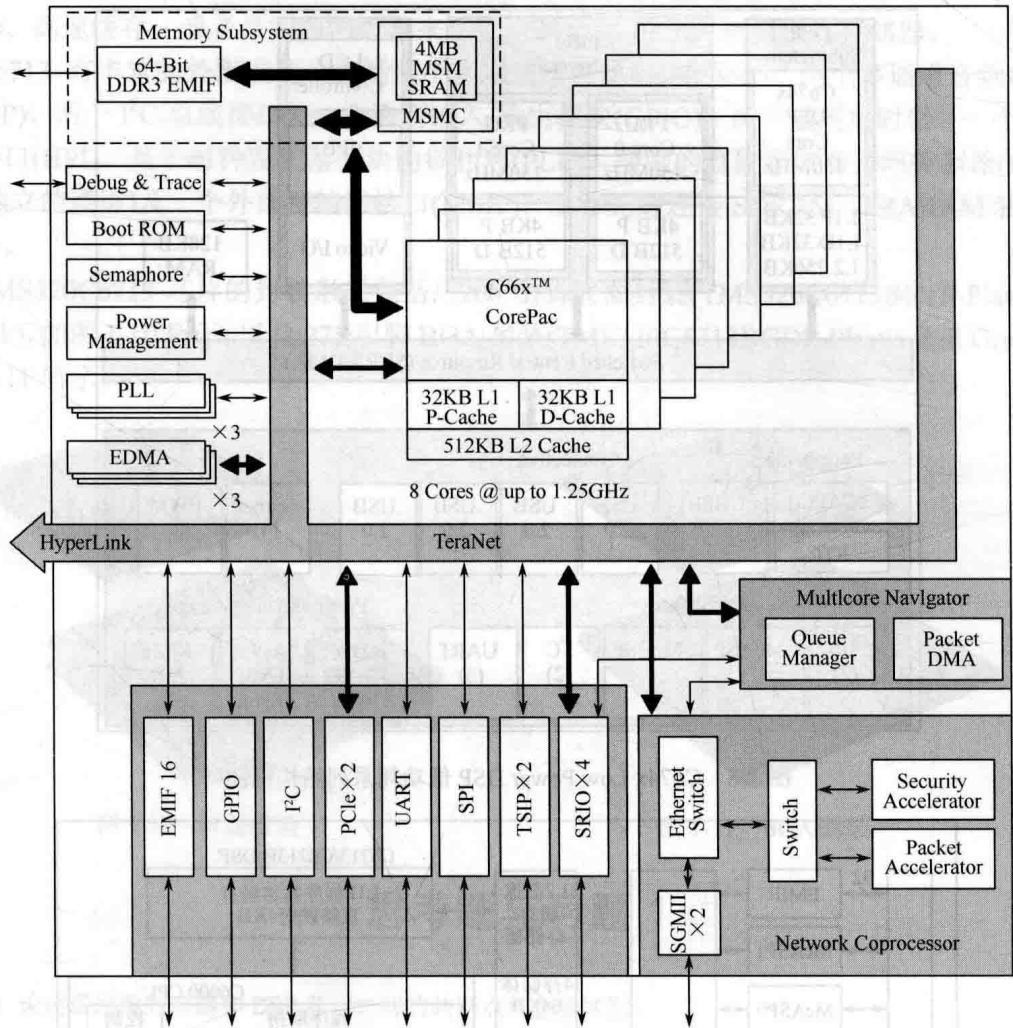


图 1-7 C66x Multicore DSP 多核系列结构框图

C674x CPU 在 C64x CPU 的基础上增加了 C67x CPU 的浮点运算功能，兼容 C67x+和 C64x+的指令集的目标代码。C674x DSP 总体框架包括：第一级程序存储空间控制器、第一级数据存储空间控制器、第二级存储空间控制器、内部 DMA、带宽管理、中断控制器、省电管理、扩展存储器管理，其结构如图 1-8 所示。

C6000 系列 DSP 还有其他 4 个子系列。

- C62x 子系列：32 位定点 DSP、1200~2400MIPS，代表器件：TMS320C6211。
- C64x 子系列：32 位定点 DSP，4000~5760MIPS，代表器件：TMS320C6416。
- DM64x 子系列：32 位定点 DSP，4752MIPS，同时包含 C64x+和 ARM926 内核，面向数字多媒体应用，代表器件：TMS320DM6446。
- C67x 子系列：32 位浮点 DSP、1200~1800MIPS，900~1350MFLOPS，代表器件：TMS320C6713、C6727。

本书以 TMS320C6713 为例介绍浮点 DSP 芯片的工作原理，其结构如图 1-9 所示。

TMS320C6713 和 TMS320C6713B 是基于 TI 公司开发的高性能、高级甚长指令字(VLIW) C67xx

CPU, 具有 8 个独立功能单元, 包括 4 个算术逻辑运算单元(定点和浮点)、两个乘法器(定点和浮点)、32 个 32 位通用寄存器, 使该芯片工作在 225MHz 时, 最高性能达到每秒 1350 百万条浮点指令(MFLOPS), 每秒 1800 百万条指令(MIPS), 每秒高达 450 百万次乘累加运算(MMACS)。

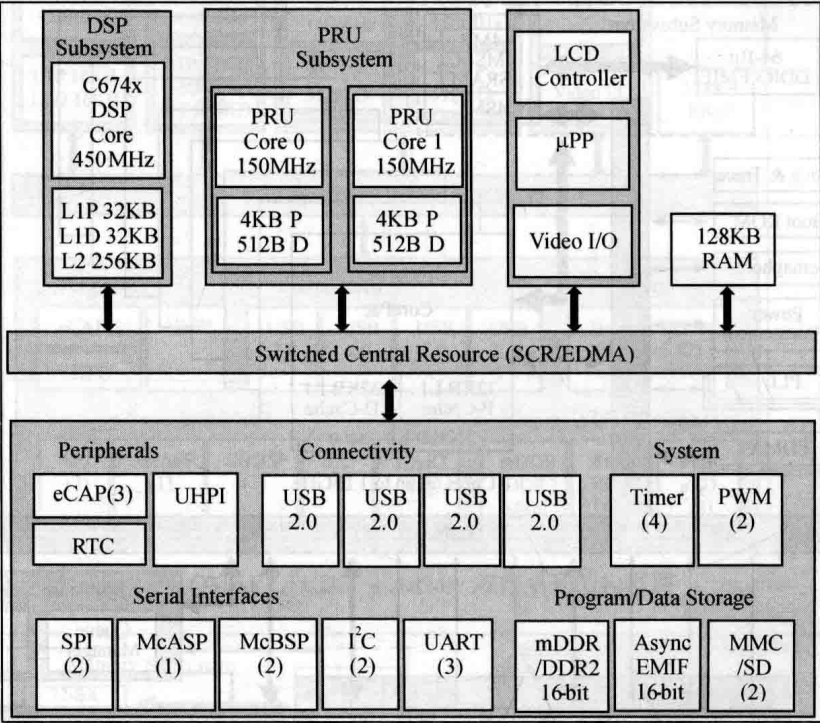


图 1-8 C674x Low Power DSP 低功耗系列结构框图

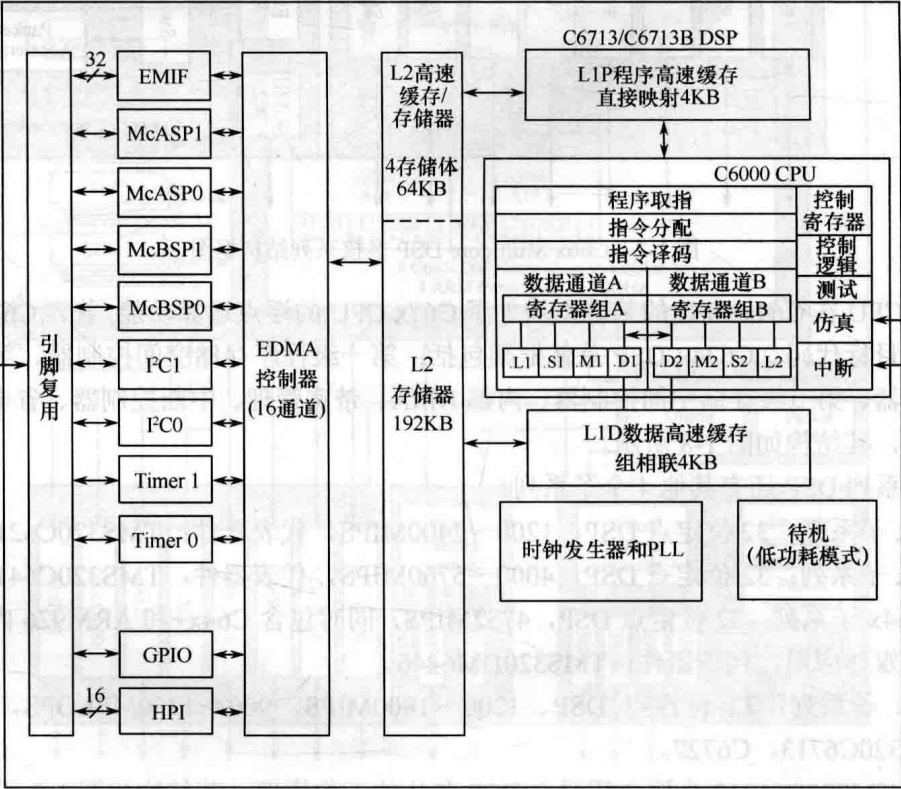


图 1-9 C67xx 系列 DSP 芯片结构框图

C6713 基于两级高速缓存(Cache)结构,一级程序高速缓存(L1P)是一个 4KB 的直接映射缓存,一级数据高速缓存(L1D)是一个 4KB 的高速缓存。二级存储器/高速缓存(L2)包含一个 256KB 的存储器空间,这个空间由程序和数据高速缓存共同使用。在 L2 存储器中的 64KB 可以由映射存储器、高速缓存,或者是两种的组合来配置。剩余的 192KB 担当映射存储器。

C6713 有丰富的外围设备,包括两个多通道缓冲串口(McBSP)、两个多通道音频串行端口(McASP)、两个 I²C 总线接口、一个通用输入/输出模块(GPIO)、两个通用定时器、一个 16 位的主机接口(HPI)、基于时钟发生器模块的锁相环(PLL)、增强的直接存储器访问控制器(EDMA, 16 个独立的通道)及一个外部存储器接口(EMIF),能够无缝连接 SDRAM、SBARAM 和 FLASH 等器件。

TMS320C6713 芯片的封装形式包括: 208 引脚表面封装(TMS320C6713BPYP-Plastic Quad Flatpack),如图 1-10 所示,以及 272 引脚 BGA 封装(TMS320C6713BGDP-Plastic Ball Grid Array),如图 1-11 所示。

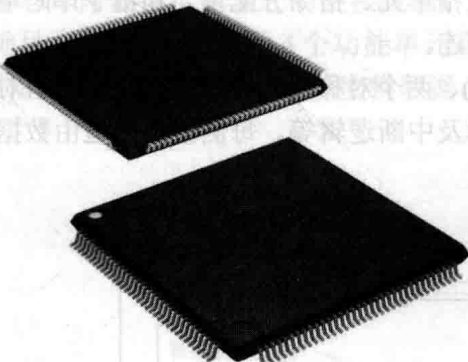


图 1-10 表面封装

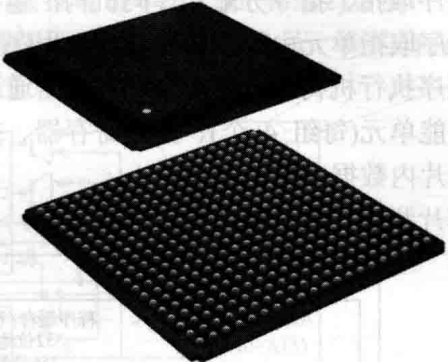


图 1-11 BGA 封装

思考题与习题 1

- 1-1 论述通用微处理器和 DSP 芯片之间的共同点和主要区别。
- 1-2 论述 DSP 芯片结构上的主要特点。
- 1-3 为什么要采用数字信号处理器? 它与模拟信号处理器相比有哪些优越性?
- 1-4 什么是定点 DSP? 什么是浮点 DSP? 简要论述它们之间的异同。
- 1-5 TI 公司的 DSP 芯片主要有哪几大类?
- 1-6 C67xx DSP 提供了哪些片上外设? 其用途和特点是什么?

第2章 CPU 结构与指令集

TMS320C6000 系列 DSP 芯片均基于 VelociTI 结构, 采用高性能的甚长指令字(VLIW), 使得该系列 DSP 适合于多通道和多任务的应用。本章首先讲述 DSP 的中央处理器(CPU)结构和指令集, 然后讲解流水线和中断。

2.1 CPU 的结构

TMS320C67xx CPU 的结构框图如图 2-1 所示, 其中 CPU 部分包括:

- 程序取指、指令分配和译码机构: 包括程序取指单元、指令分配单元和指令译码单元, 程序取指单元由程序总线与片内程序存储器相连。
- 程序执行机构: 包括两个对称数据通道(A和B)、两个对称的通用寄存器组、两组对称的功能单元(每组 4 个)、控制寄存器、控制逻辑及中断逻辑等。每侧数据通道由数据总线与片内数据存储器相连。
- 芯片测试、仿真端口及其控制逻辑。

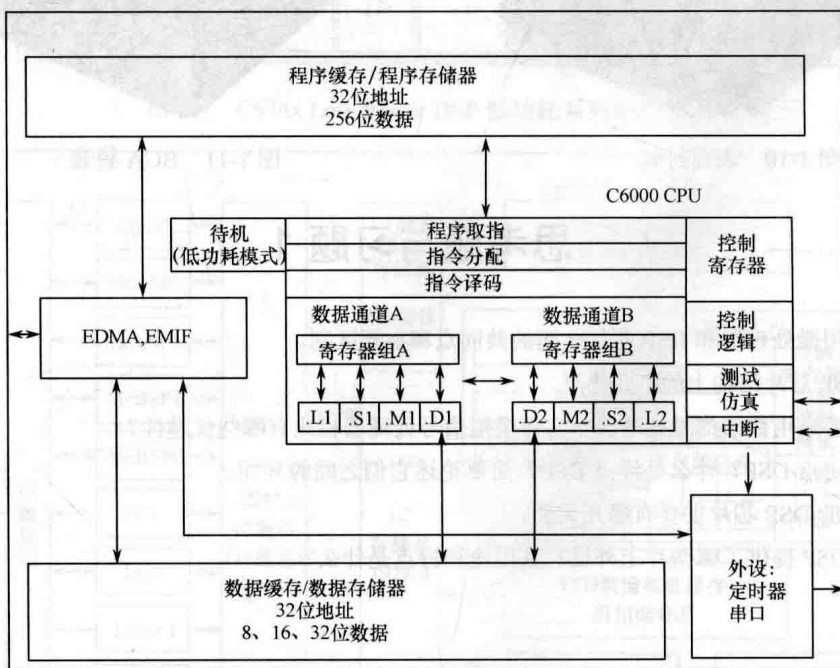


图 2-1 TMS320C67xx 的结构框图

C67xx 系列 CPU 采用哈佛结构, 其程序总线与数据总线分开, 可并行读取与执行指令。片内程序存储器保存指令代码, 程序总线连接程序存储器与 CPU。C67xx 系列芯片的程序总线宽度为 256 位, 每次取 8 条指令, 称为一个取指包。

执行时, 每条指令占用一个功能单元。取指、分配和译码单元都具备单周期读取并传递 8 条 32 位指令的能力。在两个数据通道(A 和 B)的功能单元内执行这些指令。控制寄存器控制操