



普通高等教育“十三五”应用型人才培养规划教材

# EDA实用技术

EDA SHIYONG JISHU

主 编 ● 涂敦兰 董 钢

普通高等教育“十三五”应用型人才培养规划教材

# EDA 实用技术

主编◎涂敦兰 董钢

西南交通大学出版社

·成都·

图书在版编目 (C I P) 数据

EDA 实用技术 / 涂敦兰, 董钢主编. —成都: 西南  
交通大学出版社, 2017.8  
普通高等教育“十三五”应用型人才培养规划教材  
ISBN 978-7-5643-5679-8

I. ①E… II. ①涂… ②董… III. ①电子电路—计算  
机辅助设计—高等学校—教材 IV. ①TN702.2

中国版本图书馆 CIP 数据核字 (2017) 第 206457 号

涂敦兰 董钢 主编

普通高等教育“十三五”应用型人才培养规划教材

EDA 实用技术

主 编 / 涂敦兰 董 钢

责任编辑 / 李芳芳

特邀编辑 / 张玉蕾

封面设计 / 何东琳设计工作室

西南交通大学出版社出版发行  
(四川省成都市二环路北一段 111 号西南交通大学创新大厦 21 楼 610031)  
发行部电话: 028-87600564  
网址: <http://www.xnjdcbs.com>  
印刷: 成都中铁二局永经堂印务有限责任公司

成品尺寸 185 mm × 260 mm  
印张 10.75 字数 268 千  
版次 2017 年 8 月第 1 版 印次 2017 年 8 月第 1 次

书号 ISBN 978-7-5643-5679-8  
定价 28.00 元

课件咨询电话: 028-87600533  
图书如有印装质量问题 本社负责退换  
版权所有 盗版必究 举报电话: 028-87600562

# 前言

QIANYAN

EDA 是电子设计自动化 (Electronics Design Automation) 的缩写, 在 20 世纪 60 年代中期从计算机辅助设计 (CAD)、计算机辅助制造 (CAM)、计算机辅助测试 (CAT) 和计算机辅助工程 (CAE) 的概念发展而来的。

20 世纪 90 年代, 国际上电子和计算机技术较为先进的国家, 一直在积极探索新的电子电路设计方法, 并在设计方法、工具等方面进行了彻底的变革, 取得了巨大成功。在电子技术设计领域, 可编程逻辑器件 (如 CPLD、FPGA) 的应用, 已得到广泛的普及。这些器件为数字系统的设计带来了极大的灵活性, 它们可以通过软件编程而对其硬件结构和工作方式进行重构, 从而使得硬件的设计可以如同软件设计那样方便快捷。这一切极大地改变了传统的数字系统设计方法、设计过程和设计观念, 促进了 EDA 技术的迅速发展。

EDA 技术就是以计算机为工具, 设计者在 EDA 软件平台上, 用硬件描述语言 VerilogHDL 完成设计文件, 然后由计算机自动地完成逻辑编译、化简、分割、综合、优化、布局、布线和仿真, 直至对于特定目标芯片的适配编译、逻辑映射和编程下载等工作。EDA 技术的出现, 极大地提高了电路设计的效率和可操作性, 减轻了设计者的劳动强度。

将 EDA 技术作为一门重要的专业基础课, 在大多数高校的相关学科中已成为共识, 但就其教学内容和实验安排上, 当今尚有诸多不同看法, 这里列出几点, 以供探讨:

◆ 课程应分三个层次来教学, 即将诸如 EWB、PSPICE 和 Protel 的学习作为 EDA 的最初级内容; VHDL 和 FPGA 开发等作为中级内容; ASIC 设计为最高级内容;

◆ EDA 技术学习中, VHDL 的学习需要花费半年乃至一年的时间才能完成;

◆ EDA 技术只是数字电路课的延续和补充, 因此, 实验内容应该具有一致性, 即只需以 EDA 的手段完成与数字电路实验相近的实验项目即可。

以上看法值得商榷, 我们认为关键的问题在于怎样紧紧把握课程教学中最实质的东西, 即必须突出要点:

首先是明确最基本的教学内容。EDA 技术的教学必须围绕这样一个核心内容来展开, 即学习一种通过软件的方法来高效地完成硬件设计的计算机技术, 尽量略去其他没有直接联系的内容, 如 EWB、PSPICE、Protel 等。因为这些工具仅属 CAD 的范畴, 它们没有现代自动化设计中关于行为与结构综合的概念, 没有自顶向下设计理论的内容。此外, 因为无论是 ASIC 还是 FPGA, 都只是 EDA 最后的实现目标。EDA 的特性决定了其实现方式具有很大的自由度。而最实质、最能体现创造性的是利用 EDA 技术完成某一项目的设计方案。因为基于 FPGA 的实现几乎如同软件一样可以随心所欲, 而 ASIC 的前端设计与 FPGA 十分相近, 可以利用 ASIC 设计 EDA 软件来完成, 其最

终的实现通常类似于交付 PCB 制作文件一样，可将最终的网表文件交付专业厂家来负责。今天的 EDA 技术已经使得“从事 IP 开发的无芯片 EDA 公司”和“无生产线的 IC 企业”成为可能，而且将可能成为我国现代电子技术的重要产业。

我们认为，对于教学内容如果要分层次的话，从实现的方法和内容上去分比从实现的工具和工艺上去分更为合理。例如，可以将逻辑行为的实现作为最低层，即用 EDA 工具完成数字电路实验中的部分内容，如红绿灯控制、数码译码显示、逻辑表决等；将控制与通信的实现作为第二层次，如 A/D 高速采样、工业自动化控制、接口与通信模块的设计等；而将算法的实现作为最高层次，如 FIR、FFT、CPU 的设计等。因为这样能使教学效果更好地反映 EDA 技术最本质的内容。

其次是改善教学方法。考虑到目前的本科课程门类已大为增加，任何一门非公共课的学时都不会很多。显然，突出要点才能有效控制学时。建议这门课可安排 52 学时左右，包括实验课学时。这就要求主要以引导性教学为主。例如对 VHDL 的教学就不能像 C 或汇编语言那样逐条语句讲授，而是结合具体实例讲解最基本的语句现象及其使用方法。

再次就是注重教学实效。数字电路与 EDA 技术课程的侧重点不同：前者侧重于逻辑行为的认知和验证；后者侧重于实用电子系统的设计，因此该课程具有很强的实践性。针对性强的实验应该是教学的重要环节，EDA 实验更应注重质量，而决非仅仅使用了什么 EDA 软件。在初级阶段，用 EDA 工具重复一些数字电路课中的实验是必需的，但这远非 EDA 实验的全部。因为数字电路实验的重点是逻辑行为和功能的验证，因而可用手工插线方式来完成“设计”，而不涉及任何技术指标和规模。众所周知，电子系统技术指标是十分重要的，这包括速度、面积（芯片资源）、可靠性、容错性、电磁兼容性等。有时往往指标要求决定了所使用的技术，指标要求推动技术的发展。全国大学生电子设计竞赛题从来不提使用何种工具或技术来完成赛题，但参赛者不得不根据给出的技术指标做出选择。因此，EDA 课程的实验，除了必须完成的基础性项目外，引导学生完成一些传统电子设计技术（包括单片机）不能实现的内容，从而突出了这一现代电子设计技术的优势。例如 UART、PS/2 或 USB 接口的设计突出自主知识产权的概念；VGA 显示器的控制或状态机控制 A/D 采样突出了高速性能指标的实现；FIR 设计表现了基于 EDA 技术特有的 IP 应用技术；纯硬件奏乐电路的设计体现了 EDA 工具面对复杂逻辑电路设计的突出优势等。在这些实践过程中，学生会发现，诸如 ISP 下载方式、FPGA、ASIC 乃至 EDA 软件等设计手段本身都成了配角，而唯有对更高质量地完成实验项目而不懈追求的设计能动性和创造性成了主角，从而有效地提高这门以培养工程实践能力为主的课程的教学效果。

现代电子设计技术是发展的，相应的教学内容和教学方法也应不断改进，其中一定有许多问题值得深入探讨，也包括以上提出的有关 EDA 教学的一家之言。我们真诚地欢迎读者对书中有失偏颇之处给予批评指正。

作者

2017 年 6 月

# 目 录

## MU LU

情景 1 概 述 .....	1
1.1 EDA 技术及其发展 .....	1
1.2 EDA 技术实现目标 .....	2
1.3 硬件描述语言 VHDL .....	4
1.4 VHDL 综合 .....	5
1.5 基于 VHDL 的自顶向下设计方法 .....	6
1.6 EDA 技术的优势 .....	7
1.7 EDA 的发展趋势 .....	8
情景 2 EDA 设计流程及其工具 .....	9
2.1 EDA 设计流程 .....	9
2.2 ASIC 及其设计流程 .....	11
2.3 常用 EDA 工具 .....	13
2.4 Quartus II 简介 .....	14
2.5 IP 核概念介绍 .....	15
情景 3 FPGA/CPLD 结构与应用 .....	17
3.1 概述 .....	17
3.2 简单可编程逻辑器件原理 .....	18
情景 4 VHDL 设计初步 .....	25
4.1 多路选择器的 VHDL 描述 .....	25
4.2 寄存器描述及其 VHDL 语言现象 .....	30
4.3 1 位二进制全加器的 VHDL 描述 .....	36
4.4 计数器设计 .....	40
4.5 一般加法计数器设计 .....	43



情景 5 Quartus II 应用向导	48
5.1 基本设计流程	48
5.2 Quartus: 工程示例	52
情景 6 VHDL 设计进阶	66
6.1 VHDL 语法要素	66
6.2 VHDL 语言顺序语句	82
6.3 VHDL 并行语句	96
6.4 子程序	109
情景 7 状态机设计	122
7.1 状态机的定义	122
7.2 状态机的分类	122
7.3 状态机的设计步骤	123
7.4 Mealy 型状态机设计	123
7.5 Mealy 状态机优化	127
7.6 Moore 型有限状态机设计	129
情景 8 实验练习	138
实验一 组合逻辑 3-8 译码器的设计	138
实验二 组合逻辑电路的设计	152
实验三 触发器功能的模拟实现	155
实验四 扫描显示驱动电路	157
实验五 计数器及时序电路	158
实验六 数字钟 (综合实验)	162
实验七 字符发生器	164
参考文献	166

# 情景 1 概述

## 1.1 EDA 技术及其发展

EDA (Electronic Design Automation) 即电子设计自动化。EDA 技术,就是以大规模可编程逻辑器件为设计载体,以硬件描述语言为系统逻辑描述的主要表达方式,以计算机、大规模可编程逻辑器件的开发软件及实验开发系统为设计工具,通过相关的开发软件,自动完成用软件方式设计电子系统到硬件系统的逻辑编译、逻辑化简、逻辑分割、逻辑综合及优化、逻辑布局布线、逻辑仿真,直至完成对于特定目标芯片的适配编译、逻辑映射、编程下载等工作,最终形成集成电子系统或专用集成芯片的一门新技术。

利用 EDA 技术进行电子系统的设计,具有以下特点:①用软件的方式设计硬件;②用软件方式设计的电子系统到硬件系统的转换是由相关的开发软件自动完成的;③设计过程中可用有关软件进行各种仿真;④系统可现场编程,在线升级;⑤整个系统可集成在一个芯片上,体积小、功耗低、可靠性高。因此,EDA 技术是现代电子设计的发展趋势。

EDA 技术发展有以下三个阶段:

### 1. 20 世纪 70 年代 MOS 工艺 CAD 概念

20 世纪 70 年代, MOS 工艺在集成电路制作方面得到广泛应用,可编程逻辑技术及器件已经出现。计算机在科研领域的广泛应用,促使了 CAD 技术的出现。CAD (Computer Assist Design) 即计算机辅助设计。在这一阶段,人们开始利用计算机取代手工劳动,辅助进行集成电路版图设计、PCB 布局布线等工作。

### 2. 20 世纪 80 年代 CMOS 时代 出现 FPGA

20 世纪 80 年代,集成电路设计进入 CMOS 时代,复杂可编程逻辑器件 (CPLD) 已经进入商业应用,80 年代末,出现了 FPGA。CAD 技术和 CAE 技术应用更加广泛。CAE (Computer Assist Engineering Design) 即计算机辅助工程设计,它集逻辑图输入、逻辑模拟、测试码生成、电路模拟、版图设计、版图验证等工具于一体,构成一个较完整的 IC 设计系统。在这一阶段,还出现了各种硬件描述语言。



### 3. 20世纪90年代 ASIC设计技术 EDA技术

20世纪90年代，随着硬件描述语言的标准化得到进一步的确立，HDL输入取代了逻辑输入，计算机辅助工程、辅助分析和辅助设计在电子技术领域获得更加广泛的应用。集成电路设计工艺步入了超深亚微米阶段，百万门以上的大规模可编程逻辑器件的陆续面世，以及基于计算机技术的、面向用户的低成本大规模ASIC设计技术的应用，促进了EDA技术的形成。

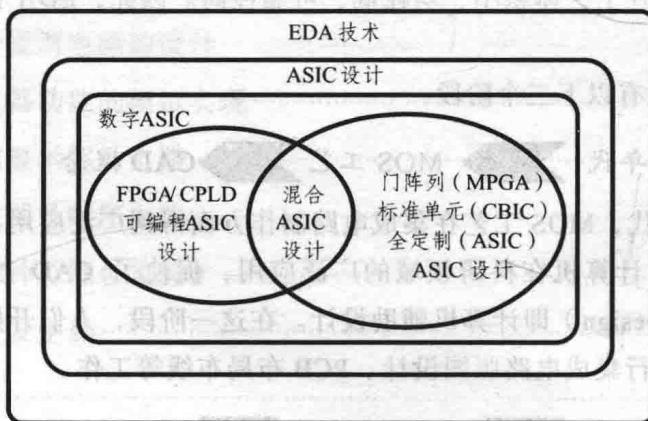
EDA技术在进入21世纪后，得到了更大的发展：

- ① EDA使得电子领域各学科的界限更加模糊，更加互为包容；
- ② 更大规模的FPGA和CPLD器件不断推出；
- ③ 基于EDA工具用于ASIC设计的标准单元包括大规模电子系统及复杂IP核模块；
- ④ 软硬件IP（Intellectual Property）核在电子行业得到广泛应用；
- ⑤ SoC高效低成本设计技术变得成熟；
- ⑥ 系统级硬件描述语言出现（如System C）使复杂电子系统设计和验证趋于简单。

## 1.2 EDA技术实现目标

### 1.2.1 目标

EDA技术实现目标是完成专用集成电路ASIC的设计和实现，如图1.1所示。



ASIC (Application Specific Integrated Circuits) 是指应特定用户要求或特定应用需要而设计制造的集成电路。

ASIC 的概念早在 20 世纪 60 年代就有人提出，但其真正发展是在进入 20 世纪 80 年代以后。其技术特点是工艺和设计技术均已成熟，由于电子产品竞争激烈，迫使厂

商采用 ASIC 取代中小规模 IC 构成系统。

采用 ASIC 来实现系统集成具有如下优点：① 缩小体积，减轻重量，降低功耗；② 提高可靠性；③ 易于获得高性能；④ 可增强保密性；⑤ 大批量应用时可降低系统成本。

与通用 IC 相比，ASIC 具有如下特点：① 功能强、品种多、批量小；② 使用寿命与整机的寿命有关。

### 1.2.2 ASIC 技术发展对当代电子系统设计的影响

ASIC 技术发展对当代电子系统设计的影响主要体现在两个方面：① 用 ASIC 实现系统集成；② 系统和电路工程师参与 ASIC 设计。

过去，电子系统设计的基本思路是：选用中小规模的通用标准 IC 构成电路、子系统、系统。采用“Bottom.up”设计方法。这样设计出的电子系统，所用元件的种类和数量均较多，体积功耗大，可靠性差，且调试困难。

现在的电子系统设计采用 Top.down 设计思路：由整机单位对整个系统进行方案设计、功能划分，系统的关键电路用一片或几片 ASIC 实现。且这些 ASIC 是由系统或电路设计师亲自参与设计的，完成电路到芯片版图的设计后，再交由 IC 工厂投片加工，或是用可编程专用集成电路（例如 FPGA）现场编程实现。

在新形势下，作为电子设计工程师，我们担当的角色发生了某种程度的变化。

过去——我们仅仅是 IC 用户，现在——要参与到 ASIC 的设计与开发中去。这就要求我们除了有线路和系统的基础外，还要了解集成电路的内部结构、生产工艺、设计原则和设计方法等方面的知识。

### 1.2.3 ASIC 的实现途径

ASIC 的实现可通过三种途径来完成：

#### 1. 超大规模可编程逻辑器件

FPGA 和 CPLD 是实现这一途径的主流器件，它们的特点是直接面向用户，具有极大的灵活性和通用性，使用方便，硬件测试和实现快捷，开发效率高，成本低，上市时间短，技术维护简单，工作可靠性好等。由于 FPGA 和 CPLD 的开发工具、开发流程和使用方法与 ASIC 有类似之处，因此，这类器件通常也被称为可编程 ASIC。

#### 2. 半定制或全定制 ASIC

基于 EDA 技术的半定制或全定制 ASIC，根据它们的实现工艺，可统称为掩模 ASIC。其特点如图 1.2 所示。可编程 ASIC 与掩模 ASIC 相比，其不同之处就在于它具有面向用户的灵活多样的可编程性。

##### 1) 门阵列 ASIC

门阵列芯片包括预定制的相连的 PMOS 和 NMOS 晶体管行。在设计中，用户可以

借助 EDA 工具将原理图或硬件描述语言模型映射为相应门阵列晶体管配置,创建一个指定金属互连路径文件,从而完成门阵列 ASIC 的开发。现在,Altera 公司的 HardCopy 技术,可以提供一种把 FPGA 的设计转化为门阵列 ASIC 的途径。

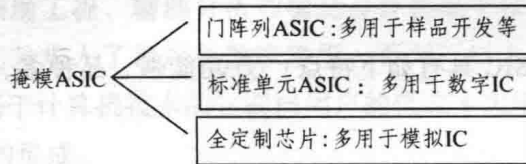


图 1.2 掩模 ASIC 特点

### 2) 标准单元 ASIC

目前大多数 ASIC 是基于标准单元库进行设计的 (Cell Based Integrated Circuits, CBIC)。库中包括不同复杂性的逻辑元件: SSI 逻辑块、MSI 逻辑块、数据通道模块、存储器、IP 乃至系统级模块。库中每个单元的版图已事先设计好,并已经过工艺和性能验证,使用者只需利用 EDA 软件使用各模块即可,而不必去了解各电路的细节。

### 3) 全定制 ASIC

在针对特定工艺建立的设计规则下,全定制 ASIC 的设计者对电路的设计有完全的控制权,设计者可以使用版图编辑工具,对每个晶体管的版图尺寸、位置及互连线进行设计。该领域的一个例外是混合信号设计,使用通信电路中的 ASIC 可以定制设计其模拟部分。

### 3. 混合 ASIC

混合 ASIC (不是指数模混合 ASIC) 主要指既具有面向用户的 FPGA 可编程功能和逻辑资源,同时也含有可方便调用和配置的硬件标准单元模块,如 CPU、RAM、ROM、硬件加法器、硬件乘法器、锁相环等模块。Xilinx、Altera 等公司已经推出了这方面的器件,如 Virtex.4 系列和 Stratix II 系列等。混合 ASIC 已成为 SOC 和 SOPC 设计的便捷途径。

## 1.3 硬件描述语言 VHDL

硬件描述语言是 EDA 技术的重要组成部分。常见的硬件描述语言有: VHDL、Verilog HDL、System Verilog、System C。其中 VHDL、Verilog 使用最普遍,也拥有几乎所有主流 EDA 工具的支持。而 System Verilog 和 System C 这两种硬件描述语言主要是针对系统级的设计,目前还处于不断完善的过程中。

标准硬件描述语言 VHDL (Very High Speed Integrated Circuit Hardware Description Language) 进行工程设计的优点是多方面的。

(1) 与其他的硬件描述语言相比, VHDL 具有更强的行为描述能力, 从而决定了它成为系统设计领域最佳的硬件描述语言。强大的行为描述能力是避开具体的器件结构、从逻辑行为上描述和设计大规模电子系统的重要保证。

(2) VHDL 丰富的仿真语句和库函数, 使得在任何大系统的设计早期就能查验设计系统的功能可行性, 随时可对设计系统进行仿真模拟。

(3) VHDL 语句的行为描述能力和程序结构决定了它具有支持大规模设计的分解和已有设计的再利用功能。如果要高速、高效地完成符合市场需求的大规模系统, 必须有多人甚至多个开发组共同并行工作才能实现。

(4) 对于用 VHDL 完成的一个确定的设计, 可以利用 EDA 工具进行逻辑综合和优化, 并自动把 VHDL 描述设计转变成门级网表。

(5) VHDL 对设计的描述具有相对独立性, 设计者可以不懂硬件的结构, 也不必考虑最终设计实现的目标器件是什么, 只要进行独立的设计即可。

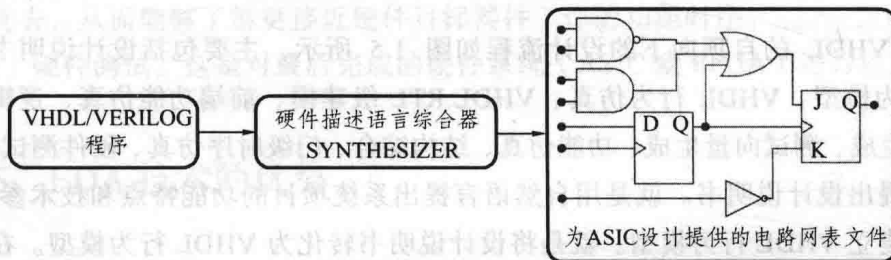
## 1.4 VHDL 综合

综合就是把某些东西结合到一起, 把设计抽象层次的一种表示转化成另一种表示的过程。在电子设计领域中综合的概念可以表示为: 将用行为和功能层次表达的电子系统转换成低层次的、便于具体实现的模块组合装配的过程。

如图 1.3 所示, VHDL 硬件描述语言综合器可以将抽象的 VHDL 描述转化成低层次的门级网表; 而软件程序编译器可以将高级语言程序转化成低级的机器代码, 二者本质上相同吗?



(a) 软件语言设计目标流程



(b) 硬件语言设计目标流程

图 1.3 设计目标流程

它们的本质是不同的。



编译器将软件程序翻译成基于某种特定 CPU 的机器代码, 该代码仅限于这种 CPU 而不能移植, 并且机器代码不代表硬件结构, 更不能改变 CPU 的硬件结构, 只能被 CPU 利用。如果脱离了已有的硬件环境 (CPU), 机器代码将失去意义。

综合器可以将抽象的 VHDL 描述转化成底层的电路结构门级网表文件, 这种网表文件不依赖于任何特定的硬件环境, 因此可以独立存在, 并且能轻易地被移植到任何通用的硬件环境中, 如 ASIC、FPGA 等。VHDL 综合器运行流程如图 1.4 所示。

综合器在接受 VHDL 程序并准备对其综合前, 必须获得与最终实现电路硬件特征相关的工艺库的信息, 以及获得优化综合的各种约束条件。一般约束条件可以分为三种: 设计规则、时间约束、面积约束。

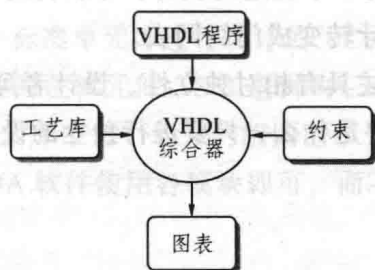


图 1.4 VHDL 综合器运行流程

综合器在将硬件描述语言表达的电路功能转化成具体的电路结构网表的过程中, 具有明显的能动性和创造性, 它不是机械地一一对应地翻译, 而是根据设计库、工艺库以及预先设置的各类约束条件, 选择最优的方式完成对电路结构的设计。

另外, 并不是所有的 VHDL 语法都是可综合的, 不同的综合器所支持的 VHDL 子集也不相同。因此, 相同的 VHDL 源代码、不同的 VHDL 综合器可能综合出结构和功能并不完全相同的电路系统。

## 1.5 基于 VHDL 的自顶向下设计方法

基于 VHDL 的自顶向下的设计流程如图 1.5 所示, 主要包括设计说明书、建立 VHDL 行为模型、VHDL 行为仿真、VHDL.RTL 级建模、前端功能仿真、逻辑综合、测试向量生成、测试向量生成、功能仿真、结构综合、门级时序仿真、硬件测试等内容。

(1) 提出设计说明书。就是用自然语言提出系统项目的功能特点和技术参数等。

(2) 建立 VHDL 行为模型。就是将设计说明书转化为 VHDL 行为模型。在这个过程中可以使用 VHDL 的所有语句而不必考虑其可综合性。这一建模行为的目的是通过 VHDL 仿真器对整个系统进行系统行为仿真和性能评估。

(3) VHDL 行为仿真。这一阶段可以利用 VHDL 仿真器对顶层系统的行为模型进行仿真测试, 检查模拟结果, 继而进行修改和完善。这一过程与最终实现的硬件无关。



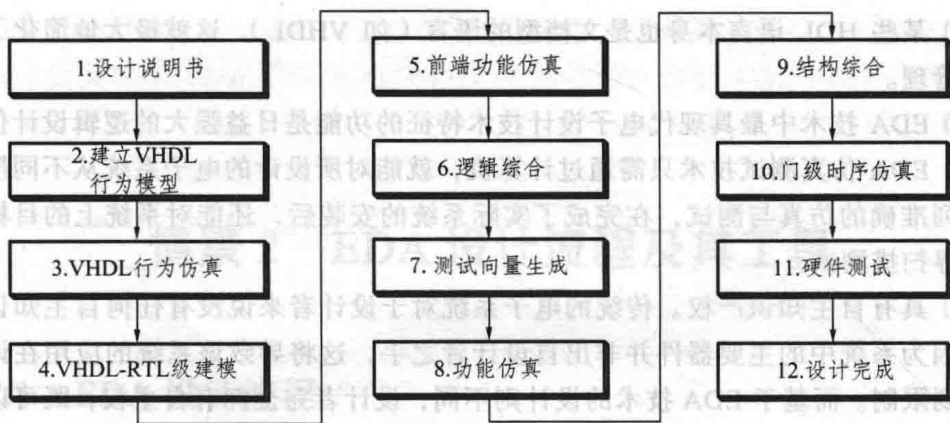


图 1.5 自顶向下的设计流程

(4) VHDL.RTL 级建模。VHDL 语法中所有语句都可以进行仿真，但只有一部分可以综合成门级网表，因此在这一阶段，必须将行为模型转化为可综合的 VHDL.RTL 级模型。

(5) 前端功能仿真。对 VHDL.RTL 级模型进行仿真，称为功能仿真。尽管 VHDL.RTL 级模型是可综合的，但对它的功能仿真仍然与硬件无关，仿真的目的是检验可综合模型的逻辑功能是否正确。

(6) 逻辑综合。使用逻辑综合工具将 VHDL.RTL 级描述转化为结构化的门级描述。在 ASIC 设计中，门级电路可以 ASIC 由库中的基本单元组成。

(7) 测试向量生成。这一阶段主要是针对 ASIC 设计的。FPGA 设计的时序测试文件主要产生于适配器。对 ASIC 的测试向量文件是综合器结合含有版图硬件特性的工艺库后产生的，用于对 ASIC 的功能测试。

(8) 功能仿真。利用获得的测试向量对 ASIC 的设计系统和子系统的功能进行仿真。

(9) 结构综合。主要是将逻辑综合的网表文件，结合具体的目标硬件环境进行标准单元调用、布局、布线和满足约束条件的结构优化配置。

(10) 门级时序仿真。在结构综合后再利用 VHDL 仿真器进行仿真（结构综合后能同步生成 VHDL 格式的时序仿真文件），称为门级时序仿真。由于已经将目标硬件的特性结合进去，从而能够了解更接近硬件目标器件工作的功能时序。

(11) 硬件测试。这是对最后完成的硬件系统（ASIC 或 FPGA）进行检查和测试。

## 1.6 EDA 技术的优势

(1) 采用硬件描述语言作为输入。硬件描述语言可以对系统进行不同层次的描述，如行为描述、结构描述等，从而可以在设计的各个阶段、各个层次进行仿真验证，缩短设计周期。

(2) 库的支持。EDA 工具之所以能够顺利完成各种设计过程，关键是有各类库的支持。如仿真库、综合库、版图库、测试库等。

(3) 某些 HDL 语言本身也是文档型的语言 (如 VHDL), 这就极大地简化了设计文档的管理。

(4) EDA 技术中最具现代电子设计技术特征的功能是日益强大的逻辑设计仿真测试技术。EDA 仿真测试技术只需通过计算机, 就能对所设计的电子系统从不同层次完成一系列准确的仿真与测试, 在完成了实际系统的安装后, 还能对系统上的目标器件进行边界扫描测试。

(5) 具有自主知识产权。传统的电子系统对于设计者来说没有任何自主知识产权可言, 因为系统中的主要器件并非出自设计者之手, 这将导致该系统的应用在许多情况下受到限制。而基于 EDA 技术的设计则不同, 设计者完全拥有自主权, 既可以用通用的 FPGA/CPLD 实现, 也可以直接以 ASIC 实现。

(6) 开发技术的标准化、规范化以及 IP 核的可重用性。EDA 技术的设计语言是标准化的, 开发工具是规范化的, 设计成果是通用性的, 这些为系统开发提供了可靠的保证。

(7) 从电子设计方法学来看, EDA 技术最大的优势就是能将所有设计环节纳入统一的自顶向下的设计方案中。

(8) 全方位的利用计算机自动设计、仿真和测试技术。EDA 不但在整个设计流程上充分利用计算机的自动设计能力、在各个设计层次上利用计算机完成不同内容的仿真模拟, 而且在系统板设计结束后还可以利用计算机对硬件系统进行完整的测试。

## 1.7 EDA 的发展趋势

(1) 超大规模集成电路的集成度和工艺水平不断提高, 在一个芯片上完成系统级的集成已成为可能。

(2) 可编程逻辑器件开始进入传统的 ASIC 市场。

(3) EDA 工具和 IP 核应用更为广泛。

(4) 高性能的 EDA 工具得到长足的发展。

(5) 计算机硬件平台性能大幅度提高, 为复杂的 SoC 设计提供了物理基础。



### 习 题

1.1 EDA 技术与 ASIC 设计和 FPGA 开发有什么关系?

1.2 与软件描述语言相比, VHDL 有什么特点?

1.3 什么是综合? 它有哪些类型? 综合在电子设计自动化中的地位是什么?

1.4 在 EDA 技术中, 自顶向下的设计方法的重要意义是什么?

1.5 IP 在 EDA 技术的应用和发展中的意义是什么?

## 情景 2 EDA 设计流程及其工具

### 2.1 EDA 设计流程

基于 EDA 软件的 FPGA (Field Programmable Gate Array), 即现场可编程门阵列, 它是在 PAL、GAL、CPLD 等可编程器件的基础上进一步发展的产物, 其开发流程框图如图 2.1 所示。下面分别介绍各设计模块的功能特点。对于目前流行的用于 FPGA 开发的 EDA 软件包括 Quartus II Simulink 等都适用。

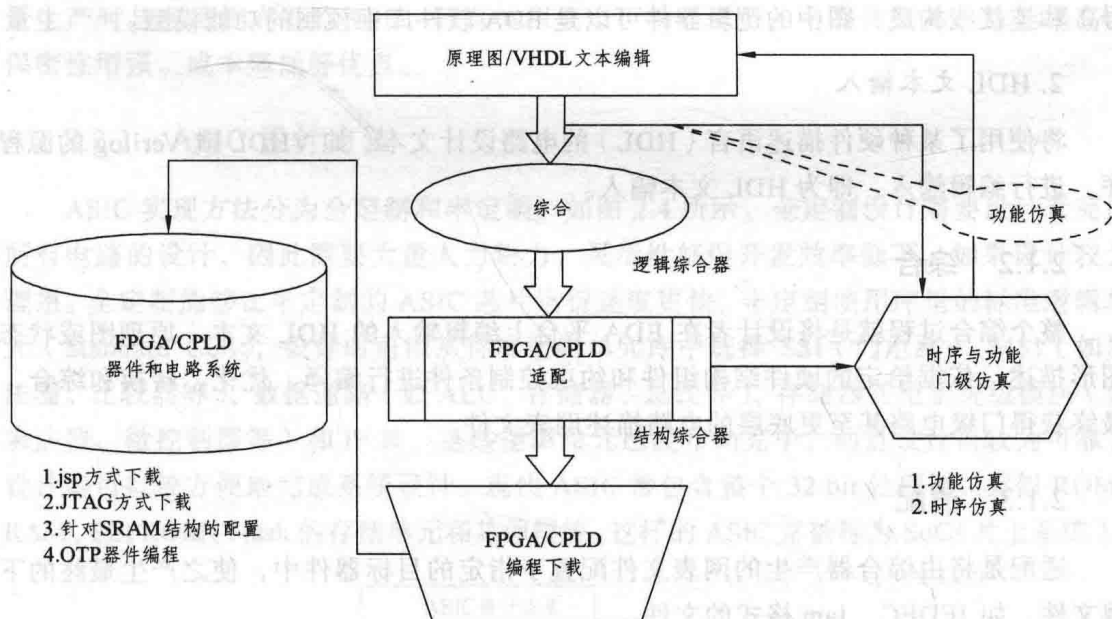


图 2.1 应用于 FPGA/CPLD 的 EDA 开发流程

将电路系统以一定的表达方式输入计算机, 是在 EDA 软件平台上对 FPGA/CPLD 开发的最初步骤。

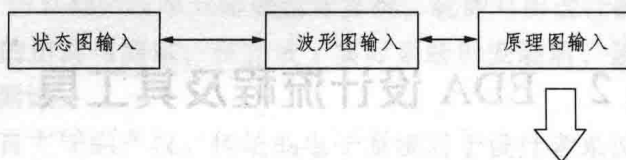
#### 2.1.1 设计输入 (原理图/HDL 文本编辑)

使用 EDA 工具的设计输入可分为两种类型: 图形输入和 HDL 文本输入。

##### 1. 图形输入

图形输入通常包括原理图输入、状态图输入和波形图输入等方法, 如图 2.2 所示。

状态图输入方法就是根据电路的控制条件和不同的转换方式，用绘图的方法，在 EDA 工具的状态图编辑器上绘出状态图，然后由 EDA 编译器和综合器将此状态变化流程图图形编译综合成电路网表。



在EDA软件的图形编辑界面上绘制能完成特定功能的电路原理图

图 2.2 图形输入

波形图输入方法则是将待设计的电路看成一个黑盒子，只需告诉 EDA 工具该黑盒子电路的输入和输出时序波形图，EDA 工具即能据此完成黑盒子电路的设计。

原理图输入方法是一种类似于传统电子设计方法的原理图编辑输入方式，即在 EDA 软件的图形编辑界面上绘制能完成特定功能的电路原理图。原理图由逻辑器件(符号)和连接线构成，图中的逻辑器件可以是 EDA 软件库中预制的功能模型。

## 2. HDL 文本输入

将使用了某种硬件描述语言 (HDL) 的电路设计文本，如 VHDL 或 Verilog 的源程序，进行编辑输入，即为 HDL 文本输入。

### 2.1.2 综合

整个综合过程就是将设计者在 EDA 平台上编辑输入的 HDL 文本、原理图或状态图形描述，依据给定的硬件结构组件和约束控制条件进行编译、优化、转换和综合，最终获得门级电路甚至更底层的电路描述网表文件。

### 2.1.3 适配

适配是将由综合器产生的网表文件配置于指定的目标器件中，使之产生最终的下载文件，如 JEDEC、Jam 格式的文件。

### 2.1.4 仿真

仿真就是让计算机根据一定的算法和一定的仿真库对 EDA 设计进行模拟，以验证设计、排除错误。如图 2.3 所示是常见的两种仿真形式。

(1) 时序仿真：仿真文件中已包含了器件硬件特性参数，仿真精度高。仿真文件必须来自针对具体器件的适配器。

(2) 功能仿真：直接对 VHDL、原理图描述或其他描述形式的逻辑功能进行测试模拟，以了解实现的功能是否满足要求。仿真过程不涉及器件硬件特性，耗时短。