



航天科技图书出版基金资助出版

 Springer

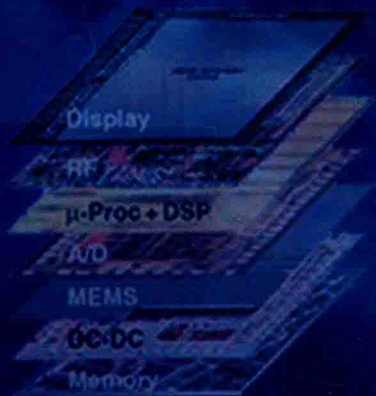
# 晶圆级3D IC工艺技术

[新加坡] 陈全胜 (Chuan Seng Tan)

[美] 罗纳德·J·古特曼 (Ronald J. Gutmann) 著

[美] L·拉斐尔·赖夫 (L. Rafael Reif)

单光宝 吴龙胜 刘松 译



中国宇航出版社

航天科技图书出版基金资助出版

# 晶圆级 3D IC 工艺技术

[新加坡] 陈全胜 (Chuan Seng Tan)

[美] 罗纳德·J·古特曼 (Ronald J. Gutmann) 著

[美] L·拉斐尔·赖夫 (L. Rafael Reif)

单光宝 吴龙胜 刘松译



中国宇航出版社

·北京·

Translation from English language edition:  
*Wafer Level 3-D ICs Process Technology*  
by Chuan Seng Tan, Ronald J. Gutmann and L. Rafael Reif  
Copyright © 2008 Springer US  
Springer US is a part of Springer Science+Business Media  
All Rights Reserved

本书中文简体字版由著作权人授权中国宇航出版社独家出版发行, 未经出版者书面许可, 不得以任何方式抄袭、复制或节录本书中的任何部分。

著作权合同登记号: 图字: 01-2016-6950号

版权所有 侵权必究

### 图书在版编目(CIP)数据

晶圆级 3D IC 工艺技术 / (新加坡) 陈全胜  
(Chuan Seng Tan), (美) 罗纳德·J. 古特曼  
(Ronald J. Gutmann), (美) L. 拉斐尔·赖夫  
(L. Rafael Reif) 著; 单光宝, 吴龙胜, 刘松译. --  
北京: 中国宇航出版社, 2016. 10

ISBN 978-7-5159-1203-5

I. ①晶… II. ①陈… ②罗… ③L… ④单… ⑤吴…  
⑥刘… III. ①集成电路工艺 IV. ①TN405

中国版本图书馆 CIP 数据核字 (2016) 第 248925 号

责任编辑 侯丽平

责任校对 祝延萍

封面设计 宇星文化

出版

**中国宇航出版社**

发行

社址 北京市阜成路 8 号

邮编 100830

(010)60286808

(010)68768548

网址 www.caphbook.com

经销 新华书店

发行部 (010)60286888

(010)68371900

(010)60286887

(010)60286804(传真)

零售店 读者服务部

(010)68371105

承印 北京画中国印刷有限公司

2016 年 10 月第 1 版

2016 年 10 月第 1 次印刷

规格 880 × 1230

开本 1/32

印张 14.5

字数 390 千字

书号 ISBN 978-7-5159-1203-5

定价 88.00 元

本书如有印装质量问题, 可与发行部联系调换

## 航天科技图书出版基金简介

航天科技图书出版基金是由中国航天科技集团公司于2007年设立的，旨在鼓励航天科技人员著书立说，不断积累和传承航天科技知识，为航天事业提供知识储备和技术支持，繁荣航天科技图书出版工作，促进航天事业又好又快地发展。基金资助项目由航天科技图书出版基金评审委员会审定，由中国宇航出版社出版。

申请出版基金资助的项目包括航天基础理论著作，航天工程技术著作，航天科技工具书，航天型号管理经验与管理思想集萃，世界航天各学科前沿技术发展译著以及有代表性的科研生产、经营管理译著，向社会公众普及航天知识、宣传航天文化的优秀读物等。出版基金每年评审1~2次，资助20~30项。

欢迎广大作者积极申请航天科技图书出版基金。可以登录中国宇航出版社网站，点击“出版基金”专栏查询详情并下载基金申请表；也可以通过电话、信函索取申报指南和基金申请表。

网址：<http://www.caphbook.com>

电话：(010) 68767205, 68768904

## 译 序

近年来，随着半导体工艺的特征尺寸减小到 30 nm 以下，业界对未来集成电路发展战略的重心从平面集成转向 3D 集成（3D IC）。3D 集成已成为集成、封装乃至整个半导体行业的热门研究方向。3D 集成技术属于一个新兴的多学科交叉的高科技领域，是实现微电子产品朝小型化、高效能、高整合、低功耗及低成本方向发展的关键技术，被业界和学术界认为是决定微电子和微系统领域未来发展的一项核心高新技术。3D 集成技术具有可异质集成的独特优点，可采用 3D 架构实现集成电路/微系统的高密度、高性能、多功能和低成本，是突破目前平面集成限制、超越摩尔定律、维持集成电路持续提升的核心技术，对满足集成电路高集成密度、高功能密度和高性能集成的迫切需求，突破国内自主可控平面集成能力不足的瓶颈，实现集成电路由平面集成向三维立体集成的跨越式发展，具有重要的战略价值。

国际上大规模开展 3D 集成技术研究已有十多年的历史，产业界和学术界对 3D 集成的设计、制造和测试可靠性高度关注，几乎所有微电子方向的著名高校、研究机构和产业界纷纷开展相关技术的研究开发，一批专著也陆续面世。2009 年以来，我国在国家重大科技专项和 973 等计划支持下开展 3D 集成技术研究，取得了初步成果，吸引了众多研究者与投资者对 3D 集成的重视。目前国内众多科研机构、院校等均开展了 3D 集成技术研究。3D 工艺技术是 3D 集成技术的核心，也是制约 3D 集成技术发展的关键瓶颈之一。为了促进我国在这一领域的研究，西安微电子技术研究所组织部分科技人员翻译了这本由新加坡南洋理工大学的 Chuan Seng Tan、美国伦斯勒理工

学院的 Ronald J. Gutmann 和美国麻省理工学院的 L. Rafael Reif 合著的《Wafer Level 3D ICs Process Technology》。该书的主要内容聚焦于 3D 集成工艺技术，内容涵盖前端工艺至后端工艺，详细介绍了 3D IC 主要的工艺过程，列举了相关工艺的潜在应用，指出了这些关键工艺中存在的问题与挑战，非常适合高等院校相关专业的师生和从事集成电路/微系统、先进封装技术研究的工程技术人员阅读和使用。

全书共分为 15 章，吴龙胜、王竹平、孙有民研究员共同组织了本书的翻译工作。其中单光宝博士翻译了序言和第 5 章、7 章；李翔博士翻译了第 1 章、3 章、10 章的大部分内容；谢成民博士翻译了第 2 章、12 章、15 章；刘松翻译了第 9 章、13 章、14 章；张巍、怡磊、杜欣荣、贺欣分别翻译了第 4 章、6 章、8 章、11 章；单光宝博士和吴龙胜博士进行了全书的通稿和审校。王文会在航天科技图书出版基金的申请方面给予了帮助和支持，在此表示衷心的感谢。特别感谢西安微电子技术研究所、中国宇航出版社、航天科技图书出版基金对本书翻译出版给予的支持。

由于译者水平有限，书中疏漏之处在所难免，欢迎广大读者批评指正。

15 3 7

2015 年元月于西安

## 序

3D (Three - Dimensional) 集成技术可以有效解决目前半导体行业内许多令人困扰的问题,如异质集成、减小功耗、尺寸、延时和成本等。对于集成规模确定的系统,其功耗、访问周期和尺寸均与器件间不发生相互作用的最小距离大致成正比。3D 集成通过高密度垂直通孔将多层器件和互连层垂直堆叠在一起,还可将多种工艺不兼容的多层芯片堆叠在一起,实现低成本、低寄生效应集成。例如将传感器、换能器、非易失性存储器、高密度存储器、快擦写存储器、处理器及射频器件等不同功能的芯片 3D 集成,这些都推动了 3D 集成技术的发展。为顺应集成电路向高整合度、低功耗、小尺寸、异质集成及多功能集成的发展趋势,大多数半导体厂商都选择了 3D 集成技术。

多芯片立体集成的概念已经提出了 20 多年,目前此项技术尚未在半导体行业普及,原因在于,虽然 3D 技术引起了人们的兴趣,但与工艺线宽持续缩小带来的巨大优势相比,当时发展 3D 集成的必要性不足。此外,即使是必须采用 3D 技术才能彻底解决的单核高性能处理器的全局互连问题,也可以通过采用多核架构暂时解决,这也延缓了 3D 集成的发展进程。同时,成本及技术风险也是延缓 3D 集成发展的重要因素之一。新一代工艺带来的工艺线宽缩小会使平面集成成本降低约 50%,而在 3D 集成中垂直互连通孔制作和晶圆键合会引入额外的成本。目前 3D 集成只有在不同工艺器件的异质集成方面才会体现出真正的成本优势。另外,工艺技术的成熟也是 3D 集成技术发展缓慢的原因之一。

那么 3D 集成未来发展前景如何?目前来看,3D 集成技术的时

代似乎已经来临。当前工艺线宽持续缩小愈发困难，3D 集成技术将是进一步提升芯片功能集成密度最好的选择。电子系统微型化的迫切需求推动了硅通孔（Through - Silicon Via, TSV）技术的商业化，目前 TSV 技术已成功用于手机用立体叠层存储器生产。立体叠层存储器的制造成功推动了相关 3D 技术的蓬勃发展，预计几年后基于 TSV 的立体异质集成技术也将会应用在手机中，并且具备高通孔密度的高性能、低功耗的应用也即将实现。也许，只有当更多常规应用推动 3D 技术足够成熟时，3D 集成才能真正普及。例如新型可植入人体的 3D 生物芯片，体积仅有  $100 \mu\text{m}^3$ ，可自动吸收人体内能量，选择性吸附癌细胞并探测细胞类型。一旦吸附的细胞类型不符合要求，则会自动关机，吸附类型正确时就会通过高电流杀死癌细胞。这种生物芯片可存储细胞查杀过程，通过独一无二的射频信号定期发送给病患所携带的接收器，并针对特定类型的细胞进行查杀。

由于不同领域对 3D 集成的定义不同，本书尽可能地对各种 3D 集成技术进行全面介绍，详细介绍了各种 3D 集成技术的能力、局限性及其典型应用，并将读者引入一场正悄然兴起的技术革命。

Intel/SRC

斯科特·利斯特 (Scott List)



## 前 言

集成电路延续工艺线宽持续缩小和功能密度持续提升的发展方向面临着许多难以逾越的障碍，3D集成技术是突破平面集成电路发展屏障的有效途径。过去的几年里，在学术界和产业界的共同努力下，3D集成技术得以成功面世。目前，3D集成按照应用领域可划分为不同的种类，每种技术都有望成为未来可行的技术方案。在本书出版之时，基于TSV垂直互连的商业立体集成芯片已经问世。

撰写一本3D集成技术书籍的想法可追溯至一年前，当时与3D集成技术相关的文章及会议大量涌现（现在也很多）。但是，在这一新兴领域却缺乏相关的参考书籍。起初的想法是撰写一本书，但是我们很快意识到这是一项艰巨的任务，想在一本书中将不同类型的3D集成技术都阐述清楚将是一大挑战。经过重新审视，我们决定编译一本包含各大学、研究实验室和产业界专家的研究成果的书代替原有撰写计划。在仔细规划后，我们邀请了一支高水平的研究团队来撰写此书的各个章节，从计划出书，到撰写、编辑，再到付梓出版历时整整一年。

本书写作目的是想将前封装的晶圆级3D集成技术的新颖理念呈现给读者，主要内容聚焦于3D集成工艺技术，内容涵盖前端工艺至后端工艺。书中对每一关键工艺都进行了详细的介绍，列举了相关工艺的潜在应用，并指出这些关键工艺中存在的技术挑战。本书适用于正在从事或准备从事3D集成技术领域的研究者或工程师。

如果没有一支高水平且具备奉献精神的工作团队，这本书是无法完成的。本书要特别感谢施普林格（Springer）出版社 Carl Harris 的大力支持，以及前期为本书所做的工作。感谢丛书编辑 Anantha

Chandrakasan 对本书内容提出的宝贵建议。感谢与我们一道工作的 Katie Stanne 对书稿的编辑工作。感谢 MARCO 和 DARPA 联合资助的互连研究中心 (Interconnect Focus Center, IFC) 和 DARPA 资助的 3D IC 计划对三位联合作者的长期支持, 没有他们的支持, 3D 集成技术研究及本书的编写都无法顺利实现。C. S. Tan 早先受到 SRC 和应用材料研究生奖学金的部分资助, 目前在南洋理工受到 Lee Kuan Yew 博士后奖学金资助。最后, 对受邀撰写此书各个章节的所有作者表示衷心的感谢。

希望本书能对从事 3D 集成技术相关研究的广大读者提供切实的帮助, 如果您对本书有任何意见和建议, 请及时联系我们。

陈全胜 (Chuan Seng Tan), 新加坡

罗纳德·J·古特曼 (Ronald J. Gutmann), 特洛伊, 美国

L·拉斐尔·赖夫 (L. Rafael Reif), 剑桥, 美国

# 目 录

<b>第 1 章 晶圆级 3D IC 综述</b> .....	1
1.1 背景及引言 .....	1
1.2 动机——超越摩尔定律的方法 .....	3
1.2.1 互连瓶颈 .....	3
1.2.2 芯片面积 .....	4
1.2.3 异质集成 .....	4
1.2.4 堆叠式 CMOS .....	5
1.3 3D IC 的分类 .....	5
1.3.1 单片集成方式 .....	6
1.3.2 组装方式 .....	7
1.3.3 晶圆级 3D 设计机遇 .....	9
1.4 本书的构成 .....	10
参考文献 .....	13
<b>第 2 章 单片 3D 集成电路</b> .....	15
2.1 引言 .....	15
2.2 上层采用大颗粒多晶硅的 3D 电路 .....	16
2.2.1 上层多晶硅再结晶技术 .....	16
2.2.2 3D 逻辑电路制作工艺分类 .....	18
2.3 采用小晶粒多晶硅层的 3D 电路 .....	22
2.3.1 SRAM .....	23
2.3.2 非易失性存储器：交叉点存储器 .....	23
2.3.3 非易失性存储器：TFT - SONOS .....	28
2.4 非硅单片 3D 集成电路 .....	31

2.5	小结 .....	32
	参考文献 .....	34
<b>第 3 章</b>	<b>堆叠式 CMOS 技术</b> .....	<b>39</b>
3.1	堆叠式 CMOS 结构 .....	39
3.2	堆叠式 CMOS 器件设计及工艺 .....	41
3.2.1	逐层加工工艺 .....	41
3.2.2	多层同步加工工艺 .....	42
3.2.3	版图问题 .....	45
3.3	基于 SOI 晶圆顶层硅和衬底的堆叠式 CMOS .....	46
3.4	堆叠 FinCMOS 技术 .....	50
3.5	小结 .....	57
	参考文献 .....	58
<b>第 4 章</b>	<b>用于 3D IC 的晶圆级键合技术</b> .....	<b>60</b>
4.1	引言 .....	60
4.2	晶圆级键合设备概述 .....	60
4.3	表面预处理 .....	62
4.3.1	表面预处理——湿法化学处理 .....	63
4.3.2	表面预处理——等离子体活化 .....	65
4.3.3	表面预处理——等离子体与湿法化学组合工艺 .....	67
4.3.4	表面预处理——蒸汽清洗 .....	67
4.4	键合对准机——设备工作原理 .....	71
4.5	对准策略 .....	73
4.6	晶圆传送夹具 .....	82
4.7	晶圆级键合技术 .....	85
4.8	用于 3D 集成的晶圆级键合技术 .....	89
4.8.1	硅-硅直接键合 .....	89
4.8.2	BCB 键合 .....	90
4.8.3	铜-铜扩散键合 .....	95

---

---

4.8.4 共晶键合 .....	96
4.9 键合质量测试 .....	99
4.10 小结 .....	101
参考文献 .....	102
<b>第5章 TSV 加工、背面减薄及载片技术 .....</b>	<b>105</b>
5.1 引言 .....	105
5.2 TSV 与引线键合的比较 .....	105
5.3 硅通孔的形成 .....	106
5.3.1 用于芯片-晶圆堆叠的 TSV 制作技术: 激光钻孔 ..	107
5.3.2 用于芯片-晶圆堆叠的 TSV: 刻蚀 .....	107
5.3.3 用于晶圆级堆叠的 TSV .....	110
5.4 TSV 内壁绝缘 .....	111
5.5 钨填充和抛光 .....	112
5.6 铜填充 .....	113
5.6.1 用于铜电镀的阻挡层和种子层 .....	113
5.6.2 铜的电镀 .....	115
5.6.3 铜的化学机械抛光 (CMP) .....	116
5.7 晶圆减薄 .....	116
5.7.1 背面研磨 .....	117
5.7.2 应用于晶圆减薄及应力释放的湿法刻蚀技术 .....	120
5.7.3 晶圆注氢剥离技术 .....	120
5.8 划片 .....	122
5.9 载片技术 .....	124
5.9.1 载片 .....	125
5.9.2 临时键合胶 .....	126
5.9.3 可选择 (涂覆) 的释放层 .....	128
5.10 晶圆临时键合 .....	128
5.10.1 热塑性材料 .....	129
5.10.2 紫外光 (UV) 固化材料 .....	131

5.10.3	复合胶膜	132
5.10.4	金属材料	133
5.11	载片	134
5.12	解键合工艺	135
5.12.1	化学方法	136
5.12.2	热处理方法	136
5.12.3	激光处理	137
5.13	解键合的后处理	138
5.14	小结	138
	参考文献	140
<b>第 6 章</b>	<b>用于 3D IC 的晶圆级铜键合技术</b>	<b>144</b>
6.1	引言	144
6.2	铜键合工艺的分类	144
6.2.1	铜-铜表面活化键合	144
6.2.2	铜-铜热压键合	145
6.3	铜-铜键合机理	145
6.3.1	铜键合层形貌	146
6.3.2	铜键合层中氧化物的检验	147
6.3.3	铜键合工艺中微结构变化	147
6.3.4	铜键合过程中晶向的变化	149
6.4	铜-铜键合工艺开发	150
6.4.1	结构设计	150
6.4.2	铜键合点制作	151
6.4.3	键合工艺参数	152
6.5	铜键合质量表征及对准精度	153
6.6	可靠的铜键合和多层堆叠	156
6.7	晶圆级铜-铜键合的应用	159
6.8	小结	160
	参考文献	161

---

---

<b>第 7 章 铜-锌固液扩散键合</b> .....	163
7.1 SLID 的原理 .....	164
7.1.1 液化和液相的特性 .....	165
7.1.2 合金和金属间化合物 (IMC) 的生长 .....	169
7.1.3 工艺条件及特性 .....	172
7.2 芯片堆叠: 基于 F2F 键合的固-液扩散工艺 .....	177
7.2.1 工艺流程 .....	178
7.2.2 微缝隙的下填充 .....	180
7.2.3 自对准 .....	182
7.2.4 可靠性结果 .....	182
7.3 3D 集成: SLID 多芯片堆叠 .....	188
7.3.1 SLID 和背通孔技术 .....	189
7.3.2 ICV-SLID 技术方案 .....	197
7.3.3 铜凸点键合技术 .....	199
7.4 W2W 与 C2W 技术的简单比较 .....	203
7.5 小结 .....	205
致谢 .....	207
参考文献 .....	208
<b>第 8 章 基于 SOI 的 3D 电路集成技术</b> .....	212
8.1 引言 .....	212
8.2 林肯实验室的晶圆级 3D 电路集成技术 .....	213
8.2.1 3D 制造工艺 .....	213
8.2.2 3D 可行性技术 .....	215
8.2.3 3D 技术线宽的缩小 .....	222
8.3 制作在堆叠层上 FDSOI 晶体管与器件的特性 .....	225
8.4 林肯实验室的 3D 多工程电路设计和版图布局技术 .....	229
8.4.1 3D 设计和版图布局实例 .....	229
8.4.2 电脑辅助设计工具优化 .....	230
8.4.3 3D 设计的优化 .....	231

8.4.4	晶圆级的辅助对准 .....	232
8.4.5	3D 设计和提交程序 .....	233
8.4.6	3D 电路设计实例 .....	235
8.5	3D 电路和器件成果 .....	237
8.5.1	3D LADAR 芯片 .....	238
8.5.2	1024×1024 的 3D 可见光图像传感器 .....	240
8.5.3	异质集成 .....	241
8.6	小结 .....	242
	致谢 .....	243
	参考文献 .....	244
<b>第 9 章</b>	<b>高性能 CMOS 3D 制作技术</b> .....	<b>248</b>
9.1	3D 技术 .....	248
9.1.1	引言 .....	248
9.1.2	3D 技术前景 .....	249
9.1.3	晶圆级 3D 集成 .....	249
9.1.4	IBM 3D 集成技术 .....	255
9.2	未来 3D 集成研究方向 .....	268
9.2.1	键合结构的热耗散 .....	268
9.2.2	3D 互连结构的噪声 .....	268
9.2.3	带宽利用率和高效能设计技术 (低电压、高效能) ..	269
9.3	小结 .....	270
	致谢 .....	271
	参考文献 .....	272
<b>第 10 章</b>	<b>基于绝缘层黏附键合的 3D 集成</b> .....	<b>277</b>
10.1	引言 .....	277
10.2	黏附键合的机理和绝缘黏附层 .....	278
10.2.1	用于晶圆键合的聚合物黏附层的理想特性 .....	279
10.2.2	晶圆黏附键合技术 .....	282



10.3 基于黏附键合的晶圆级 3D 集成平台 .....	284
10.3.1 后通孔 3D 平台: 晶圆黏附键合和铜大马士革互连工艺 .....	286
10.3.2 先通孔 3D 平台: 晶圆级大马士革金属/粘合剂再布线图形键合工艺 .....	287
10.4 初步烘干 BCB 和部分固化 BCB 的影响 .....	289
10.4.1 BCB 层的厚度均匀性 .....	291
10.4.2 BCB 的键合强度以及空洞和缺陷对键合的影响 .....	292
10.4.3 对晶圆级对准精度的影响 .....	292
10.5 无图形晶圆黏附键合的完整性 .....	294
10.5.1 光学检测法 .....	294
10.5.2 四点弯曲法测量键合强度 .....	295
10.5.3 热循环测试 .....	296
10.5.4 封装可靠性测试 .....	297
10.5.5 晶圆减薄 .....	299
10.5.6 晶圆黏附键合的电特性 .....	301
10.6 带图形晶圆黏附键合的完整性 .....	302
10.6.1 用于铜大马士革工艺的部分固化 BCB .....	303
10.6.2 键合强度和空洞/缺陷 .....	304
10.6.3 采用大马士革工艺的 Cu/BCB 图形层的表面形貌 .....	304
10.7 晶圆级 3D 集成的可行性演示 .....	305
10.7.1 后通孔 3D 平台的可行性演示 .....	306
10.7.2 先通孔 3D 平台的可行性演示 .....	308
10.8 热机械模型 .....	312
10.9 3D 平台和应用讨论 .....	315
10.10 小结 .....	317
致谢 .....	318
参考文献 .....	319