

“十三五”国家重点出版物出版规划项目

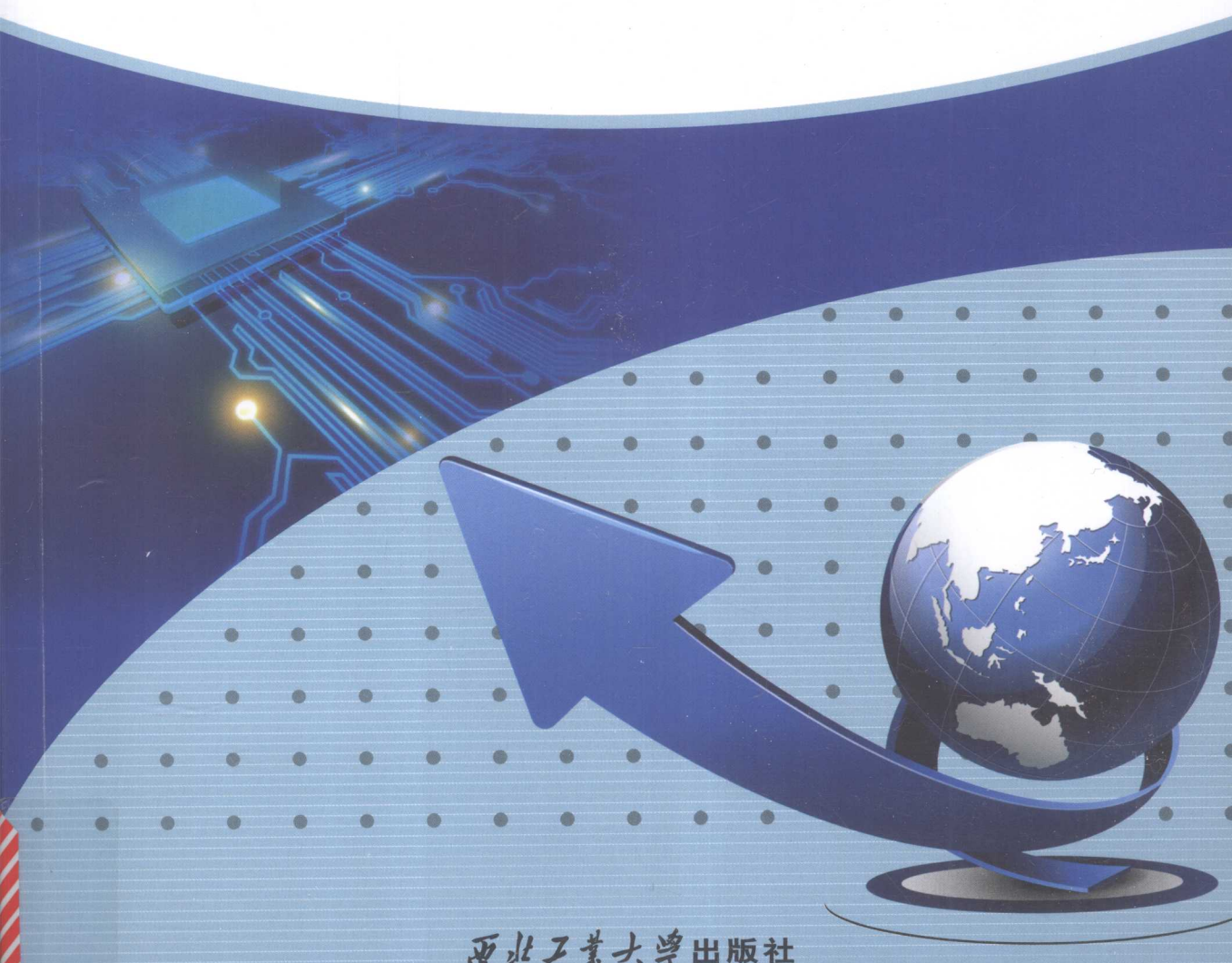


工业和信息化部“十二五”规划专著

SoC设计方法学

SoC Design Methodology

田 泽◎著



西北工业大学出版社

“十三五”国家重点出版物出版规划项目



工业和信息化部“十二五”规划专著

SoC SHEJI FANGFAXUE

SoC 设计方法学

田 泽 著

西北工业大学出版社

【内容简介】 本书在作者多年从事 SoC 项目实践的基础上,从 SoC 项目过程管理、关键技术以及基于 SoC 应用解决方案三方面体系性地论述了 SoC 设计方法学。首先从 SoC 设计流程及工具、SoC 项目策划及管理方面介绍了 SoC 设计过程管理等;在此基础上,对 SoC 设计的需求开发及芯片定义、体系结构设计及优化、代码编写及检查、IP 选择及集成复用、片上互连技术、软硬件协同设计与验证、低功耗设计、可测性设计、物理设计、混合信号建模及仿真、封装设计及测试与验证等 SoC 设计涉及的关键技术进行了阐述;最后对基于 SoC 应用解决方案进行详细论述。

本书可供高等院校电子类本科高年级、研究生阶段使用,也可供相关科研及工程技术人员以及从事 SoC 学习及科研工作人员阅读参考。

图书在版编目(CIP)数据

Soc 设计方法学/田泽著. —西安:西北工业大学出版社, 2016. 12
工业和信息化部“十二五”规划专著
ISBN 978 - 7 - 5612 - 4826 - 3

I. ①S… II. ①田… III. ①集成电路—芯片—设计 IV. ①TN402

中国版本图书馆 CIP 数据核字(2016)第 085144 号

策划编辑: 杨 军

责任编辑: 张珊珊

出版发行: 西北工业大学出版社

通信地址: 西安市友谊西路 127 号 邮编: 710072

电 话: (029)88493844, 88491757

网 址: www.nwpup.com

印 刷 者: 兴平市博闻印务有限公司

开 本: 787 mm×1 092 mm 1/16

印 张: 31.875

字 数: 778 千字

版 次: 2016 年 12 月第 1 版 2016 年 12 月第 1 次印刷

定 价: 79.00 元

前 言

从1958年杰克·基尔比(Jack S. Kilby)发明了世界上第一块集成电路至今的50多年间,“更小、更快、更廉价”一直是集成电路设计不断追求的目标。在需求牵引和技术推动下,集成电路飞速发展,已成为信息化时代前进的基石。

SoC是集成电路发展到系统级集成阶段的产物,SoC的出现,将“S”的特性引入“C”后,集成电路设计方法由传统的以电路为核心转变为以系统功能为核心,其设计流程、理念、方法和所涉及工具等,与传统集成电路的设计相比发生了本质性变化,并衍生出一系列新的技术问题,如系统功能实现的软硬件划分、软硬件协同设计及验证、IP选择及复用以及层次化设计与验证等,这些都是SoC设计需要探索 and 解决的问题。

笔者从1998年开始从事SoC科研工作,并开展了SoC基础理论及设计技术的研究,2002年翻译并出版国内最早的ARM SoC著作《ARM SoC体系结构》,2003年合译《SoC设计与测试》等。我国集成电路设计业薄弱,自主设计并批量商用的芯片寥寥无几,而信息技术的快速发展对于芯片需求日益旺盛。基于系统应用、以系统解决方案单片化为发展牵引,以SoC为技术手段,应是解决中国信息产业长期依赖进口芯片的有效方法。不再走仿制国外芯片的道路,SoC设计技术已经成为中国集成电路设计自主发展的必然选择。华为海思是这一模式的成功典范,中航工业计算所也具有类似的技术平台,在笔者组织下,经过近10年的努力,先后成功研制并量产了约10款SoC,经过多个项目实践和探索,逐步摸索出一套SoC设计的项目策划、设计流程及方法,建立了有效支撑设计的EDA环境,突破多项关键技术,形成了复杂SoC的研制能力。

经过多年来的项目实践及努力探索,有成功的喜悦,也有失败后的焦虑,经历了不少坎坷及困惑,有一些体会、认识,总觉得一些重要的问题必须澄清,虽然没有能力也没有可能讲清楚SoC所有的问题,但笔者期望对多年来从事的SoC具体技术工作加以总结和升华,与大家交流分享。SoC技术及产业发展,必须从人才培养抓起,笔者一直希望有一本基于大量项目实践,能够系统阐述介绍SoC设计方法的教科书,使得相关学科的学生能够结合具体项目的共性规律去认识、学习,对SoC知识和方法掌握就会更加实际、扎实一些,以满足SoC设计产业对于人才培养的要求。

虽然目前SoC尚没有统一的定义,但经过笔者多年学习、研究及项目实践,对SoC有了一些更为清晰的认识:SoC是以芯片为载体、以IP复用为基础、以软硬件协同设计及验证为手段,使用先进的EDA开发工具,实现系统功能的单片化集

成。在多年从事 SoC 项目研制实践、认识及经验积累基础上,笔者完成了本书的编写。本书从 SoC 设计过程管理、关键技术以及 SoC 应用解决方案这三方面,系统地、全面地论述了 SoC 设计方法学。希望本书能够为我国 SoC 设计业的发展和项目实践提供一定的参考借鉴,推动我国 SoC 设计业的发展。

SoC 设计流程将复杂的设计按照不同阶段划分,并规定了各阶段的执行顺序及关联关系与条件,严格按照 SoC 设计流程以及不同设计阶段,对芯片的研制过程中的阶段活动目标、阶段间的转换条件及关系进行精准管理与控制。SoC 设计需要综合考虑技术、人力、时间、成本、质量、风险、上市时间等各方面因素,任何一个环节出错,都可能会导致芯片流片失败。因此,在 SoC 设计前期必须对设计过程中的全部活动及所需资源预先进行详细、精准的策划,并在设计过程中实施有效的管理和控制,以保证设计过程高效有序地开展。SoC 设计过程管理主要从系统工程的角度关注 SoC 设计流程及 EDA 工具的综合应用,以及基于设计流程的项目策划与管理。本书第 1 章回顾并总结了集成电路设计方法学演化进程,在此基础上,分别在第 2 章、第 3 章中结合具体项目实践对 SoC 设计过程管理所涉及的设计流程及工具、SoC 项目策划及管理进行了讲述。

SoC 实现了系统功能和芯片的高度融合,涉及大量系统领域的专业知识,需要多专业、多学科、多领域的知识融合和关键技术支撑。一款 SoC 设计需要大量来自不同专业、不同领域、具有不同知识背景的科研人员紧密合作,以完成芯片的定义、设计、验证、制造、测试、应用开发和系统验证。因此,SoC 设计过程中涉及的关键技术是 SoC 设计方法学需要重点关注和研究的内容。本书结合具体项目实践在第 4~15 章对 SoC 设计的需求开发及芯片定义、体系结构设计及优化、代码编写及检查、IP 选择及集成复用、片上互连技术、软硬件协同设计与验证、低功耗设计、可测性设计、物理设计、混合信号建模及仿真、封装设计以及测试与验证这些关键技术进行了讲述。

SoC 功能的设计直接与系统应用紧密结合,拉近了芯片研制与最终用户之间的距离,但由于 SoC 的复杂性,对用户也提出了更高的要求。为使用户能够快速了解、全面掌握,将芯片应用于系统,实现产品快速上市,芯片设计者必须从用户角度出发,开发基于 SoC 的便于学习、易于掌握、能够快速应用的一整套应用解决方案,以便 SoC 尽快投入使用。构建基于核心芯片的板卡、软件、仿真验证系统,最终能够为用户提供完善的技术解决方案和服务,缩短产品研发周期,增强用户体验,提升基于核心芯片的自主创新能力,加速芯片推广应用进程,也是 SoC 设计方法学不可或缺的重要组成部分。本书在第 16 章着重对 SoC 应用解决方案进行详细论述。

笔者在中航工业西安航空计算技术研究所的十年间,在上级机关、中航工业集团公司、中航工业航电系统公司、计算所诸多领导以及产业界朋友的支持和帮

助下,带领的团队由最初的不足 20 人发展到近 180 余人(计算所 80 余人,西安翔腾微电子科技有限公司近 100 人),并成立了“集成电路与微系统设计航空科技重点实验室”,是陕西省“三秦学者——航空集成电路设计”设岗单位,完成了多款 SoC 芯片研制,取得了一些研究成果。如果没有计算所这个开发平台,以及大家无私的帮助,这些成果仅凭个人的努力难以实现,在此表示深深的感谢。

特别向为本书做出贡献的西安航空计算技术研究所微电子研究室的全体人员表示衷心的感谢。近十年来,全室员工充分利用国家发展集成电路及信息装备集成电路国产化的良好机遇,不论遇到多大的困难,都“不等待、不观望、不懈怠”,挑灯夜战,加班加点,攻坚克难,发奋图强,努力拼搏,以缩短与发达国家核心技术与产品的差距,实现航空信息装备核心芯片自主保障为己任,以开放和包容的精神直面各种挑战,立志让我国的飞机承载着更多航空之“芯”,安全翱翔在祖国的万里长空。没有他们的贡献,我们的项目难以顺利开展,更难以完成这本书,本书也凝聚着他们的辛勤汗水,本书的出版是对他们近十年来努力的最好感谢。

本书的写作还参阅了相关文献资料,在此,谨向其作者深表谢意。

本书并不是无所不包的关于 SoC 的百科全书,而仅是对我们多年来 SoC 设计的学习、探索、工程实践及认识的基本总结。由于笔者水平所限,在全书的组织架构、内容挖掘及编写以及文字描述等方面难免存在许多不足之处,恳请广大读者批评指正。

田 泽

2016 年 6 月 1 日

目 录

第 1 章 SoC 设计方法学概述	1
1.1 集成电路设计方法学演变	1
1.2 SoC 设计方法学研究内容	8
第 2 章 SoC 设计流程及工具	22
2.1 SoC 设计流程	22
2.2 EDA 工具介绍	35
2.3 HKS1553BCRT SoC 设计流程与 EDA 应用实例	41
第 3 章 SoC 设计策划及管理	44
3.1 团队管理	44
3.2 项目策划	46
3.3 项目进度管理	55
3.4 需求管理	56
3.5 配置管理	64
3.6 质量管理	70
第 4 章 SoC 需求开发及芯片定义	75
4.1 需求概述	75
4.2 需求工程	79
4.3 SoC 需求开发	81
4.4 芯片定义	91
4.5 HKS1553BCRT 需求开发及芯片定义示例	91
4.6 HKS664ES 需求开发及芯片定义示例	96
第 5 章 SoC 体系结构设计及优化	103
5.1 SoC 体系结构及其设计技术	103
5.2 SoC 体系结构设计阶段划分	106
5.3 SoC 体系结构的设计流程	107
5.4 SoC 体系结构设计关键技术	109
5.5 SoC 体系结构设计空间探索	110
5.6 SoC 体系结构设计示例	116

5.7 小结	132
第 6 章 代码编写及检查	133
6.1 代码书写风格	133
6.2 面向可综合的 HDL 编码风格	135
6.3 HDL 编码指南	154
6.4 HDL 代码检查	158
第 7 章 IP 选择及集成复用	163
7.1 IP 核概述	163
7.2 IP 核选择	175
7.3 IP 核设计	184
7.4 IP 核交易与保护	188
7.5 基于 IP 核的 SoC 集成与复用技术	191
第 8 章 SoC 片上互连技术	195
8.1 片上互连技术的发展	195
8.2 片上总线	195
8.3 片上网络	205
8.4 片上互连的发展趋势	213
第 9 章 SoC 软硬件协同设计与验证	214
9.1 SoC 软件设计	214
9.2 SoC 硬件原型设计	219
9.3 软硬件协同验证	225
9.4 协同设计与验证示例	234
9.5 小结	245
第 10 章 SoC 芯片的低功耗设计	246
10.1 概述	246
10.2 SoC 功耗层次化分析	247
10.3 SoC 功耗机理探索	248
10.4 SoC 低功耗设计方法	250
10.5 SoC 功耗估计评价	262
10.6 实例	267
10.7 小结及展望	269

第 11 章 SoC 芯片可测性设计	270
11.1 SoC 的测试挑战和趋势	270
11.2 可测性设计基本概念	271
11.3 SoC 可测性设计方法	281
11.4 SoC 低功耗可测性设计方法	289
11.5 小结及展望	295
第 12 章 SoC 芯片的物理设计	296
12.1 概述	296
12.2 SoC 物理设计流程	297
12.3 典型物理设计 EDA 工具及流程	303
12.4 深亚微米物理设计面临新问题	305
12.5 SoC 布图设计	307
12.6 SoC 时序约束与时序分析	313
12.7 SoC 物理检查与验证	321
12.8 实例	327
12.9 小结	338
第 13 章 SoC 芯片混合信号建模及仿真	339
13.1 SoC 混合信号建模方法	339
13.2 大规模数模混合信号电路的仿真	373
13.3 小结	379
第 14 章 SoC 芯片的封装设计	380
14.1 管壳基本分类	380
14.2 封装技术的发展	383
14.3 封装工艺	386
14.4 SoC 封装设计	387
14.5 SoC 封装可靠性分析	389
14.6 封装设计实例	393
14.7 小结	402
第 15 章 SoC 芯片测试与验证	404
15.1 SoC 芯片验证与测试规划	405
15.2 SoC 芯片验证与测试方法	407
15.3 AFDX 网络协议处理芯片验证与测试	436

15.4 SoC 芯片测试面临的挑战	443
第 16 章 SoC 芯片应用解决方案	445
16.1 概述	445
16.2 芯片配套手册	445
16.3 软件开发工具链	448
16.4 评估套件	452
16.5 基于 HKS1553BCRT 芯片的应用解决方案	456
16.6 基于 HKS664ES 芯片的应用解决方案	475
16.7 小结	490
索引	491
参考文献	495

第 1 章 SoC 设计方法学概述

集成电路诞生至今的五十多年里,集成规模和复杂度在呈指数上升,单个芯片上实现系统功能的 SoC 已成为集成电路设计的主流,SoC 技术已经成为支撑信息社会发展的重要基础技术,经过 20 多年的发展,其设计方法的内涵和外延也得到了极大的发展,有效地推动着集成电路继续朝着“更小、更快、更轻、更廉价”的方向快速发展。

集成电路设计方法学涵盖了集成电路设计活动全生命周期的各个环节,本章从设计流程、设计手段、产业及应用几个方面总结、回顾了集成电路设计方法学的演变历史,重点对 SoC 设计方法学的研究内容进行介绍,通过介绍使读者能够对集成电路设计方法学及其发展过程有一个完整的认识。

1.1 集成电路设计方法学演变

关于集成电路最早的设想是在 1952 年,由英国雷达研究所的 G. W. A 达默提出“根据电子线路的要求,将电子线路所需要的晶体管、晶体二极管及其他必要元件全部完整地制作(集成)在单块半导体晶片上”,在这种设想的指导下,1958 年 Jack Kilby 制作出了第一块集成电路。集成电路诞生以后迅速成为半导体领域中最有活力和最具渗透力的产品。在 20 世纪 60—70 年代的世界“冷战”时代,集成电路首先被应用于军事领域。1980 年 IBM 研制出第一代商用化 PC,世界由此进入 PC 时代,仅仅在十几年间就实现了近数十亿台 PC 的普及应用。如今,集成电路已渗透到生活的每个角落,已经成为人们生活不可分割的内容,比如和我们每日出行相关的智能交通系统,包括智能 IC 卡、车载定速巡航系统、车道偏离检测系统、倒车影像、GPS 定位导航系统以及音乐播放器等车载电子设备;改善我们居住环境的智能家居,包括空气净化器、微波炉、电饭锅、电烤箱等智能厨电设备;工作中不可或缺的高性能计算机、工作站以及大量的高精度测试仪器等专用设备;休闲娱乐相关的消费类电子,包括无线路由器、平板电脑,智能电视、智能手机;以及最新的虚拟现实设备等产品 and 运动健身相关的可穿戴设备,包括智能手环、手表、计步器、心率计,等等。而支撑这些科技产品正常工作的基础和关键正是集成电路芯片。

回眸近 60 年电子信息新兴技术和新兴产业发展的历史,集成电路发展已成为当代电子信息技术的核心和基础,是经济和社会发展的战略性、基础性和先导性产业。研究作为指引集成电路技术发展和产业兴起的最佳实现方法的科学,具有非常重大的研究意义。

本节首先简单回顾集成电路设计方法学的演变,并对各阶段主要设计方法、设计手段及产业进行介绍。在集成电路发展初期,电路设计规模较小,多采用基于晶体管级的电路设计方法,从功能设计到物理实现均由设计人员手工完成,微处理器及内存便是这一时期的产物。到

20 世纪 80 年代,集成电路技术快速发展,基于管级的设计方法逐渐无法满足集成电路设计规模的不断增加,随着专用集成电路(Application Specific Integrated Circuit, ASIC)技术的成熟,基于标准单元库(Cell-Lib)的设计方法被广泛使用。这种设计方法不仅提高了集成电路的设计效率,还可以将芯片设计与制造分开。由于制造业投资的急剧增加,产生了集成电路制造业与设计业的分离,导致了代工厂(Foundry)和无工厂(Fabless)设计厂,集成电路产业的分离大大推动了集成电路技术的发展。

20 世纪 90 年代初,集成电路的身影已经出现在了计算机、通信、交通、航空、航天等各个领域,市场应用对集成电路的功能、性能、成本、上市时间都提出了更加苛刻的要求。同时,随着集成电路制造技术和半导体技术的发展,尤其是器件特征尺寸进入纳米量级,由来已久的集成电路制造能力与设计能力之间的剪刀差更加突出,使用传统的 ASIC 设计方法受到了严峻的挑战。人们提出了基于 IP 的设计方法,利用已有的技术积累,降低设计成本及设计风险,提高设计效率。随着基于 IP 的设计方法的成熟,集成电路设计进入 SoC 时代。

在集成电路的发展历程中,CAD/EDA 工具的使用也是集成电路设计和制造中不可或缺的部分,从最初的计算机辅助设计(Computer Aided Design, CAD)、计算机辅助制造(Computer Aided Manufacturing, CAM)、计算机辅助测试(Computer Aided Test, CAT)及计算机辅助工程(Computer Aided Engineering, CAE),到后来的电子自动化(Electrics Design Automation, EDA)都是集成电路设计的重要手段。

1.1.1 基于管级的电路设计方法

20 世纪 80 年代之前,集成电路处于小规模集成(Small Scale Integration, SSI)和中等规模集成(Medium Scale Integration, MSI)阶段,设计规模较小,集成电路设计以晶体管级的电路设计为主,纯手工定制版图。

一、设计流程

该阶段集成电路的设计是以晶体管为电路设计的基本单元,其设计过程可简单概括为功能、性能指标的提取和定义、电路设计及仿真验证和版图设计。

此阶段的集成电路规模较小,复杂度较低,在 CAD 引入之前,从电路指标确定到版图完成均采用手工定制的方式。首先根据电路功能和性能要求设计原理图,并针对功能和性能指标进行相应的仿真验证,根据仿真验证结果对电路的功能和性能进行评估,直到满足设计要求。接着,在此电路基础上进行集成电路版图的设计,并结合工艺库提供的模型,以电路结构为参考进行布局布线,提取版图的寄生参数,进行后仿真验证。对于不满足设计指标的电路,分析其影响因素,优化版图及原理图,不断迭代验证,直到验证指标均满足设计要求,最终完成电路设计,其过程如图 1-1 所示。

图 1-2 所示为 1966 年摩托罗拉公司推出的第一款 IC 的版图,其功能为 3 输入 ECL 门电路。设计过程是全手工操作,其流程可概括为设计原理图,硬件电路,电路模拟,元器件版图设计,版图布局布线,(分层剥离,刻红膜,初缩精缩,分步重复)制版,流片和成品。

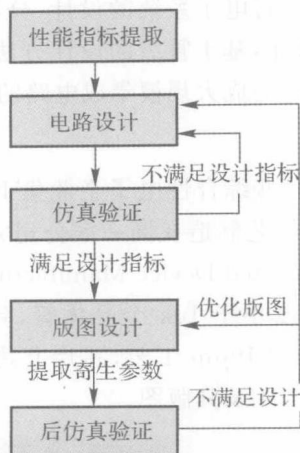


图 1-1 基于管级电路设计方法流程图

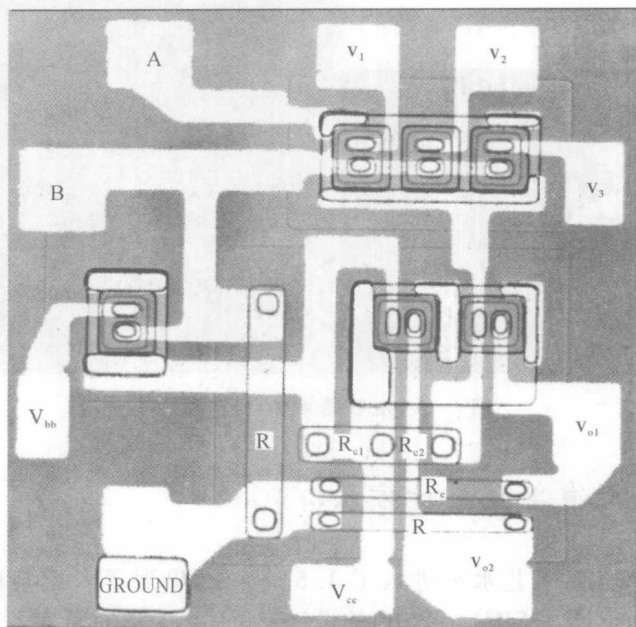


图 1-2 Motorola 第一款 IC 版图

二、设计手段

早期采用手工画图、机械刻红膜的传统方法进行集成电路设计，工作量大，容易出错，设计过程反复较多，导致设计效率低下，质量也难以保证。20 世纪 70 年代，CAD 技术在集成电路设计中得以应用，不仅为集成电路设计提供了先进的方法和高效的手段，更推动集成电路设计技术向自动化设计发展。CAD 技术实现了利用计算机辅助设计实现芯片电路设计，逻辑仿真，时序、电路模拟，版图设计，版图编辑，反向提取，规则检查等功能。

在这一阶段后期，MOS 工艺得到广泛应用，可编程逻辑技术及其器件已经问世，人们借助于计算机进行电路图设计、存储及版图设计等工作，摆脱了全手工设计时大量繁杂、重复、单调

的计算与绘图工作,并逐步取代人工进行电子系统的设计、分析与仿真,更大规模的集成电路从制造工艺和设计手段上已经成为可能,基于管级的设计方法已经成为集成电路规模进一步增大的障碍,需要更加先进的设计方法完成大规模集成电路的设计。

三、产业及应用

初期集成电路的设计规模较小,一些综合性电子企业集 IC 设计、制造、封装、测试和产品服务等生产过程于一身,芯片设计和工艺制造在同一家公司完成,如 TI, Motorola, IBM 等企业,这种模式称为垂直整合制造(Integrated Device Manufacturing, IDM)。

在此阶段,集成电路产品的集成度小于 10k 个晶体管,具有代表意义的产品是 1971 年 Intel 推出的第一代微处理器 4004,采用 $10\mu\text{m}$ 工艺,芯片上共集成了 2.3k 个晶体管,主频只有 74kHz,图 1-3 所示正是处理器 4004 及其版图。

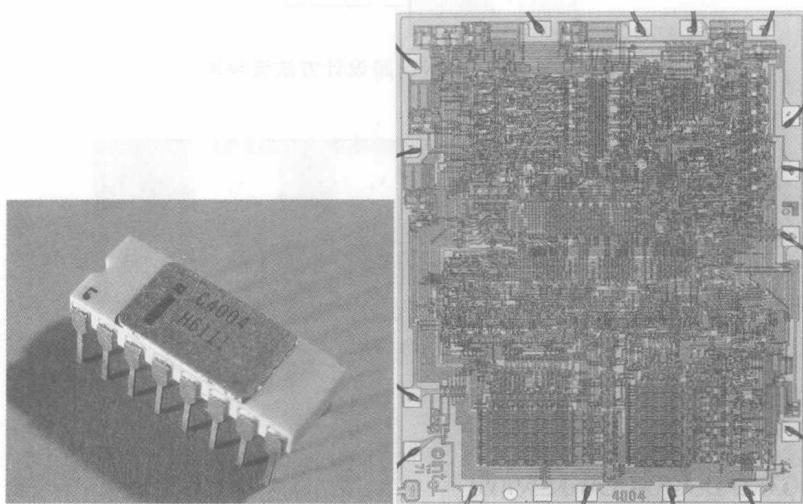


图 1-3 处理器 4004 及其版图

1.1.2 基于标准单元设计方法

20 世纪 80 年代中期,工艺水平进入了 $1.5\sim 3\mu\text{m}$,出现了专用集成电路(Application Specific Integrated Circuits, ASIC)。ASIC 的设计是以门阵列和标准单元为主的设计方法,即采用定制方法预先设计逻辑单元,如与门、或门、多路开关、触发器等,将其作为标准单元存入 CAD 系统中,构成标准单元库,在设计逻辑综合后从标准单元库调用所需的单元。基于标准单元的设计方法,通过大量复用有限的标准单元,在 RTL 级或单元门一级的设计实现了标准化,使设计的主要工作转向了电路的设计分析、验证和可制造性设计,而设计手段转变为电路网表输入、电路仿真验证、自动布局布线和标准单元库使用。这种设计方法大大简化了电路的设计,减少了人工的投入,避免了重复性的工作,极大地推动了集成电路行业的快速发展。

一、设计流程

基于标准单元的 ASIC 设计,主要采用如图 1-4 所示的瀑布式设计流程,芯片设计从一个阶段到下一个阶段顺序进行,每个设计阶段由单独的团队负责,依次传递。

该阶段的设计流程是一种自顶向下的设计方式,从系统架构设计、RTL 设计、逻辑综合、

物理设计到测试验证。首先按照芯片功能、性能需求制定设计规范,基于设计规范提炼出系统架构,再将系统架构分解为功能模块,交由相应的设计团队进行 RTL 设计,经功能验证正确后,将 RTL 代码综合成门级网表,并进行时序验证,确保设计满足时序要求,准备进行物理设计与验证。在这一过程中,逻辑综合是基于标准单元 ASIC 设计中的重要环节,它是指基于用户指定的约束,将用硬件描述语言描述的设计转化为目标工艺库中门的过程。逻辑综合效果的好坏直接影响到后端设计的质量。逻辑综合完成,再进行物理综合和物理验证,并将版图数据输出进行流片,最后对原型芯片进行软件开发及调试,完成芯片测试。

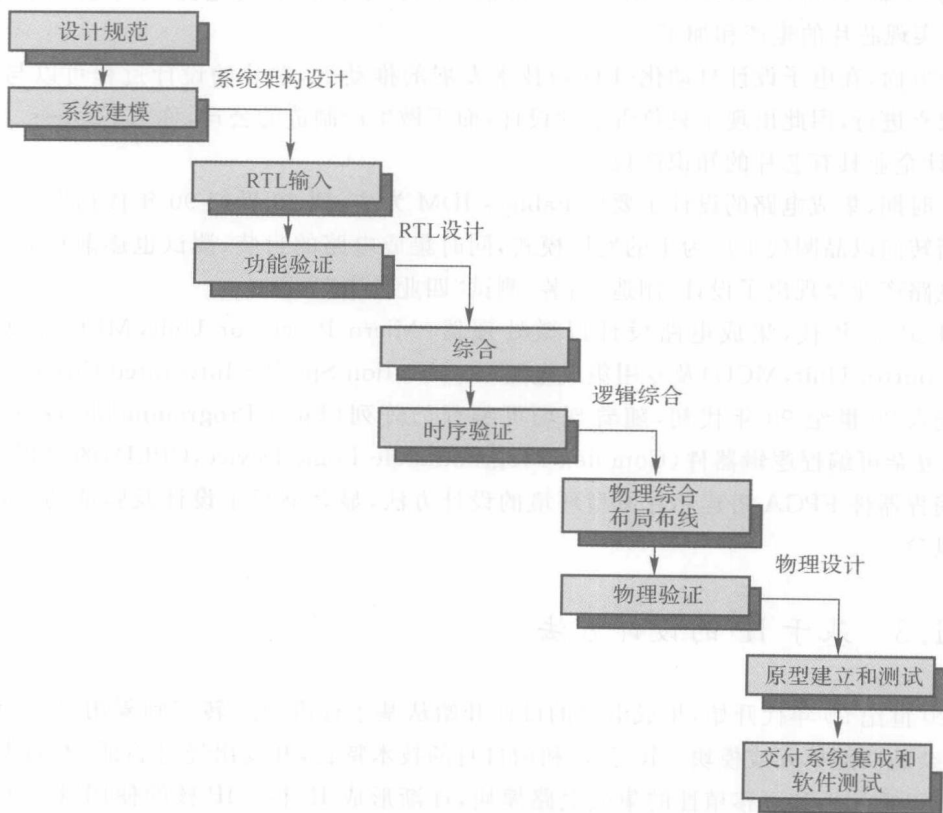


图 1-4 瀑布式开发流程

由于瀑布式设计流程采用串行的设计方法,时间周期长,且每个设计步骤之间缺少反馈,对于规模大于 100k 的集成电路,尤其是包含大量软件算法、需要软硬件的配合开发以保证系统功能和性能的芯片,采用瀑布式设计流程难以实现。

二、设计手段

在 20 世纪 80 年代,随着 ASIC 设计规模的不断增大和计算机辅助设计技术的快速发展,在 CAD 工具逐步完善的基础上,集成电路设计已经进入了计算机辅助工程(Computer Aided Engineering, CAE)阶段。人们已将各种电子线路设计工具如电路图输入、编译与连接、逻辑模拟、仿真分析、版图自动生成及各种标准单元库都集成在一个 CAE 系统中,以实现电子系统或芯片从系统设计到版图设计的全程设计自动化。利用现代的 CAE 系统,设计人员在设计系统时可以把反映系统互连线路对系统性能的影响因素作为制约参数引入设计,如板

级电磁兼容、板级引线走向、损耗等,使电子系统的设计更贴近产品实际,提高了设计的准确性和可靠性,提升了产品的性能和稳定性,大大缩短了芯片研制周期。

三、产业及应用

20 世纪 80 年代,集成电路在生产加工过程中对所使用的设备,材料、环境的精度、纯度及清洁度有极高的要求,导致生产线的建设和运营投资巨大,IDM 已经无法满足市场的需求,所以在集成电路产业链中,产生了专门为集成电路设计公司加工制造芯片的代工厂(Foundry),如 TSMC, UMC, SMIC 等。目前,全球大量的集成电路设计公司都依赖于 Foundry 实现芯片的生产和加工。

另一方面,在电子设计自动化(EDA)技术发展的推动下,芯片的设计过程可以与生产制造过程独立进行,因此出现了只负责芯片设计,而不做生产制造的公司,称为 Fabless。一般情况下,设计企业具有芯片的知识产权。

这一时期,集成电路的设计主要以 Fabless IDM 为主,到 20 世纪 90 年代初期,集成电路产业逐渐转向以晶圆代工厂为主的发展模式,同时集成电路的封装、测试也逐渐独立出来,整个集成电路产业呈现出了设计、制造、封装、测试“四业分离”局面。

20 世纪 80 年代,集成电路设计以微处理器(Micro Processor Unit, MPU)、微控制器(Micro Control Unit, MCU)及专用集成电路(Application Specific Integrated Circuits, ASIC)为主。进入 20 世纪 90 年代初,随着现场可编程门阵列(Field Programmable Gate Array, FPGA)、复杂可编程逻辑器件(Complex Programmable Logic Device, CPLD)的出现,产生了使用可编程器件 FPGA 搭建芯片原型环境的设计方法,显著缩短了设计及验证的周期,降低了设计风险。

1.1.3 基于 IP 的设计方法

从 20 世纪 90 年代开始,集成电路的设计开始从基于标准单元转变到复用更高的抽象层次、更复杂的功能单元或模块。IC 公司利用自身的技术特长,开发出经过验证、不同类型并具有较强的可重用性和可移植性的集成电路模块,逐渐形成 IP 核。IP 核的使用既可大幅缩短设计周期,又有效地提高了系统设计的成功率。

基于 IP 的设计方法的出现,促使集成电路设计跃入 SoC 时代。而随着 SoC 技术的发展,基于 IP 的设计方法也得以成熟和广泛应用。基于 IP 核的 SoC 设计方法不仅是为了应对设计规模的增加和复杂功能的快速集成,更重要的是为了解决在互联过程中所面临许多问题,设计方法学、接口协议、设计准则、设计格式等都会影响到 SoC 的设计效率。这种设计方法能够更好地弥补集成电路设计能力与制造能力之间的鸿沟,该阶段的设计方法学也出现了新的特点。在基于标准单元库设计方法中,更多关注门电路之间的延迟等,称之为时序驱动的设计(Timing Driven Design, TDD)。基于 IP 的设计更则多地关注 IP 功能的复用及系统功能的实现,也称为基于模块的设计方法(Block-Base Design, BBD)。随着 SoC 应用的不断深入,人们为了能够进一步提高设计的复用程度,在新产品开发中,借用之前功能或结构相似的产品大部分模块,只需做少许改动,便可快速完成设计,便进行系列化设计,产生了基于平台的设计(Platform-Base Design, PBD)。

一、设计流程

基于 IP 核的设计,是一个软硬件协同设计和 IP 复用的过程。软件部分采用构件重用,硬件部分采用 IP 核重用,即将一个系统按功能划分成若干个模块,然后利用设计好的软件构件和 IP 核搭建成一个具有特定功能的芯片。

传统的瀑布模式采用的是先硬件后软件的开发顺序,对于规模小于十万门的设计,这种串行的设计方法能够保证较高的设计成功率和设计效率,但随着集成电路设计复杂度的增加,设计规模的增大,以及特征尺寸的不断减小,这种开发模式已经难以满足 SoC 芯片的设计需求。经过多年的探索,如图 1-5 所示的螺旋式设计方法以其多层次并行设计的特点取代了传统的瀑布式设计方法。在 SoC 的螺旋式开发过程中,从物理、时序、硬件和软件等多个层面同时展开工作,开发顶层系统级规范、关键子模块算法、系统级验证方案和时序分配方案,同时芯片的软件和硬件设计,以及验证过程并行进行,互相设计迭代,不仅提高了设计效率和验证准确率,而且提高了一次投片成功率,提高了产品的市场竞争力。

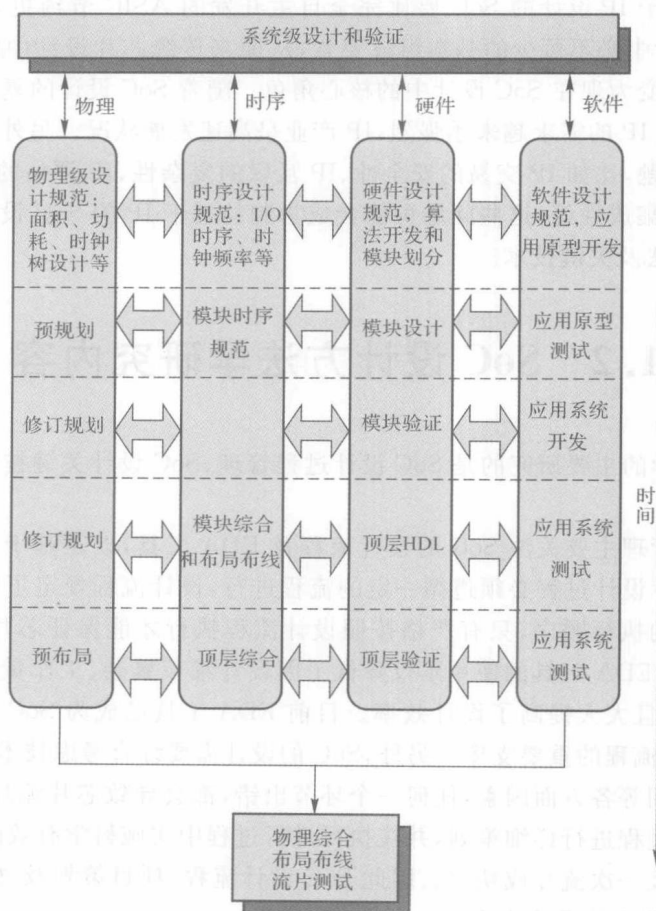


图 1-5 螺旋式开发模式

二、设计手段

20 世纪 90 年代后期,芯片的复杂程度越来越高,数万门以至数十万门的电路设计需求越来越多,单是依靠原理图输入方式已不能满足要求,采用硬件描述语言 HDL(Hardware