



普通高等教育“十二五”规划教材

EDA技术及应用

张丽华 主编



免费
电子课件

机械工业出版社
CHINA MACHINE PRESS

普通高等教育“十二五”规划教材

EDA 技术及应用

主 编 张丽华

副主编 于玉亭 钟玲玲

参 编 张 芬 王松涛 吴旭华 彭 瑾



机械工业出版社

EDA 是当今世界上先进的电子电路设计技术, 广泛应用于通信、工业自动化、智能仪表、图像处理和计算机等领域, 它是电子工程师必须掌握的技术之一。本书内容新颖, 技术先进, 由浅入深, 既有关于 EDA 技术、大规模可编程逻辑器件和硬件描述语言 (VHDL) 的系统介绍, 又有丰富的设计应用实例, 便于学生消化和理解。本书共 7 章, 主要内容包括 EDA 技术概述、可编程逻辑器件、Quartus II 软件安装及使用、VHDL 入门基础、VHDL 的语句、有限状态机和 VHDL 设计实例。

本书可作为高等院校电子信息工程、通信工程及计算机等相关专业的教材, 也可作为电子技术工程技术人员参考用书。

图书在版编目 (CIP) 数据

EDA 技术及应用/张丽华主编. —北京: 机械工业出版社, 2013. 1

普通高等教育“十二五”规划教材

ISBN 978-7-111-40112-4

I. ①E… II. ①张… III. ①电子电路—电路设计—计算机辅助设计—高等学校—教材 IV. ①TN702

中国版本图书馆 CIP 数据核字 (2012) 第 246688 号

机械工业出版社 (北京市百万庄大街 22 号 邮政编码 100037)

策划编辑: 徐 凡 责任编辑: 徐 凡 任正一

版式设计: 霍永明 责任校对: 陈 越

封面设计: 张 静 责任印制: 乔 宇

北京瑞德印刷有限公司印刷 (三河市胜利装订厂装订)

2013 年 1 月第 1 版第 1 次印刷

184mm×260mm·16.25 印张·399 千字

标准书号: ISBN 978-7-111-40112-4

定价: 32.00 元

凡购本书, 如有缺页、倒页、脱页, 由本社发行部调换

电话服务

网络服务

社服务中心: (010)88361066 教材网: <http://www.cmpedu.com>

销售一部: (010)68326294 机工官网: <http://www.cmpbook.com>

销售二部: (010)88379649 机工官博: <http://weibo.com/cmp1952>

读者购书热线: (010)88379203 封面防伪标均为盗版

前 言

随着微电子技术和计算机技术的飞速发展,现代电子系统的设计和应用已进入一个全新的阶段。基于EDA技术的现代电子系统设计正逐步取代人工设计方法,成为电子系统设计的主流。目前EDA技术已经成为电子信息类学生一门重要的专业基础课程,并且在教学、科研以及大学生电子设计竞赛等赛事中,起着越来越重要的作用,是电子信息类学生必须掌握的专业基础知识与基本技能。

EDA技术教学的目的是使学生掌握一种通过软件的方法来高效地完成硬件设计的设计技术,应以培养学生的创新思维和设计思想为主,同时使学生掌握基本的设计工具和设计方法。在EDA教学中要明确最基本的教学内容,突出重点,注重教学方法,合理安排理论教学和实验教学的学时比例,使学生能够理论联系实际,提高实践动手能力和工程设计能力。

本书是以PLD器件、EDA设计工具、硬件描述语言(VHDL)三方面内容为主线展开的,共7章内容。第1章概述EDA技术的主要内容、特点及发展趋势。第2章阐述可编程逻辑器件发展历程和分类方法,介绍低密度可编程逻辑器件PROM、PLA、PAL和GAL以及高密度可编程逻辑器件CPLD和FPGA的基本结构和工作原理,CPLD和FPGA的开发应用选择。第3章介绍EDA开发软件Quartus II的特点、功能及安装过程,并详细介绍应用Quartus II进行设计的基本流程和工具的使用方法。第4章介绍硬件描述语言(VHDL),通过简单易懂的实例,使学习者快速掌握VHDL的基本结构和描述风格。第5章介绍VHDL语言的语句。第6章介绍有限状态机的基本结构,状态编码方式及规则等,结合实例介绍采用VHDL语言设计Moore型状态机、Mealy型状态机的方法。第7章是VHDL设计实例,通过一些数字系统开发实例说明怎样利用层次化结构的设计方法来构造大型系统。

本书由张丽华担任主编,于玉亭和钟玲玲担任副主编,由张丽华、于玉亭和钟玲玲统稿。第1章由张丽华编写,第2章由张芬编写,第3章由钟玲玲编写,第4章由王松涛编写,第5章由于玉亭编写,第6章由吴旭华编写,第7章由彭瑾编写。吴旭华还给本书提出了修改意见和建议。

本书由编者在总结多年EDA教学经验的基础上精心编写而成。由于编者水平所限,书中疏漏之处在所难免,希望同行和广大读者批评指正。

本书提供配套的电子课件,可登录机械工业出版社教材服务网 www.cmpedu.com 注册下载或发邮件到 xufan666@163.com 索取。

编 者

目 录

前言	
第 1 章 绪论	1
1.1 EDA 技术综述	1
1.1.1 EDA 技术涵义	1
1.1.2 EDA 技术发展历程	1
1.2 ASIC 设计	2
1.3 HDL 语言	3
1.3.1 HDL 语言发展历程	4
1.3.2 常用 HDL 语言	4
1.4 EDA 的工具软件	5
1.5 EDA 设计流程	7
本章小结	12
习题	12
第 2 章 可编程逻辑器件	13
2.1 可编程逻辑器件概述	13
2.1.1 PLD 的发展历程	13
2.1.2 PLD 的分类	14
2.1.3 PLD 的电路表示法	15
2.2 低密度可编程逻辑器件	17
2.2.1 可编程只读存储器	17
2.2.2 可编程逻辑阵列器件	18
2.2.3 可编程阵列逻辑器件	21
2.2.4 通用阵列逻辑器件	28
2.3 复杂可编程逻辑器件	35
2.4 现场可编程门阵列器件	39
2.4.1 查找表的原理与结构	40
2.4.2 Xilinx 公司 XC4000 系列 FPGA 简介	40
2.5 CPLD/FPGA 开发应用选择	44
本章小结	45
习题	45
第 3 章 Quartus II 软件安装及使用	46
3.1 Quartus II 简介	46
3.1.1 Quartus II 软件的特点	46
3.1.2 Quartus II 设计流程	47
3.2 Quartus II 9.0 软件的安装	49
3.3 Quartus II 9.0 的使用	51
3.3.1 工程的创建与打开	51
3.3.2 设计输入	53
3.3.3 编译设计	59
3.3.4 波形仿真	61
3.3.5 器件编程与配置	65
3.3.6 Quartus II 9.0 的 RTL 阅读器	66
本章小结	71
习题	71
第 4 章 VHDL 入门基础	72
4.1 VHDL 基本结构	72
4.1.1 实体	72
4.1.2 结构体	73
4.1.3 GENERIC 参数传递	77
4.2 VHDL 文字规则	79
4.2.1 数字型文字	79
4.2.2 字符串文字	79
4.2.3 标识符	80
4.2.4 下标	80
4.3 VHDL 数据对象	81
4.3.1 常量	81
4.3.2 变量	82
4.3.3 信号	83
4.4 VHDL 数据类型	86
4.4.1 VHDL 预定义数据类型	86
4.4.2 用户自定义数据类型	88
4.4.3 其他类型	89
4.5 数据类型转换	90
4.5.1 使用转换函数	90
4.5.2 使用类型标记法转换数据类型	90
4.6 VHDL 操作符	91
4.7 VHDL 预定义属性	94
本章小结	96
习题	97
第 5 章 VHDL 的语句	98
5.1 进程语句	98
5.2 顺序语句	100
5.2.1 赋值语句	100

5.2.2 IF 语句	103	7.2.1 设计要求	169
5.2.3 CASE 语句	111	7.2.2 原理描述	170
5.2.4 LOOP 语句	116	7.2.3 多功能算术逻辑运算单元层次化 设计方案	170
5.2.5 NEXT 语句	119	7.2.4 多功能算术逻辑运算单元的顶层 设计和仿真	173
5.2.6 EXIT 语句	119	7.2.5 硬件测试	175
5.2.7 WAIT 语句	119	7.3 数字式频率计的 EDA 设计	175
5.2.8 NULL 语句	120	7.3.1 设计要求	175
5.2.9 RETURN 语句	120	7.3.2 原理描述	176
5.3 并行语句	120	7.3.3 频率计的层次化设计方案	177
5.3.1 进程语句	120	7.3.4 频率计电路顶层原理图的设计和 仿真	187
5.3.2 并行信号赋值语句	122	7.3.5 硬件测试	188
5.3.3 元件例化语句	126	7.4 简易数字钟的 EDA 设计	189
5.3.4 生成语句	134	7.4.1 设计要求	189
5.3.5 块语句	135	7.4.2 功能描述	189
5.4 设计库和程序包	138	7.4.3 数字钟的层次化设计方案	190
5.4.1 设计库	138	7.4.4 数字钟的顶层设计和仿真	197
5.4.2 程序包	139	7.4.5 硬件测试	199
5.5 子程序	140	7.5 多功能信号发生器的设计	200
5.5.1 函数	140	7.5.1 设计的基本思路	200
5.5.2 过程	147	7.5.2 系统总体方案设计	200
5.6 配置	149	7.5.3 函数发生器的硬件设计	201
本章小结	151	7.5.4 函数发生器的软件设计	202
习题	151	7.5.5 顶层设计	208
第 6 章 有限状态机	154	7.5.6 仿真结果	210
6.1 概述	154	7.6 交通灯控制器的设计	212
6.2 VHDL 一般状态机	155	7.6.1 交通灯控制器的设计要求	212
6.3 Moore 型状态机设计	159	7.6.2 系统组成	212
6.4 Mealy 型状态机设计	161	7.6.3 层次化设计和软件仿真	213
6.5 状态编码	163	本章小结	229
6.6 非法状态处理	165	习题	229
本章小结	166	部分习题参考答案	231
习题	167	参考文献	253
第 7 章 VHDL 设计实例	168		
7.1 数字系统的结构	168		
7.2 多功能算术逻辑运算单元的 EDA 设计	169		

第 1 章 绪 论

EDA 是当今世界上先进的电子电路设计技术，它是电子工程师必须掌握的技术之一。本章主要介绍 EDA 技术的涵义和发展历程、专用集成电路（ASIC）设计的分类特点、硬件描述语言（HDL）的特点、常用的 EDA 工具以及 EDA 的工程设计流程。

1.1 EDA 技术综述

1.1.1 EDA 技术涵义

EDA 是电子设计自动化（Electronic Design Automation）的缩写，是 20 世纪 90 年代初从 CAD（计算机辅助设计）、CAM（计算机辅助制造）、CAT（计算机辅助测试）和 CAE（计算机辅助工程）的概念发展而来的。

高度发达的信息化社会对电子产品的需求越来越多。现代电子产品要求在性能提高、复杂度增大的同时，价格降低，因而产品更新换代的步伐也越来越快，也进一步促进了生产制造技术和电子设计技术的发展。

生产制造技术以微细加工技术为代表，目前已进展到深亚微米阶段，可以在几平方厘米的芯片上集成数千万个晶体管。电子设计技术的核心就是 EDA 技术，EDA 是指以计算机为工作平台，融合了应用电子技术、计算机技术、智能化技术最新成果而研制成的电子 CAD 通用软件包，主要能辅助进行三方面的设计工作：IC 设计、电子电路设计以及 PCB 设计。

EDA 技术的出现，极大地提高了电路设计的效率和可靠性，减轻了设计者的劳动强度。20 世纪 90 年代以来，国际上电子和计算机技术较先进的国家，一直在积极探索新的电子电路设计方法，并在设计方法、工具等方面进行了彻底的变革，取得了巨大成功。在电子技术设计领域，可编程逻辑器件的应用，已得到广泛的普及，这些器件为数字系统的设计带来了极大的灵活性。没有 EDA 技术的支持，想要完成超大规模集成电路的设计制造是不可想象的；反过来，生产制造技术的不断进步又必将对 EDA 技术提出新的要求。

1.1.2 EDA 技术发展历程

随着微电子技术和计算机技术的不断发展，在涉及通信、国防、航天、工业自动化、仪器仪表等领域工作中，EDA 技术以惊人的速度发展，从而使它成为当今电子技术发展的前沿之一。回顾近几十年电子设计技术的发展历程，可将 EDA 技术分为三个阶段。

(1) CAD（计算机辅助设计）阶段

20 世纪 70 年代，属 EDA 技术发展初期。人们开始用计算机辅助进行 IC 版图编辑和 PCB 布线，取代了手工操作，产生了计算机辅助设计的概念。

(2) CAE（计算机辅助工程）阶段

20 世纪 80 年代初, 出现了低密度的可编程逻辑器件, 即可编程阵列逻辑 (Programmable Array Logic, PAL) 器件和通用阵列逻辑 (Generic Array Logic, GAL) 器件, 相应的 EDA 开发工具除了纯粹的图形绘制功能外, 又增加了电路功能设计和结构设计, 并且通过电气连接网络表将两者结合在一起, 以实现工程设计, 这就是计算机辅助工程的概念。

CAE 的主要功能是原理图输入、逻辑仿真、电路分析、自动布局布线以及 PCB 后分析。

20 世纪 80 年代后期, EDA 工具已经可以进行初级的设计描述、综合、优化和设计结果验证。

(3) 电子系统设计自动化 (Electronic System Design Automation, ESDA) 阶段

尽管 CAD、CAE 技术取得了巨大的成功, 但并没有把人们从繁重的设计工作中彻底解放出来。在整个设计过程中, 自动化和智能化程度还不高, 各种 EDA 软件界面千差万别, 学习和使用都较困难, 并且互不兼容, 直接影响到设计环节间的衔接。

基于以上不足, 人们开始追求整个设计过程的自动化, 这就是电子系统设计自动化。

20 世纪 90 年代, 可编程逻辑器件迅速发展, 出现了功能强大的全线 EDA 工具。具有较强抽象描述能力的硬件描述语言 (Hard Description Language, HDL) 及高性能综合工具的使用, 使过去单功能电子产品开发转向系统级电子产品开发 (即 System On a Chip, SOC), 相应的设计技术提升为 ESDA, 开始实现“概念驱动工程” (Concept Driver Engineering, CDE) 的梦想。

1.2 ASIC 设计

专用集成电路 (Application Specific Integrated Circuits, ASIC) 是指应特定用户要求和特定电子系统的需要而设计、制造的集成电路。

ASIC 的特点是面向特定用户的需求, 品种多、批量少, 要求设计和生产周期短, 它作为集成电路技术与特定用户的整机或系统技术紧密结合的产物, 与通用集成电路相比, 具有体积更小、重量更轻、功耗更低、可靠性提高、性能提高、保密性增强和成本降低等优点。

ASIC 分为数字 ASIC、模拟 ASIC 和数模混合 ASIC。对于数字 ASIC, 其设计方法有多种, 按照版图结构及制造方法可分为: 全定制 ASIC 和半定制 ASIC。

设计全定制 ASIC 芯片时, 设计师要定义芯片上所有晶体管的几何图形和工艺规则, 需要使用全定制版图设计工具来完成, 最后将设计结果交由 IC 厂家掩膜制造完成。其优点是: 芯片可以获得最优的性能, 即面积利用率高、速度快、功耗低。其缺点是: 开发周期长, 费用高, 因而只适合大批量产品开发。它在通用中小规模集成电路设计、模拟集成电路 (包括射频级集成器件) 的设计, 以及有特殊性能和功耗要求的电路或处理器中的特殊功能模块电路的设计中被广泛采用。

半定制 ASIC 芯片的版图设计方法是一种约束性的设计方法, 约束的目的是简化设计、缩短开发时间、降低设计成本和提高设计正确率。按照逻辑实现的方式不同, 半定制法又可分为门阵列设计法、标准单元设计法和可编程逻辑器件法。

门阵列设计法和标准单元设计法设计 ASIC 都需经历繁杂的 IC 制造后向流程, 而且与 IC 设计工艺紧密相关, 最终的设计还需要集成电路制造厂家来完成, 一旦设计有误, 将导

致巨大的损失。此外，还有设计周期长、基础投入大及更新换代难等缺点。

可编程逻辑器件法是用可编程逻辑器件来设计用户定制的数字电路系统。可编程逻辑器件实质上是门阵列及标准单元设计技术的延伸和发展。可编程逻辑器件是一种半定制的逻辑芯片，但与门阵列法、标准单元法不同，芯片内的硬件资源和连线资源是由厂家预先制定好的，可以方便地通过编程下载获得重新配置。这样，用户就可以借助 EDA 软件和编程器在实验室或车间中自行进行设计、编程或电路更新，无需 IC 厂家的参与。如果发现错误，也可以随时更改，完全不必关心器件实现的具体工艺。

用可编程逻辑器件法设计 ASIC（通常称为可编程 ASIC），可提高设计效率，缩短开发周期。但是，这种用可编程逻辑器件直接实现的所谓的 ASIC 的性能、速度和单位成本相对于全定制或标准单元法设计的 ASIC 都不具备竞争性。此外，也不可能用可编程 ASIC 来取代通用产品（如 CPU、单片机、存储器等）的应用。

目前，为了降低单位成本，可以在用可编程逻辑器件实现设计后，用特殊的方法转成 ASIC 电路，如 Altera 的部分 FPGA 器件在设计成功后可以通过 HardCopy 技术转成对应的门阵列 ASIC 产品。

可编程逻辑器件自 20 世纪 70 年代以来，经历了可编程阵列逻辑（Programmable Array Logic, PAL）器件、通用阵列逻辑（Generic Array Logic, GAL）器件、复杂可编程逻辑器件（Complex Programmable Logic Device, CPLD）、现场可编程逻辑阵列（Field Programmable Gates Array, FPGA）几个发展阶段，其中 CPLD、FPGA 器件属高密度可编程逻辑器件，目前集成度已高达 200 万门/片，它将掩膜 ASIC 集成度高的优点和可编程逻辑器件设计生产方便的特点结合在一起，特别适合于样品研制或小批量产品开发，使产品能以最快的速度上市，而当市场扩大时，它可以很容易地转由掩膜 ASIC 实现，因此开发风险也大为降低。目前，用 CPLD 和 FPGA 来进行 ASIC 设计是最为流行的方式之一。

1.3 HDL 语言

硬件描述语言（Hardware Description Language, HDL）是一种用形式化方法描述数字电路和系统的语言。利用这种语言，数字电路系统的设计可以从上层到下层（从抽象到具体）逐层描述自己的设计思想，用一系列分层次的模块来表示极其复杂的数字系统。然后，利用电子设计自动化（EDA）工具，逐层进行仿真验证，再把其中需要变为实际电路的模块进行组合，经过自动综合工具转换到门级电路网表。接着再用专用集成电路（ASIC）或现场可编程门阵列（FPGA）自动布局布线工具，把网表转换为要实现的具体电路布线结构。

使用 HDL 语言设计具有如下优点：

- 1) 能形式化地抽象表示电路的结构和行为，便于人和计算机理解。
- 2) 支持逻辑设计中不同层次和领域的描述。
- 3) 可以借用类似计算机软件高级语言的方法简化电路的描述。
- 4) 具有电路仿真与验证机制以保证设计的正确性。
- 5) 支持电路描述由高层到低层的综合转换。
- 6) 硬件描述与实现工艺无关。
- 7) 便于文档管理，易于理解 and 设计重用。

1.3.1 HDL 语言发展历程

随着硬件描述语言 HDL 的发展,已被成功地应用于设计的各个阶段,如建模、仿真、验证和综合等。到 20 世纪 80 年代,已出现了上百种硬件描述语言,对设计自动化曾起到了极大的促进和推动作用。但是,这些语言一般各自面向特定的设计领域和层次,而且众多的语言使用户无所适从。因此,急需一种面向设计的多领域、多层次并得到普遍认同的标准硬件描述语言。20 世纪 80 年代后期,VHDL 和 Verilog HDL 语言适应了这种趋势的要求,先后成为 IEEE 标准。

1.3.2 常用 HDL 语言

目前,就 FPGA/CPLD 开发来说,比较常用和流行的 HDL 主要有 ABEL-HDL、AHDL、VHDL 和 Verilog HDL。

1. ABEL-HDL

ABEL-HDL 硬件描述语言是一种层次结构的逻辑描述语言,它支持各种不同输入方式,适用于各种不同规模的可编程逻辑器件的逻辑功能设计,是世界上可编程逻辑器件设计应用最广的语言之一。该语言由美国 DATA I/O 公司于 1983—1988 年推出。

2. AHDL

AHDL 语言是 Altera 公司设计的配合 Altera MAX + Plus II 设计软件使用的一种硬件描述语言。它是一种模块化的高级语言,完全集成于 MAX + Plus II 系统中,它将用户的设计以各种设计文件(文本设计文件 TDF、图形设计文件 GDF 等)形式保存,并可对其进行编译(Compile)、调试、检错、模拟(Simulate)、下载(Download)等操作。这些操作都在 MAX + Plus II 开发系统中完成。AHDL 语言还特别适合于描述复杂的组合逻辑、组(Group)运算、状态机、真值表和时序逻辑。

3. VHDL

ABEL-HDL、AHDL 硬件描述语言是由不同的 EDA 厂商开发的,互不兼容,而且不支持多层次设计,层次间翻译工作要由人工完成。为了克服以上缺陷,1985 年美国国防部正式推出了超高速集成电路硬件描述语言(Very High Speed IC Hardware Description Language, VHDL),1987 年 IEEE 采纳 VHDL 为硬件描述语言标准(IEEE STD-1076)。

VHDL 是一种全方位的硬件描述语言,包括系统行为级、寄存器传输级和逻辑门级多个设计层次,支持结构、数据流、行为三种描述形式的混合描述,因此 VHDL 几乎覆盖了以往各种硬件描述语言的功能,整个自顶向下或自底向上的电路设计过程都可以用 VHDL 来完成。VHDL 是 ASIC 设计和 PLD 设计的一种主要输入工具,适用于特大型的系统级数字电路设计。但它不具有晶体管开关级的描述能力和模拟设计的描述能力。

VHDL 具有以下优点:

1) VHDL 的宽范围描述能力使它成为高层次设计的核心,将设计人员的工作重心提高到了系统功能的实现与调试,而仅花较少的精力于物理实现。

2) VHDL 可以用简洁明确的代码描述来进行复杂控制逻辑的设计,灵活且方便,而且也便于设计结果的交流、保存和重用。

3) VHDL 的设计不依赖于特定的器件,方便了工艺的转换。

4) VHDL 是一个标准语言, 为众多的 EDA 厂商支持, 因此移植性好。

4. Verilog HDL

Verilog HDL 是在 1983 年, 由 GDA (GateWay Design Automation) 公司的 Phil Moorby 首创的, 其架构同 VHDL 相似, 主要被用来进行硬件仿真。Verilog HDL 支持的 EDA 工具较多, 适用于 RTL 级和门电路级的描述, 其综合过程较 VHDL 稍简单, 但其在高级描述方面不如 VHDL。

Verilog HDL 于 1995 年成为 IEEE 标准, 即 Verilog HDL 1364—1995; 2001 年发布了 Verilog HDL 1364—2001 标准。在这个标准中, 加入了 Verilog HDL-A 标准, 使 Verilog 有了模拟设计描述的能力。

实质上, 在底层的 VHDL 设计环境是由 Verilog HDL 描述的器件库支持的, 因此, 它们之间的互操作性十分重要。目前, Verilog 和 VHDL 的两个国际组织 OVI (Open Verilog International)、VI 正在筹划这一工作, 准备成立专门的工作组来协调 VHDL 和 Verilog HDL 语言的互操作性。OVI 也支持不需要翻译、由 VHDL 到 Verilog 的自由表达。

有专家认为, 在未来, VHDL 与 Verilog 语言将承担几乎全部的数字系统设计任务。

5. SystemC

随着半导体技术的迅猛发展, 系统芯片 (System On a Chip, SOC) 已经成为当今集成电路设计的发展方向。在系统芯片的各个设计中, 像系统定义、软硬件划分、设计实现等, 集成电路设计界一直在考虑如何满足 SOC 的设计要求, 一直在寻找一种能同时实现较高层次的软件和硬件描述的系统级设计语言。

SystemC 正是在这种情况下, 由 Synopsys 公司和 CoWare 公司积极响应各方对系统级设计语言的需求而合作开发的。1999 年 9 月 27 日, 40 多家世界著名的 EDA 公司、IP 公司、半导体公司和嵌入式软件公司宣布成立“开放式 SystemC 联盟”。著名公司 Cadence 也于 2001 年加入了 SystemC 联盟。SystemC 从 1999 年 9 月联盟建立初期的 0.9 版本开始更新, 经历 1.0 版到 1.1 版, 2001 年 10 月推出了最新的 2.0 版。

1.4 EDA 的工具软件

目前进入我国并具有广泛影响的 EDA 软件很多, 它们都可以用来进行电路设计与仿真, 同时也可以进行 PCB 自动布局布线, 可输出多种网表文件与第三方软件接口。这里简单介绍可编程逻辑器件 (Programmable Logic Device, PLD) 设计工具软件。

PLD 是一种由用户根据需要而自行构造逻辑功能的数字集成电路。目前主要有两大类型: 复杂可编程逻辑器件 (Complex PLD, CPLD) 和现场可编程门阵列 (Field Programmable Gate Array, FPGA)。它们的基本设计方法是借助于 EDA 软件, 用原理图、状态机、布尔表达式、硬件描述语言等方法, 生成相应的目标文件, 最后用编程器或下载电缆, 由目标器件实现。生产 PLD 的厂家很多, 但最有代表性的 PLD 厂家为 Altera、Xilinx 和 Lattice 公司。

PLD 的开发工具一般由器件生产厂家提供, 但随着器件规模的不断增加, 软件的复杂性也随之提高, 目前由专门的软件公司与器件生产厂家合作, 推出功能强大的设计软件。表 1-1 列出了目前比较流行的、主流厂商开发的 EDA 软件特性。

表 1-1 目前比较流行的、主流厂商开发的 EDA 软件特性

厂 商	EDA 软件名称	适用器件系列	输入方式
Altera	MAX + Plus II	MAX、FLEX	原理图、波形图、VHDL、AHDL 文本
Altera	Quartus II	MAX、FLEX、APEX 等	原理图、波形图、VHDL、Verilog 文本
Xilinx	Alilance	Xilinx 各种系列	原理图、VHDL 文本等
Xilinx	Foundation	XC 系列	原理图、VHDL 文本等
Lattice	Synario	MACH、GAL、IspLSI、pLSI 等	原理图、ABEL/VHDL 文本等
Lattice	Expert、LEVER	ispLSI、pLSI	原理图、VHDL 文本等
Actel	Actel designer	SX 系列、MX 系列	原理图、VHDL 文本等

(1) Altera

20 世纪 90 年代以后，Altera 公司发展很快，其主要产品有：MAX3000/7000、FELX6K/10K、APEX20K、ACEX1K、Stratix 等。

其开发工具 MAX + Plus II 是一个使用广泛的 EDA 软件工具，它支持原理图、VHDL 和 Verilog 语言的文本文件，以及波形图与 EDIF 等格式的文件作为设计输入，并支持这些文件的任意混合设计。它具有门级仿真器，可以进行功能仿真和时序仿真，能够产生精确的仿真结果。在适配之后，MAX + Plus II 生成供时序仿真用的 EDIF、VHDL 和 Verilog 三种不同格式的网表文件。MAX + Plus II 界面友好、使用便捷，被誉为业界最易学、易用的 EDA 软件。并支持主流的第三方 EDA 工具，支持除 APEX20K 系列之外的所有 Altera 公司的 FPGA/CPLD 大规模逻辑器件。

Quartus II 是 Altera 公司新近推出的 EDA 软件工具，其设计工具完全支持 VHDL 和 Verilog 的设计流程，其内部嵌有 VHDL、Verilog 逻辑综合器。第三方的综合工具，如 Leonard Spectrum、Synplify Pro 和 FPGA COMPILER II 有着更好的综合效果。Quartus II 可以直接调用这些第三方工具，因此通常建议使用这些工具来完成 VHDL/Verilog 源程序的综合。同样，Quartus II 具备仿真功能，也支持第三方的仿真工具，如 Modelsim。此外，Quartus II 为 Altera DSP 开发包进行系统模型设计提供了集成综合环境，它与 MATLAB 和 DSP Builder 综合可以进行基于 FPGA 的 DSP 系统开发，是 DSP 硬件系统实现的关键 EDA 工具。Quartus II 还可与 SOPC Builder 结合，实现 SOPC 系统开发。

(2) Xilinx

Xilinx 是 FPGA 的发明者。该产品种类较全，主要有 XC9500/4000、Coolrunner (XPLA3)、Spartan、Vertex 等系列，其最大的 Vertex-II Pro 器件已达到 800 万门。开发软件为 Foundation 和 ISE。通常来说，在欧洲用 Xilinx 的人多，在亚太地区用 Altera 的人多，在美国则是平分秋色。全球 PLD/FPGA 产品 60% 以上是由 Altera 和 Xilinx 提供的。可以说 Altera 和 Xilinx 共同决定了 PLD 技术的发展方向。

(3) Lattice

Vantis Lattice 是 ISP (In-System Programmability) 技术的发明者，ISP 技术极大地促进了 PLD 产品的发展，与 Altera 和 Xilinx 相比，其开发工具比 Altera 和 Xilinx 略逊一筹。中小规模 PLD 比较有特色，大规模 PLD 的竞争力还不够强 (Lattice 没有基于查找表技术的大规模

FPGA), 1999年推出可编程模拟器件, 1999年收购 Vantis (原 AMD 子公司), 成为第三大可编程逻辑器件供应商。2001年12月收购 Agere 公司 (原 Lucent 微电子部) 的 FPGA 部门。主要产品有 ispLSI2000/5000/8000, MACH4/5。

(4) Actel

反熔丝 (一次性烧写) PLD 的领导者, 由于反熔丝 PLD 抗辐射、耐高低温、功耗低、速度快, 所以在军品和宇航级上有较大优势。Altera 和 Xilinx 则一般不涉足军品和宇航级市场。

1.5 EDA 设计流程

1. EDA 的设计步骤

EDA 的设计步骤如图 1-1 所示。

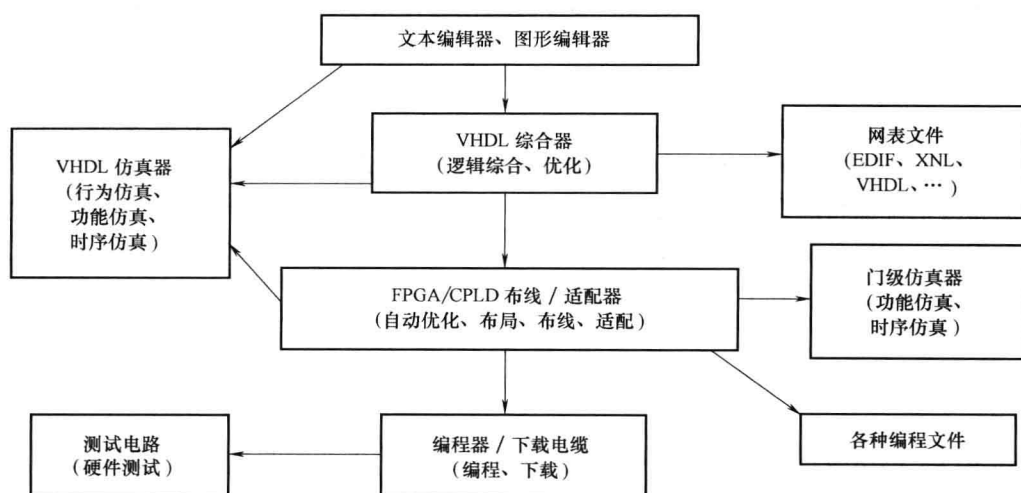


图 1-1 EDA 的设计步骤

(1) 设计输入

使用 Quartus II 软件的模块输入方式、文本输入方式、Core 输入方式和 EDA 设计输入工具等编辑器将设计者的设计意图表达出来。在表达用户的电路构思同时, 还要使用分配器设定初始设计约束条件。

(2) 编译

完成设计描述后即可通过编译器进行排错编译, 变成特定的文本格式, 为下一步的综合做准备。

(3) 综合

综合是将 HDL 语言、原理图等设计输入翻译成由“与”、“或”、“非门”、RAM、触发器等基本逻辑单元组成的逻辑连接 (网表), 并根据目标与要求 (约束条件) 优化所生成的逻辑连接, 输出 edf 或 vqm 等标准格式的网表文件, 供布局布线器进行实现。除了可以用 Quartus II 软件的命令综合外, 也可以用第三方综合工具进行。这是将软件设计与硬件的可

实现性挂钩,是将软件转化为硬件电路的关键步骤。综合后 HDL 综合器可生成网表文件,从门级开始描述了最基本的门电路结构。

(4) 布局布线

布局布线的输入文件是综合后的网表文件,Quartus II 软件中布局布线包含分析布局布线结、优化布局布线、增量布局布线和通过反标保留分配等。

(5) 时序分析

允许用户分析设计中所有逻辑的时序性能,并引导布局布线满足设计中的时序分析要求。默认情况下,时序分析作为全编译的一部分自动运行,它观察和报告时序信息,如建立时间、保持时间性、时钟至输出延时、最大时钟频率以及设计的其他时序,可以用时序分析生成信息分析、调试和验证设计的时序性能。

(6) 仿真

仿真分为功能仿真和时序仿真。功能仿真主要是验证电路功能是否符合设计要求;时序仿真包含了延时信息,它能较好地反映芯片的设计工作情况。可以用 Quartus II 集成的仿真工具进行仿真。

(7) 编程和适配

在全编译成功后,需要对 Altera 器件进行编程或配置,它包括生成编程文件(Assemble)、建立包含设计所用器件名称和选项的链式文件(Programmer)、转换编程文件等。利用布局布线适配器将综合后的网表文件针对某一具体的目标器件进行逻辑映射操作,包括底层器件配置、逻辑分割、逻辑优化以及布局布线。该操作完成后,EDA 软件将产生针对此项设计的适配报告和下载文件等多项结果。

(8) 功能仿真和时序仿真

该仿真已考虑硬件特性,非常接近真实情况,因此仿真精度很高。

(9) 下载

如果以上的所有过程都没有发现问题,就可以将适配器产生的文件下载到目标芯片中。

(10) 硬件测试

将载入了设计文件的硬件系统进行统一测试,从而验证在目标系统上的实际工作情况,以检查错误,完善设计。

2. EDA 技术的基本设计方法

(1) 数字系统的 EDA 设计层次

对于数字系统设计者来说,设计的层次可以从两个不同的角度来表示,一个是结构层次,另一个是系统的性能层次。系统的结构层次是指系统是由一些模块组成的,模块的适当连接就构成了系统。同样,模块也可以是一些基本元件连接而成的;系统的性能是指系统的输出对输入的响应,而系统的响应也是系统的输入,经过系统内部模块的响应,逐渐地传递到输出,所以,系统的性能也是由系统内部模块的性能及其传递来决定的。

对于一个数字系统一般来说,可以分为这样的六个层次;系统级、芯片级、寄存器传输级、门级、电路级和硅片级。由于系统可以分为六个层次,系统的性能描述和系统的结构组成也可以分为六个层次。表 1-2 表示了这几个层次之间的对应关系。硅片是结构的最底层:从结构描述的角度来说,硅片上不同形状的区域代表了不同类型的电子元器件,如晶体管、MOS 管、电阻、电容等。另外,不同形状的金属区域表示了元器件之间的连接。

表 1-2 系统设计层次之间的对应关系

系统层次	性能描述	系统的结构
系统级	系统的功能描述	计算机、路由器等
芯片级	算法描述	CPU、RAM、ROM、I/O
寄存器传输级	数据机流描述	运算器、选择器、计数器、寄存器
门级	逻辑代数方程	基本门电路、基本触发器
电路级	微分方程	由晶体管、电阻、电容组成的电路
硅片级	电子、空穴运动方程	硅片不同形状的区域

但是，只有到了电路级，电路的具体结构才能显示出来。电路级描述比门级描述更加具体。同样是一个“与”门，可以有许多种电路实现的方法，只有将门级的描述具体到电路级的描述，才能最后在硅片上形成芯片。

从逻辑的角度来说，门级是最基础的描述。最基本的逻辑门是“与”门、“或”门、“非”门：用这三种基本逻辑门，可以构成任何组合电路以及时序电路。不过，现在也将基本触发器作为门级的基本单元，因为它是组成时序电路的最基本的单元。

寄存器级实际上是由逻辑部件的互相连接而构成的。寄存器、计数器、移位寄存器等逻辑部件是这个层次的基本元件，有时也称它们为功能模块或者“宏单元”：虽然这些部件也是由逻辑门组成，但是在这个层次，关键的是整个功能模块的特性，以及它们之间的连接。

再向上一个层次就是芯片级，从传统的观点来看芯片级应该是最高级，芯片本身就是一个系统、一种产品。芯片级的基本组成包括处理器、存储器、各种接口和中断控制器等。当然，首先应该对这些组成模块进行描述，再用它们的连接来构成整个芯片。

最高的层次是系统级。一个系统可以包括若干芯片。如果是“System on chip”设计，那么在一个系统芯片上，也有若干类似于处理器、存储器等这样的元器件。

表 1-2 的中间一列是各个层次的性能描述。从系统级来说，就是对于系统整体指标的要求，例如运算的速度、传输的带宽以及工作的频率范围等。这类性能指标一般用文字表示，不用 HDL 语言来描述。

芯片级的性能描述是通过算法来表示的，也就是通过芯片这样的硬件可以实现什么算法。算法是可以用 HDL 语言来描述的。当然，算法描述的范围可以很宽，以前对于时序机的性能描述，实际上也是一种算法。因为，这样的描述也只是表示输出对于输入的响应，而不考虑如何实现相应的逻辑功能。

寄存器级的性能描述是数据流描述。门级的性能描述是逻辑代数方程，从 VHDL 描述的角度来说，VHDL 的数据流描述主要是对于寄存器级的描述，用它们来表示逻辑代数方程也是可以的。

(2) 设计流程

EDA 技术采用“自顶向下”(Top-Down)的设计方法，这种设计方法首先从系统设计入手，在顶层进行功能框图的划分和结构设计。在框图一级进行仿真、纠错，并用硬件描述语言对高层次的系统行为进行描述，在系统一级进行验证。然后用综合优化工具生成具体门电路的网表，其对应的物理实现级可以是印制电路板或专用集成电路。由于设计的主要仿真和调试过程是在高层次上完成的，这不仅有利于早期发现结构设计上的错误，避免设计工作

的浪费，而且也减少了逻辑功能仿真的工作量，提高了设计的一次成功率。

1) 电路级设计。电路级设计工作流程如图 1-2 所示，电子工程师接受系统设计任务后，首先要确定设计方案，同时要选择能实现该方案的合适器件，然后根据具体的元器件设计电路原理图。接着进行第一次仿真，包括数字电路的逻辑模拟、故障分析以及模拟电路的交直流分析、瞬态分析。系统在进行仿真时，必须要有元器件模型库的支持，计算机上模拟的输入输出波形代替了实际电路调试中的信号源和示波器。第一次仿真的目的主要是检验设计方案在功能方面的正确性。

仿真通过后，根据原理图产生的电气连接网络表进行 PCB 的自动布局布线。在制作 PCB 之前还可以进行后分析，包括热分析、噪声及窜扰分析、电磁兼容分析、可靠性分析等，并且可以将分析后的结果参数反标回电路图，进行第二次仿真，也称为后仿真，这一次仿真的目的主要是检验 PCB 在实际工作环境中的可行性。

由此可见，电路级的 EDA 技术使电子工程师在实际的电子系统产生之前，就可以全面地了解系统的功能特性和物理特性，从而将开发过程中出现的缺陷消灭在设计阶段，不仅缩短了开发时间，也降低了开发成本。

2) 系统级设计。进入 20 世纪 90 年代以来，电子信息类产品的开发出现了两个明显的特点：一是产品的复杂程度加深，二是产品的上市时限紧迫。然而电路级设计本质上是基于门级描述的单层次设计，设计的所有工作（包括设计输入、仿真和分析、设计修改等）都是在基本逻辑门这一层次上进行的，显然，这种设计方法不能适应新的形势，为此引入了一种高层次的电子设计方法，也称为系统级的设计方法。

高层次设计是一种“概念驱动式”设计，设计人员无需通过门级原理图描述电路，而是针对设计目标进行功能描述，由于摆脱了电路细节的束缚，设计人员可以把精力集中于创造性的概念构思与方案上，一旦这些概念构思以高层次描述的形式输入计算机后，EDA 系统就能以规则驱动的方式自动完成整个设计。这样，新的概念得以迅速有效地成为产品，大大缩短了产品的研制周期。不仅如此，高层次设计只是定义系统的行为特性，可以不涉及实现工艺，在厂家综合库的支持下，利用综合优化工具可以将高层次描述转换成针对某种工艺优化的网表，工艺转化变得轻松、容易。具体的设计流程如图 1-3 所示。

高层次设计步骤如下。

① 按照“自顶向下”的设计方法进行系统划分。

② 输入 VHDL 代码，这是高层次设计中最为普遍的输入方式。此外，还可以采用图形输入方式（框图、状态图等），这种输入方式具有直观、容易理解的优点。

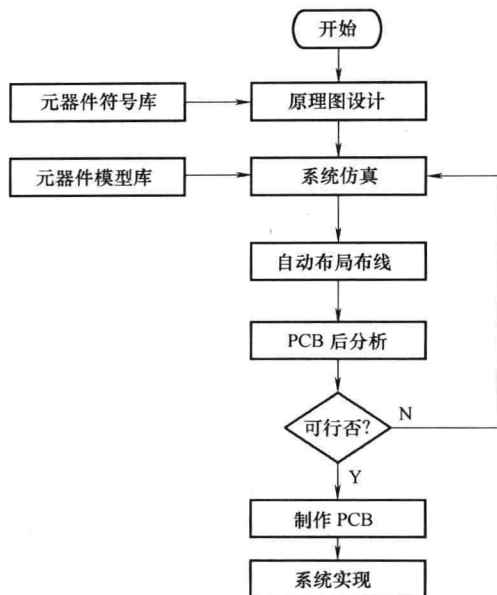


图 1-2 电路设计工作流程

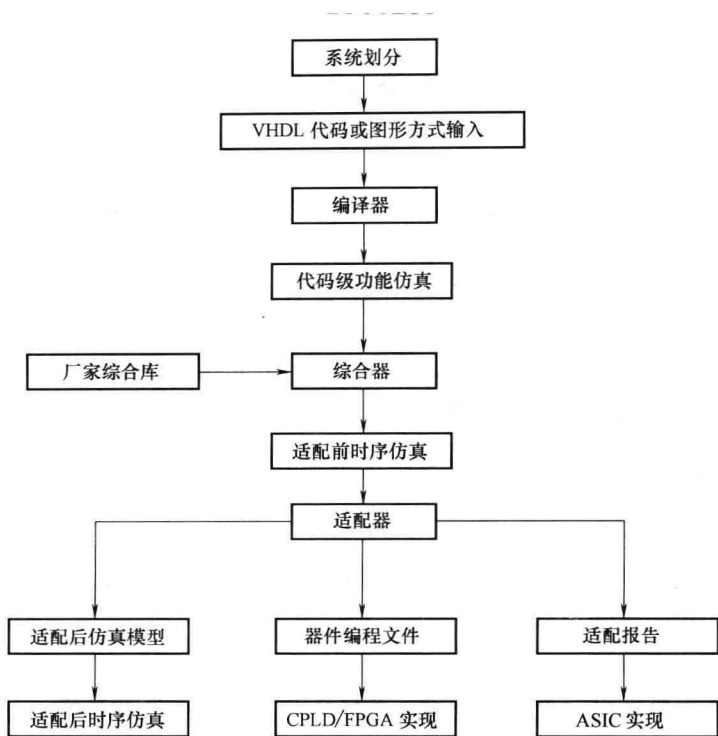


图 1-3 系统级设计工作流程

③ 将以上的设计输入编译成标准的 VHDL 文件。对于大型设计，还要进行代码级的功能仿真，主要是检验系统功能设计的正确性，因为对于大型设计，综合、适配要花费数小时，在综合前对源代码仿真，就可以大大减少设计重复的次数和时间，一般情况下，可略去这一仿真步骤。

④ 利用综合器对 VHDL 源代码进行综合优化处理，生成门级描述的网表文件，这是将高层次描述转化为硬件电路的关键步骤。综合优化是针对 ASIC 芯片供应商的某一产品系列进行的，所以综合的过程要在相应的厂家综合库支持下才能完成。综合后，可利用产生的网表文件进行适配前的时序仿真，仿真过程不涉及具体器件的硬件特性，较为粗略。对于一般设计，这一仿真步骤也可略去。

⑤ 利用适配器将综合后的网表文件针对某一具体的目标元器件进行逻辑映射操作，包括底层元器件配置、逻辑分割、逻辑优化和布局布线。适配完成后，产生多项设计结果：适配报告，包括芯片内部资源利用情况、设计的布尔方程描述情况等；适配后的仿真模型；元器件编程文件。根据适配后的仿真模型，可以进行适配后的时序仿真，因为已经得到元器件的实际硬件特性（如时延特性），所以仿真结果能比较精确地预期未来芯片的实际性能。如果仿真结果达不到设计要求，就需要修改 VHDL 源代码或选择不同速度品质的元器件，直至满足设计要求。

⑥ 将适配器产生的元器件编程文件通过编程器或下载电缆载入到目标芯片 FPGA 或 CPLD 中。如果是大批量产品开发，通过更换相应的厂家综合库，可以很容易转由 ASIC 形式实现。