

高等学校电子信息类专业  
“十二五”规划教材

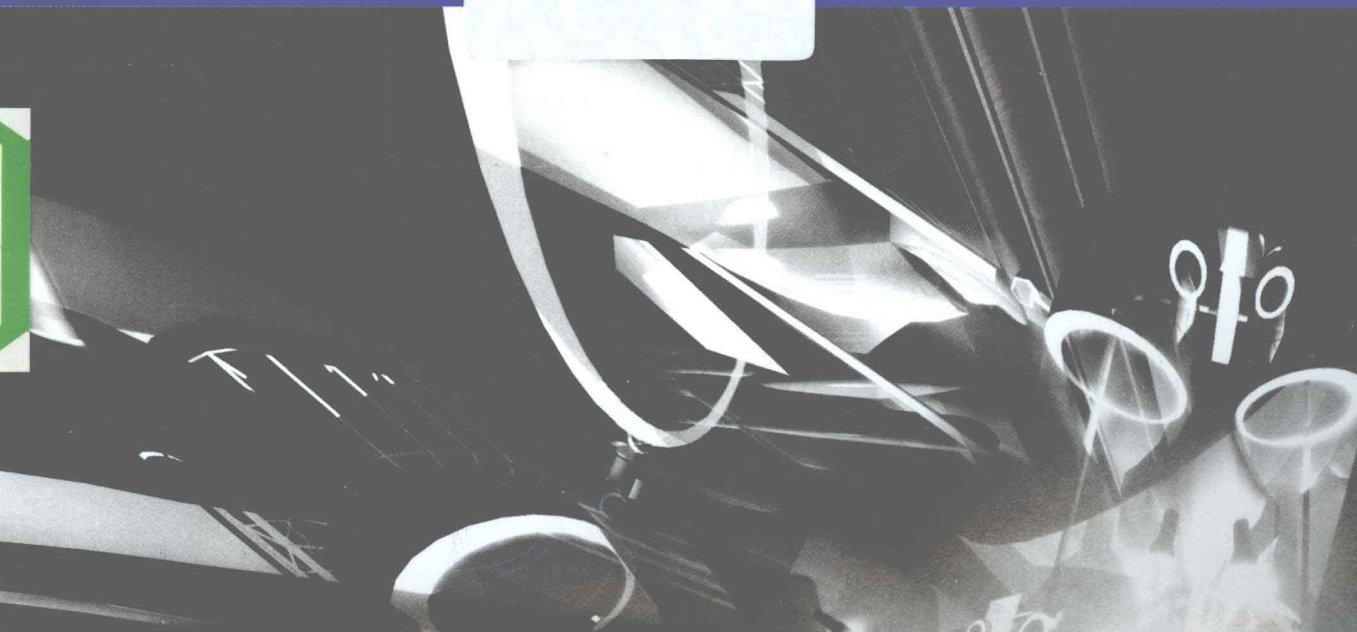
**ELECTRONIC**  
INFORMATION SPECIALTY

# Verilog HDL 数字设计实训教程

贺敬凯 编著



西安电子科技大学出版社  
<http://www.xduph.com>



高等学校电子信息类专业“十二五”规划教材

# Verilog HDL 数字设计实训教程

贺敬凯 编著

西安电子科技大学出版社

## 内 容 简 介

本书共四章,第1章首先介绍了本书所用的实训平台,并重点介绍了该实训平台的硬件接口(按键、LED、数码管、LCD、UART等);然后介绍了基于Quartus II的数字设计流程、常用的分频器和状态机的设计,为后续章节实训项目设计奠定了基础。第2章重点介绍了按键、LED、数码管、LCD、UART等接口的应用项目开发,为后续章节的数字系统类实训项目的开发提供了支撑。第3章在第2章接口类应用项目开发的基础上,精选了几个数字系统设计项目,对这些项目进行了详细分析并予以实现,具体包括序列检测器、多功能计算器、求最大公因数、多功能数字钟和音乐播放器。第4章重点介绍了基于Nios II处理器的项目的设计。

本书主要面向高等院校本、专科EDA技术和FPGA应用开发等课程,推荐作为电子、通信、自动化、计算机应用技术等学科专业与相关的实验指导课的教材或主要参考书,同时也可作为电子设计竞赛、FPGA开发应用的自学参考书。另外,虽然本书面向的主要对象是Verilog HDL的初学者和中级水平的读者,但对于Verilog HDL高级用户来说,本书也不失为一本很好的参考书。

### 图书在版编目(CIP)数据

Verilog HDL 数字设计实训教程/贺敬凯编著. —西安:西安电子科技大学出版社, 2012.12

高等学校电子信息类专业“十二五”规划教材

ISBN 978-7-5606-2982-7

I. ① V… II. ① 贺… III. ① 数字系统—系统设计—高等学校—教材  
IV. ① TP271

中国版本图书馆 CIP 数据核字(2013)第 015744 号

策 划 云立实

责任编辑 买永莲 云立实

出版发行 西安电子科技大学出版社(西安市太白南路2号)

电 话 (029)88242885 88201467 邮 编 710071

网 址 www.xduph.com 电子邮箱 xdupfb001@163.com

经 销 新华书店

印刷单位 陕西光大印务有限责任公司

版 次 2012年12月第1版 2012年12月第1次印刷

开 本 787毫米×1092毫米 1/16 印张 12

字 数 280千字

印 数 1~3000册

定 价 22.00元

ISBN 978-7-5606-2982-7 / TP

**XDUP 3274001-1**

\*\*\* 如有印装问题可调换 \*\*\*

本社图书封面为激光防伪覆膜,谨防盗版。

# 前 言

Verilog HDL 数字设计是电子类专业以及相关专业的技术主干课,使用硬件描述语言进行数字系统设计是电子设计技术的发展趋势和方向。目前,Verilog HDL 数字设计方面的教材多以讲述理论为主,再加上一些仿真验证,实际上把设计落实到硬件上,还需要做许多相关的设计工作。基于这一点,笔者在前期编写的《Verilog HDL 数字设计教程》(西安电子科技大学出版社,2010 年 4 月)的基础上,又编写了这本与其相配的实训教材,以互为补充。

本书所有项目的设计均基于一套开发环境:一个简单实用的硬件平台(使用的是 Cyclone II FPGA: EP2C8Q208)和一个软件开发平台(使用的是 Quartus II 8.0)。硬件平台上的接口仅有按键、LED、数码管、LCD、UART 等。在这些仅有常用资源的硬件平台上进行数字系统的设计开发是一个挑战,既需要扎实的基本功,又需要一些编程技巧。

在教学过程中,笔者结合学生的实际情况,不断地充实和完善教学讲义,在试用该讲义的过程中,取得了良好的效果,因而将该讲义整理汇总后形成了本书。

全书共四章,具体内容如下:

第 1 章首先介绍了本书所用的实训平台,并重点介绍了该实训平台的硬件接口(按键、LED、数码管、LCD、UART 等);然后介绍了基于 Quartus II 的数字设计流程,包括设计输入编辑、设计分析与综合、适配、编程文件汇编(装配)、时序参数提取以及编程下载等几个步骤;最后介绍了常用的分频器和状态机的设计。本章内容是进行后续章节实训项目设计的基础。

第 2 章重点介绍了按键、LED、数码管、LCD、UART 等接口的应用项目开发,为后续章节的数字系统类实训项目的开发提供了支撑。

第 3 章在第 2 章接口类应用项目开发的基础上,精选了几个数字系统设计项目,并对这些项目进行了详细分析和实现,具体包括序列检测器、多功能计算器、求最大公因数、多功能数字钟和音乐播放器。这些项目最大限度地利用了本书所用开发板的资源。

第 4 章重点介绍了基于 Nios II 处理器的几个项目的设计。

书中的内容全部符合 IEEE1364-2001 标准。

本书有以下几个方面的特色:

- (1) 所有项目均是完整的,其中大多来源于实践,可以开展项目教学、实践教学。
- (2) 每个项目均由多个模块实现,每个模块相对独立,顶层模块将各模块有机整合,便于读者理解和掌握设计思想和设计方法。

根据教学计划,本书建议讲授约 54 学时,部分章节的次序和内容可依各专业要求酌情调整。

本书由贺敬凯编著，其妻子陈庶平也参加了部分章节的排版与校对工作，并对作者的生活和工作百般照顾，在此表示深深的谢意。

本书编写过程中参考了许多学者的著作和论文中的研究成果，在此表示衷心的感谢。同时也感谢西安电子科技大学出版社的云立实编辑，感谢他为本书出版付出的努力！

限于笔者水平，书中的不当之处在所难免，希望读者批评指正。

读者在阅读本书时，如有疑问，可与笔者交流(QQ: 2372775147)。

本书提供 PPT 课件，有需要的读者可向出版社索取。

编 者

2012 年 10 月于深圳

# 目 录

|                                  |    |
|----------------------------------|----|
| 第 1 章 Verilog HDL 数字设计实训基础 ..... | 1  |
| 1.1 实训平台 .....                   | 1  |
| 1. 实训平台简介 .....                  | 1  |
| 2. 实训接口介绍 .....                  | 2  |
| 1.2 基于 Quartus II 的数字设计流程 .....  | 6  |
| 1. 创建工程的准备工作 .....               | 7  |
| 2. 创建工程 .....                    | 8  |
| 3. 编译设置 .....                    | 10 |
| 4. 仿真验证 .....                    | 13 |
| 5. 引脚锁定和硬件验证 .....               | 16 |
| 1.3 分频器设计 .....                  | 19 |
| 1.4 同步有限状态机设计 .....              | 24 |
| 1. 状态机的基本概念 .....                | 24 |
| 2. 状态机的编码方法 .....                | 29 |
| 1.5 小结 .....                     | 33 |
| 第 2 章 接口类实训项目 .....              | 34 |
| 2.1 LED 流水灯 .....                | 34 |
| 1. 设计要求 .....                    | 34 |
| 2. 设计说明 .....                    | 34 |
| 3. 设计模块 .....                    | 35 |
| 4. 代码分析 .....                    | 35 |
| 5. 仿真分析 .....                    | 37 |
| 6. 硬件验证 .....                    | 37 |
| 7. 扩展部分 .....                    | 37 |
| 2.2 数码管显示控制 .....                | 38 |
| 1. 设计要求 .....                    | 38 |
| 2. 设计说明 .....                    | 38 |
| 3. 设计模块 .....                    | 39 |
| 4. 代码分析 .....                    | 39 |
| 5. 仿真分析 .....                    | 42 |
| 6. 硬件验证 .....                    | 42 |
| 7. 扩展部分 .....                    | 42 |

|                             |           |
|-----------------------------|-----------|
| 2.3 按键处理.....               | 43        |
| 1. 设计要求.....                | 43        |
| 2. 设计说明.....                | 43        |
| 3. 设计模块.....                | 44        |
| 4. 代码分析.....                | 45        |
| 5. 硬件验证.....                | 48        |
| 6. 扩展部分.....                | 49        |
| 2.4 液晶显示控制.....             | 49        |
| 1. 设计要求.....                | 49        |
| 2. 设计说明.....                | 49        |
| 3. 设计模块.....                | 57        |
| 4. 代码分析.....                | 57        |
| 5. 硬件验证.....                | 64        |
| 6. 扩展部分.....                | 64        |
| 2.5 UART 通信设计.....          | 64        |
| 1. 设计要求.....                | 64        |
| 2. 设计说明.....                | 65        |
| 3. 设计模块.....                | 66        |
| 4. 代码分析.....                | 66        |
| 5. 仿真分析.....                | 73        |
| 6. 硬件验证.....                | 73        |
| 7. 扩展部分.....                | 74        |
| 2.6 小结.....                 | 74        |
| <b>第3章 数字系统应用类实训项目.....</b> | <b>75</b> |
| 3.1 序列检测器设计.....            | 75        |
| 1. 设计要求.....                | 75        |
| 2. 设计说明.....                | 75        |
| 3. 设计模块.....                | 76        |
| 4. 代码分析.....                | 76        |
| 5. 仿真分析.....                | 78        |
| 6. 硬件验证.....                | 78        |
| 7. 扩展部分.....                | 79        |
| 3.2 多功能计算器设计.....           | 79        |
| 1. 设计要求.....                | 79        |
| 2. 设计说明.....                | 79        |
| 3. 设计模块.....                | 80        |
| 4. 代码分析.....                | 80        |

|                                    |            |
|------------------------------------|------------|
| 5. 仿真分析 .....                      | 85         |
| 6. 硬件验证 .....                      | 86         |
| 7. 扩展部分 .....                      | 86         |
| 3.3 求最大公因数设计 .....                 | 87         |
| 1. 设计要求 .....                      | 87         |
| 2. 设计说明 .....                      | 87         |
| 3. 设计模块 .....                      | 89         |
| 4. 代码分析 .....                      | 90         |
| 5. 仿真分析 .....                      | 95         |
| 6. 硬件验证 .....                      | 95         |
| 7. 扩展部分 .....                      | 96         |
| 3.4 多功能数字钟设计 .....                 | 96         |
| 1. 设计要求 .....                      | 96         |
| 2. 设计说明 .....                      | 96         |
| 3. 设计模块 .....                      | 97         |
| 4. 代码分析 .....                      | 97         |
| 5. 硬件验证 .....                      | 105        |
| 6. 扩展部分 .....                      | 105        |
| 3.5 音乐播放器设计 .....                  | 106        |
| 1. 设计要求 .....                      | 106        |
| 2. 设计说明 .....                      | 106        |
| 3. 设计模块 .....                      | 109        |
| 4. 代码分析 .....                      | 110        |
| 5. 硬件验证 .....                      | 116        |
| 6. 扩展部分 .....                      | 117        |
| 3.6 小结 .....                       | 118        |
| <b>第 4 章 Nios II 处理器实训项目 .....</b> | <b>119</b> |
| 4.1 基于 Nios II 系统的设计流程 .....       | 119        |
| 1. Nios II 处理器简介 .....             | 119        |
| 2. Nios II 硬件环境的搭建 .....           | 122        |
| 3. Nios II 软件设计 .....              | 136        |
| 4.2 基于 Nios II 处理器的 PIO 核的应用 ..... | 140        |
| 1. 设计要求 .....                      | 140        |
| 2. PIO 核的功能描述 .....                | 140        |
| 3. Nios II 硬件环境的搭建 .....           | 144        |
| 4. Nios II 软件设计 .....              | 158        |
| 5. 扩展部分 .....                      | 163        |



|                                    |     |
|------------------------------------|-----|
| 4.3 基于 Nios II 处理器的 UART 核的应用..... | 164 |
| 1. 设计要求.....                       | 164 |
| 2. UART 核的功能描述.....                | 164 |
| 3. Nios II 硬件环境的搭建.....            | 167 |
| 4. Nios II 软件设计.....               | 175 |
| 5. 扩展部分.....                       | 180 |
| 4.4 小结.....                        | 180 |
| 附录 ASCII 码表.....                   | 181 |
| 参考文献.....                          | 184 |

## 第1章

# Verilog HDL 数字设计实训基础

本章首先介绍本书所用的实训平台，重点介绍了按键、LED、数码管、LCD、UART 等常用接口的电路连接图，然后介绍基于 Quartus II 的数字设计流程，包括设计输入编辑、分析与综合、适配、编程下载等几个步骤，最后介绍两个有实用价值的设计——分频器和有限状态机。分频器是数字电路中最常用的电路之一，本章通过实例介绍 2 的 N 次幂分频、偶数分频、奇数分频、小数分频等，并在程序说明中说明分频的原理；有限状态机及其设计技术是实用数字系统设计中的重要组成部分，因为有限状态机具有有限个状态，所以很容易使用可综合的 Verilog HDL 代码实现，本章着重介绍有限状态机的基本概念以及编码方法。

## 1.1 实训平台

### 1. 实训平台简介

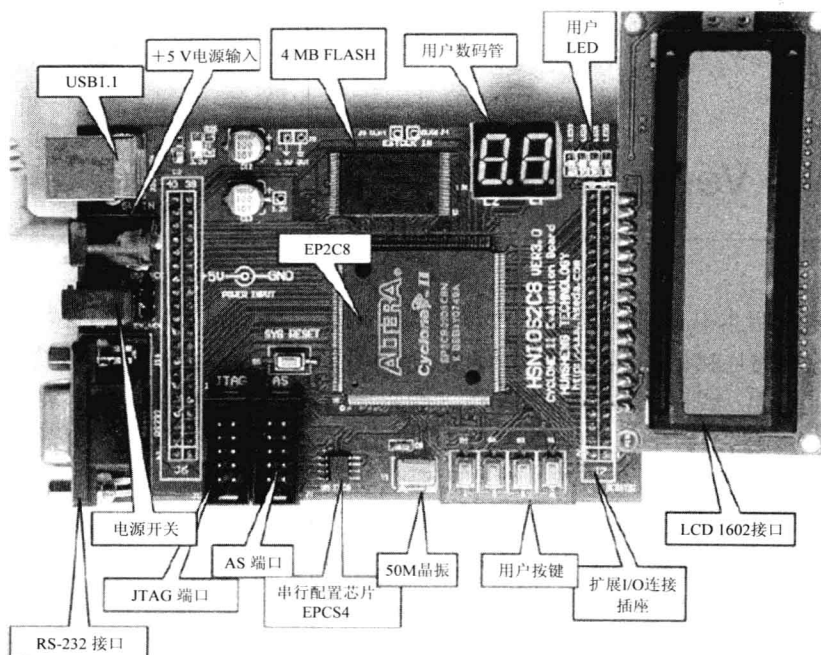
本实训平台使用的是 Altera 公司的 FPGA 芯片 EP2K8Q208，开发板的结构如图 1-1 所示。本开发板外设资源相对较少，但简洁实用，非常适合 FPGA 开发爱好者学习使用。

本开发板提供了以下外设资源：

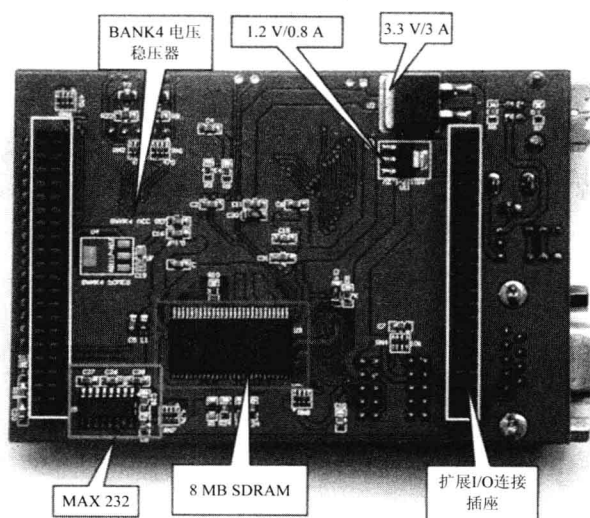
- 4 个按键；
- 4 位 LED；
- 2 个数码管；
- 1 个液晶接口——LCD1602；
- 1 个 UART 接口；
- 8 MB SDRAM；
- 4 MB FLASH。

本开发板适合于以下几方面的应用：

- Verilog HDL、VHDL 的学习开发；
- FPGA 的嵌入式系统学习和应用开发；
- Nios II 软核系统的学习和应用开发；
- 嵌入式应用系统外设的学习和应用开发。



(a) 顶层



(b) 底层

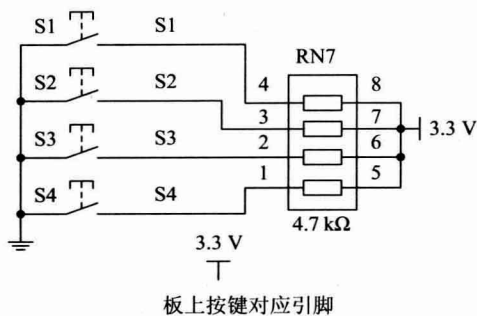
图 1-1 开发板的结构

## 2. 实训接口介绍

本实训平台提供了几个常用的接口，包括按键、LED、数码管、液晶和串口，可以在此基础上开发出丰富的实训项目。下面仅介绍本实训教程中用到的几个常用接口的电路连接图。

(1) 按键接口。按键是最常用的用户与 FPGA 交互信息的手段之一，通常用于输入信息。

按键的电路连接图和引脚对应图如图 1-2 所示。

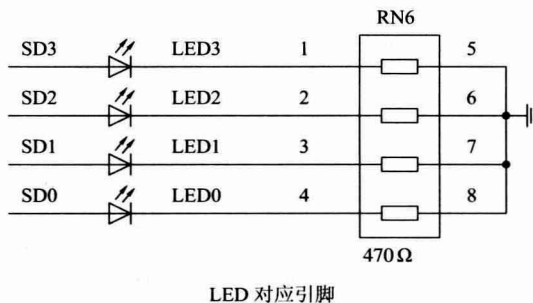


| 器件名 | 网络名 | FPGA 映射引脚 |
|-----|-----|-----------|
| S1  | S1  | 60        |
| S2  | S2  | 61        |
| S3  | S3  | 63        |
| S4  | S4  | 64        |

图 1-2 按键的电路连接图和引脚对应图

(2) LED。LED 是最常用的用户与 FPGA 交互信息的手段之一，通常用于辅助调试和显示结果。

LED 的电路连接图和引脚对应图如图 1-3 所示。

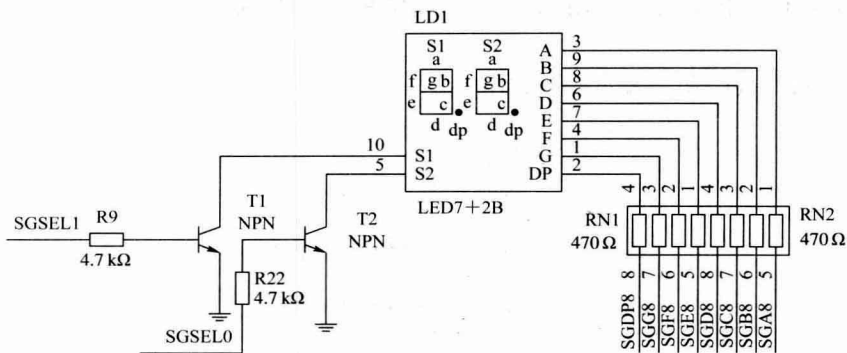


| 器件名  | 网络名  | FPGA 映射引脚 |
|------|------|-----------|
| LED0 | LED0 | 87        |
| LED1 | LED1 | 88        |
| LED2 | LED2 | 89        |
| LED3 | LED3 | 90        |

图 1-3 LED 的电路连接图和引脚对应图

(3) 数码管接口。数码管是最常用的用户与 FPGA 交互信息的手段之一，通常用于辅助调试和显示结果。

数码管的电路连接图和引脚对应图如图 1-4 所示。



| 数码管对应引脚 |        |           |
|---------|--------|-----------|
| 器件名     | 网络名    | FPGA 映射引脚 |
| T1      | SGSEL1 | 151       |
| T2      | SGSEL0 | 107       |
| LD1-A   | SGA8   | 97        |
| LD1-B   | SGB8   | 99        |
| LD1-C   | SGC8   | 101       |
| LD1-D   | SGD8   | 102       |
| LD1-E   | SGE8   | 103       |
| LD1-F   | SGF8   | 104       |
| LD1-G   | SGG8   | 105       |
| LD1-DP  | SGDP8  | 106       |

图 1-4 数码管的电路连接图和引脚对应图

(4) 液晶接口。液晶是最常用的用户与 FPGA 交互信息的手段之一，通常用于显示结果。

液晶的电路连接图和引脚对应图如图 1-5 所示。

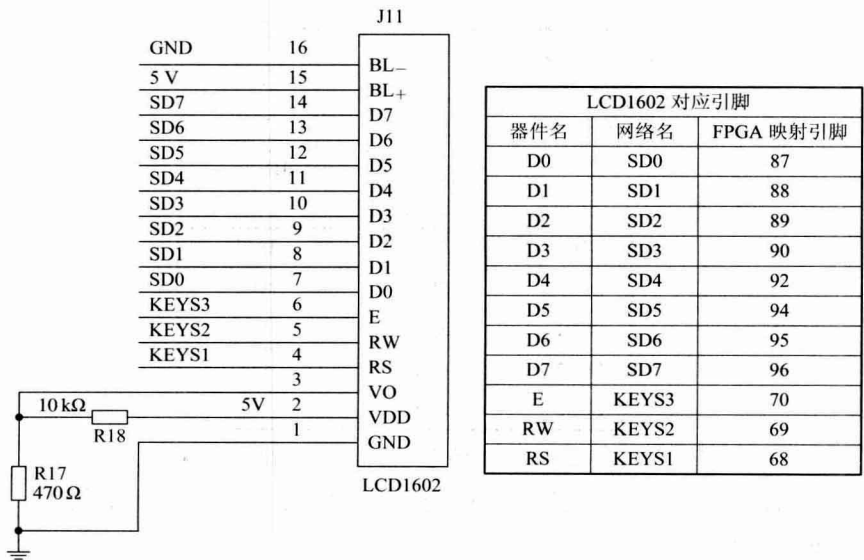


图 1-5 液晶的电路连接图和引脚对应图

(5) UART。UART 是最常用的用户与 FPGA 交互信息的手段之一，通常用于辅助调试。UART 的电路连接图和引脚对应图如图 1-6 所示。

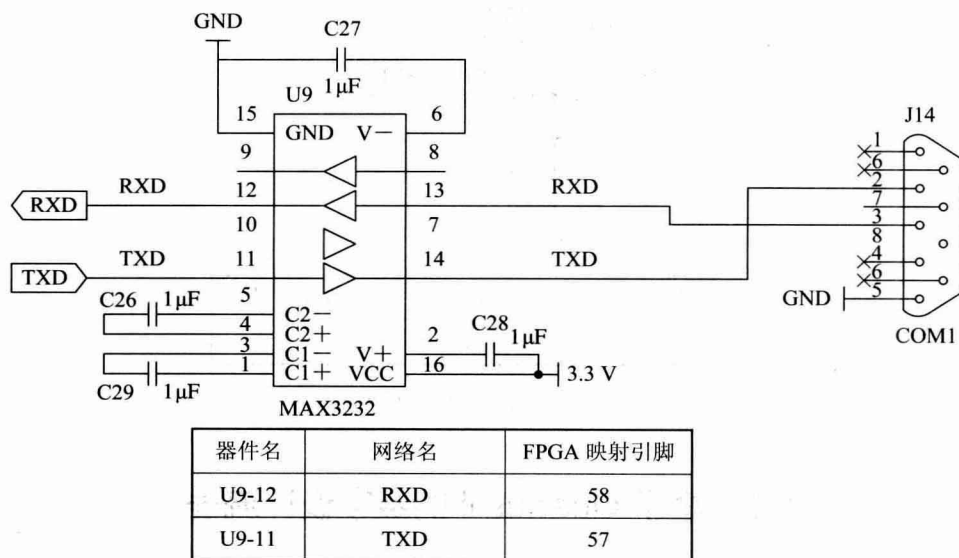


图 1-6 UART 的电路连接图和引脚对应图

(6) 时钟源。在电子系统中，时钟相当于心脏，时钟的频率和稳定性直接决定着整个系统的性能，并且为应用系统提供可靠、精确的时序参考。本实训平台使用的时钟源频率为 50 MHz，时钟源的电路连接图和引脚对应图如图 1-7 所示。

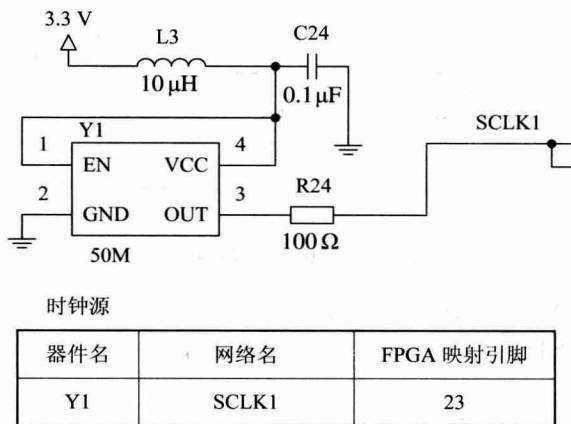


图 1-7 时钟源的电路连接图和引脚对应图

(7) 复位电路。此处的复位，类似于计算机的复位按钮，按下后，FPGA 运行再从头开始。

复位电路连接图和引脚对应图如图 1-8 所示。

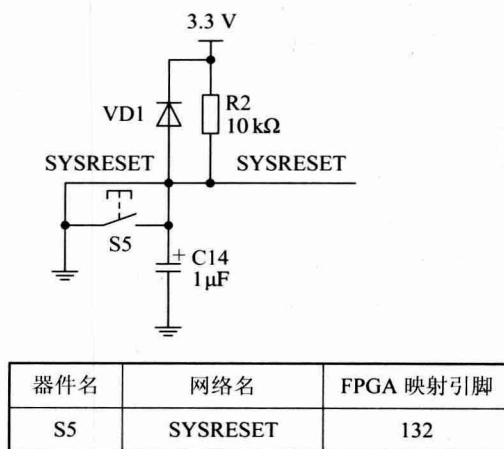


图 1-8 复位电路连接图和引脚对应图

## 1.2 基于 Quartus II 的数字设计流程

本节将简单介绍在 Quartus II 8.0 环境下进行 FPGA 开发和应用的基本操作。

Quartus II 是 Altera 提供的 FPGA/CPLD 开发集成环境，图 1-9 是 Quartus II 设计流程。

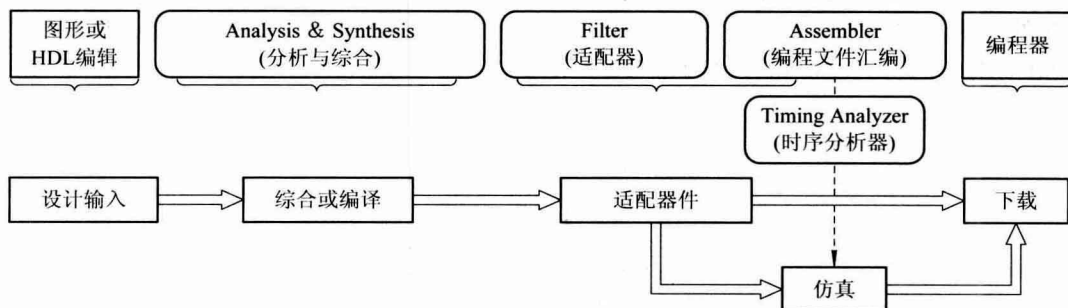


图 1-9 Quartus II 设计流程

下面通过一个设计实例来详细介绍该设计流程。

**【例 1-1】**实现一个 LED 灯的闪烁，闪烁周期为 1 s。

程序代码如下：

```

module led_blink(clk, led);
input clk;
output led;
wire clk_1Hz;
endmodule

```

```
//分频电路,由 50MHz 产生 1Hz 的频率
module divf_led_blink(input clk, output reg clk_1Hz);
integer p;
always@(posedge clk)
if(p==25000000-1) begin p=0; clk_1Hz<=~clk_1Hz; end
else p<=p+1;
endmodule

//控制 LED 闪烁
module ctrl_led_blink(input clk_1Hz,output reg led);
always @(posedge clk_1Hz)
led<=~led;
endmodule
```

程序说明:

(1) 模块 led\_blink 通过调用两个模块来实现本设计,如图 1-10 所示。模块 divf\_led\_blink 实现分频,将 50 MHz 的频率分频得到 1 Hz 的频率;模块 ctrl\_led\_blink 实现 LED 灯的闪烁控制。

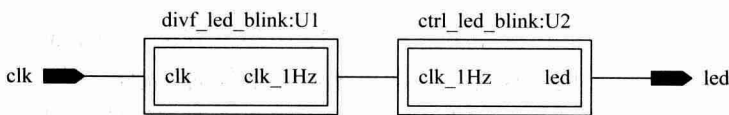


图 1-10 例 1-1 的顶层实现框图

(2) divf\_led\_blink 使用加法计数器对时钟信号进行分频。关于分频的详细讨论参见本章“分频器设计”一节。

下面结合例 1-1, 详细介绍 Quartus II 软件的使用流程。

### 1. 创建工程的准备工作

(1) 双击桌面上的 Quartus II 图标, 打开 Quartus II 软件, 也可以通过“开始→程序→Altera→Quartus II 8.0→Quartus II 8.0”打开 Quartus II。

(2) 选择“File→New”菜单项打开新建对话框, 在对话框中选择“Verilog HDL File”, 如图 1-11 所示。

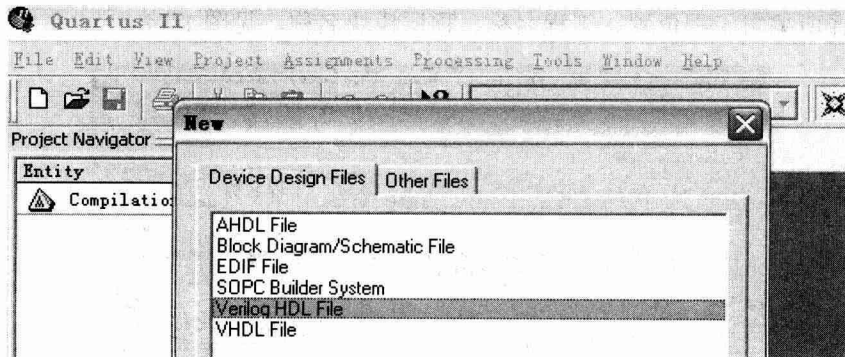


图 1-11 选择编辑文件及其语言类型



(3) 在文件编辑界面中输入 Verilog HDL 源代码, 完成后点击“File→Save”菜单项, 在弹出的对话框中键入文件名 led\_run 并保存, 如图 1-12 所示。

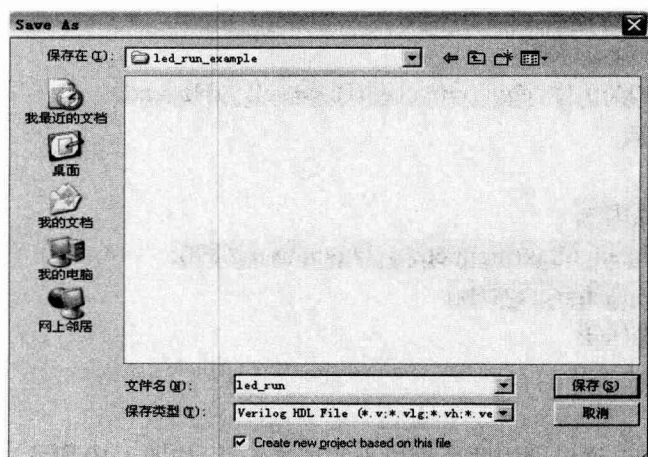


图 1-12 键入源程序并存盘

## 2. 创建工程

创建工程有两种方法: 第一种方法是在图 1-12 中最下方选中“Create new project based on this file”, 点击图 1-12 中的“保存”后即出现创建工程的其他对话框; 第二种方法是利用 File 菜单中的“New Project Wizard”创建工程。这两种方法创建工程的步骤和涉及的内容是一致的, 下面用第二种方法来创建工程。

(1) 选择“File→New Project Wizard...”菜单项, 见图 1-13。

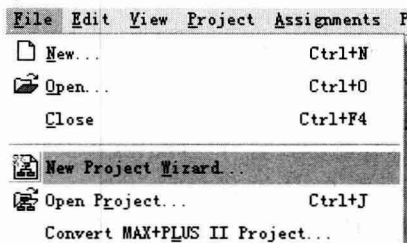


图 1-13 创建新工程

(2) 选择所编辑工程位置、工程名称、顶层模块名称, 见图 1-14。

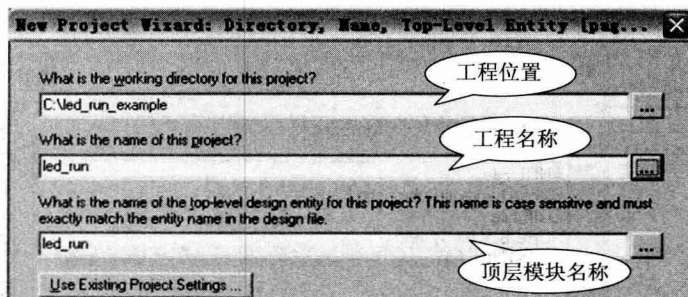


图 1-14 工程位置、工程名称、顶层模块名称