

21世纪高等学校规划教材 | 电子信息



# Verilog数字系统设计与FPGA应用

赵倩 叶波 林丽萍 周多 王晓华 编著



清华大学出版社

21世纪高等

| 电子信息



# Verilog数字系统设计与FPGA应用

赵倩 叶波 林丽萍 周多 王晓华 编著

清华大学出版社  
北京

## 内 容 简 介

本书按照 Verilog 数字系统设计的前端设计流程编写,从 Verilog HDL 语言、HDL 编码指南、逻辑验证到测试平台,在此基础上对当前主流 Altera FPGA/CPLD 器件的应用进行介绍,并对片上可编程系统进行深入探讨。本书内容由浅入深,循序渐进,既容易入门,又能深入到集成电路设计领域。

本书可作为电子、计算机等信息类专业高年级本科生及研究生的教材,也可以作为集成电路设计和 FPGA 开发工程师的技术参考书。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

### 图书在版编目(CIP)数据

Verilog 数字系统设计与 FPGA 应用/赵倩等编著.--北京:清华大学出版社,2012.11

21 世纪高等学校规划教材·电子信息

ISBN 978-7-302-28039-2

I. ①V… II. ①赵… III. ①硬件描述语言,Verilog HDL—程序设计—高等学校—教材 ②可编程逻辑器件—系统设计—高等学校—教材 IV. ①TP312 ②TP332.1

中国版本图书馆 CIP 数据核字(2012)第 023128 号

责任编辑:闫红梅 赵晓宁

封面设计:傅瑞学

责任校对:时翠兰

责任印制:王静怡

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座 邮 编:100084

社 总 机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, [c-service@tup.tsinghua.edu.cn](mailto:c-service@tup.tsinghua.edu.cn)

质 量 反 馈:010-62772015, [zhiliang@tup.tsinghua.edu.cn](mailto:zhiliang@tup.tsinghua.edu.cn)

印 装 者:北京国马印刷厂

经 销:全国新华书店

开 本:185mm×260mm 印 张:21.25 字 数:519 千字

版 次:2012 年 11 月第 1 版 印 次:2012 年 11 月第 1 次印刷

印 数:1~2500

定 价:34.50 元

产品编号:042195-01

# 编审委员会成员

(按地区排序)

东南大学	王志功	教授
南京大学	王新龙	教授
南京航空航天大学	王成华	教授
解放军理工大学	邓元庆	教授
	刘景夏	副教授
上海大学	方勇	教授
上海交通大学	朱杰	教授
	何晨	教授
华中科技大学	严国萍	教授
	朱定华	教授
华中师范大学	吴彦文	教授
武汉理工大学	刘复华	教授
	李中年	教授
宁波大学	蒋刚毅	教授
天津大学	王成山	教授
	郭维廉	教授
中国科学技术大学	王煦法	教授
	郭从良	教授
苏州大学	徐佩霞	教授
山东大学	赵鹤鸣	教授
山东科技大学	刘志军	教授
东北师范大学	郑永果	教授
沈阳工业学院	朱守正	教授
长春大学	张秉权	教授
吉林大学	张丽英	教授
湖南大学	林君	教授
长沙理工大学	何怡刚	教授
华南理工大学	曾喆昭	教授
	冯久超	教授

西南交通大学	冯全源	教授
	金炜东	教授
重庆工学院	余成波	教授
重庆通信学院	曾凡鑫	教授
重庆大学	曾孝平	教授
重庆邮电学院	谢显中	教授
	张德民	教授
西安电子科技大学	彭启琮	教授
	樊昌信	教授
西北工业大学	何明一	教授
集美大学	迟岩	教授
云南大学	刘惟一	教授
东华大学	方建安	教授

# 出版说明

---

随着我国改革开放的进一步深化,高等教育也得到了快速发展,各地高校紧密结合地方经济建设发展需要,科学运用市场调节机制,加大了使用信息科学等现代科学技术提升、改造传统学科专业的投入力度,通过教育改革合理调整和配置了教育资源,优化了传统学科专业,积极为地方经济建设输送人才,为我国经济社会的快速、健康和可持续发展以及高等教育自身的改革发展做出了巨大贡献。但是,高等教育质量还需要进一步提高以适应经济社会发展的需要,不少高校的专业设置和结构不尽合理,教师队伍整体素质亟待提高,人才培养模式、教学内容和方法需要进一步转变,学生的实践能力和创新精神亟待加强。

教育部一直十分重视高等教育质量工作。2007年1月,教育部下发了《关于实施高等学校本科教学质量与教学改革工程的意见》,计划实施“高等学校本科教学质量与教学改革工程”(简称“质量工程”),通过专业结构调整、课程教材建设、实践教学改革、教学团队建设等多项内容,进一步深化高等学校教学改革,提高人才培养的能力和水平,更好地满足经济社会发展对高素质人才的需要。在贯彻和落实教育部“质量工程”的过程中,各地高校发挥师资力量强、办学经验丰富、教学资源充裕等优势,对其特色专业及特色课程(群)加以规划、整理和总结,更新教学内容、改革课程体系,建设了一大批内容新、体系新、方法新、手段新的特色课程。在此基础上,经教育部相关教学指导委员会专家的指导和建议,清华大学出版社在多个领域精选各高校的特色课程,分别规划出版系列教材,以配合“质量工程”的实施,满足各高校教学质量和教学改革的需要。

为了深入贯彻落实教育部《关于加强高等学校本科教学工作,提高教学质量的若干意见》精神,紧密配合教育部已经启动的“高等学校教学质量与教学改革工程精品课程建设工作”,在有关专家、教授的倡议和有关部门的大力支持下,我们组织并成立了“清华大学出版社教材编审委员会”(以下简称“编委会”),旨在配合教育部制定精品课程教材的出版规划,讨论并实施精品课程教材的编写与出版工作。“编委会”成员皆来自全国各类高等学校教学与科研第一线的骨干教师,其中许多教师为各校相关院、系主管教学的院长或系主任。

按照教育部的要求,“编委会”一致认为,精品课程的建设工作从开始就要坚持高标准、严要求,处于一个比较高的起点上。精品课程教材应该能够反映各高校教学改革与课程建设的需要,要有特色风格、有创新性(新体系、新内容、新手段、新思路,教材的内容体系有较高的科学创新、技术创新和理念创新的含量)、先进性(对原有的学科体系有实质性的改革和发展,顺应并符合21世纪教学发展的规律,代表并引领课程发展的趋势和方向)、示范性(教材所体现的课程体系具有较广泛的辐射性和示范性)和一定的前瞻性。教材由个人申报或各校推荐(通过所在高校的“编委会”成员推荐),经“编委会”认真评审,最后由清华大学出版

社审定出版。

目前,针对计算机类和电子信息类相关专业成立了两个“编委会”,即“清华大学出版社计算机教材编审委员会”和“清华大学出版社电子信息教材编审委员会”。推出的特色精品教材包括:

(1) 21世纪高等学校规划教材·计算机应用——高等学校各类专业,特别是非计算机专业的计算机应用类教材。

(2) 21世纪高等学校规划教材·计算机科学与技术——高等学校计算机相关专业的教材。

(3) 21世纪高等学校规划教材·电子信息——高等学校电子信息相关专业的教材。

(4) 21世纪高等学校规划教材·软件工程——高等学校软件工程相关专业的教材。

(5) 21世纪高等学校规划教材·信息管理与信息系统。

(6) 21世纪高等学校规划教材·财经管理与应用。

(7) 21世纪高等学校规划教材·电子商务。

(8) 21世纪高等学校规划教材·物联网。

清华大学出版社经过三十多年的努力,在教材尤其是计算机和电子信息类专业教材出版方面树立了权威品牌,为我国的高等教育事业做出了重要贡献。清华版教材形成了技术准确、内容严谨的独特风格,这种风格将延续并反映在特色精品教材的建设中。

清华大学出版社教材编审委员会

联系人:魏江江

E-mail:weijj@tup.tsinghua.edu.cn

随着半导体技术的不断发展和进步,数字系统的设计方法发生了很大的变化,由中小规模集成度的标准通用集成电路,向用户定制的专用集成电路(ASIC)过渡。现代较复杂的数字系统,若采用 SSI/MSI 器件来设计,不仅要占用很大的物理空间,而且功耗较大,可靠性差;采用 LSI/VLSI 器件的专用电路设计,则具有相当高的系统集成度和相对小的功耗,可靠性强,但开发周期长,开发费用高,投资强度大,具有一定的风险性。基于 EDA 技术的 FPGA 芯片设计正在成为数字系统设计的主流。FPGA 技术因其功能强大,开发工程投资小,周期短,可反复编程,保密性能好,开发工具智能化等特点,在电子、通信等领域得到了广泛的应用,成为数字系统设计领域中的重要器件之一。新一代的 FPGA 甚至集成了中央处理器(CPU)或数字处理器(DSP)内核,在一片 FPGA 上进行软硬件协调设计,为实现片上可编程系统(System On Programmable Chip, SOPC)提供了强大的硬件支持。

本教材按照 Verilog 数字系统设计的前端设计流程编写,从 Verilog HDL 语言、HDL 编码指南、逻辑验证到测试平台等,这部分内容也是 FPGA 应用所必需的,在此基础上对当前主流的 Altera FPGA/CPLD 器件的应用进行了详细的介绍,最后对可编程片上系统(SOPC)也进行了深入的探讨。为便于学生练习,每章都提供了大量的实例,并且有专门的章节介绍数字系统设计实例。教材最后的附录是常用的 EDA 软件的使用指南。整本教材显得有血有肉,即使没有太多经验的读者,也很容易上手。

本书的内容安排如下:

第 1 章为绪论,简介集成电路设计技术的发展、硬件描述语言及 FPGA/CPLD 器件相关知识。

第 2 章详细介绍 Verilog HDL 语言的基本语法,并给出典型的简单组合电路和时序逻辑电路的设计实例。

第 3 章从描述方式与抽象层次方式两个角度介绍 Verilog HDL 的建模方式。

第 4 章介绍有限状态机的特点和设计规则,给出了使用 Verilog HDL 硬件描述语言设计有限状态机的一般方法。结合 Moore 机和 Mealy 的实例设计,详细分析了具有综合风格的有限状态机的设计方法和设计过程。

第 5 章简介 Verilog HDL 代码编写的规范和风格。

第 6 章在介绍逻辑验证基本概念的基础上,介绍测试平台的构成、常用仿真激励方法及相关系统函数。

第 7 章对逻辑综合技术和方法做最基本的介绍,并以 Verilog HDL 为例介绍逻辑综合最基本的流程,以 Synopsys 公司 DC Compiler 为例介绍逻辑综合的最基本的语法。

第 8 章主要介绍 Altera FPGA/CPLD 器件结构、器件类型、使用方法和编程配置。

第 9 章通过 5 个综合设计实例展示用 Verilog HDL 设计数字电路系统的方法。每个实例都采用模块化设计方法,详细地介绍了各模块的功能和逻辑设计程序。



第10章对SOPC开发流程、Nios II处理器、Nios II外设接口以及Avalon总线进行简单介绍,并给出了基于SOPC的开发实例和设计中的常见问题。

附录A介绍常用EDA软件使用指南,包括ModelSim、Quartus II开发流程。

附录B介绍Altera DE2开发板使用说明。

本书由赵倩担任主编,第2和第5章由赵倩编写,第1、第6和第7章由叶波编写,第10章、附录B由林丽萍编写,第4和第8章由周多编写,第3章由王晓华编写,第9章由赵倩、林丽萍、周多共同编写,附录A由林丽萍和王晓华共同编写。全书由赵倩统稿并审核。

我们真诚地希望读者对书中的不足和错误给予批评指正(email:zhaopian@shiep.edu.cn)。

编者

2012年7月于上海



# 目 录

<b>第 1 章 绪论</b> .....	1
1.1 集成电路设计技术的发展 .....	1
1.2 Verilog HDL 和 VHDL .....	1
1.2.1 Verilog HDL 和 VHDL 的发展历史 .....	1
1.2.2 Verilog HDL 和 VHDL 的比较 .....	2
1.3 FPGA/CPLD 简介 .....	3
1.3.1 可编程逻辑器件的发展历史.....	3
1.3.2 PAL/GAL .....	3
1.3.3 CPLD .....	4
1.3.4 FPGA .....	5
1.3.5 CPLD 与 FPGA 的区别 .....	5
1.3.6 SOPC .....	6
习题 1 .....	6
<b>第 2 章 Verilog HDL 基础</b> .....	7
2.1 Verilog HDL 的基本单元——模块 .....	8
2.1.1 简单 Verilog HDL 程序实例 .....	8
2.1.2 Verilog HDL 程序的基本结构 .....	10
2.1.3 逻辑功能描述 .....	12
2.2 Verilog HDL 基本语法.....	12
2.2.1 词法规定 .....	13
2.2.2 常量及其表示 .....	13
2.2.3 变量的数据类型 .....	15
2.3 运算符及表达式.....	20
2.3.1 算术运算符 .....	20
2.3.2 位运算符 .....	21
2.3.3 缩位运算符 .....	21
2.3.4 关系运算符 .....	21
2.3.5 等式运算符 .....	22
2.3.6 逻辑运算符 .....	22
2.3.7 移位运算符 .....	23
2.3.8 位拼接运算符 .....	23

- 2.3.9 条件运算符 ..... 23
- 2.3.10 优先级别..... 24
- 2.4 过程语句..... 24
  - 2.4.1 initial 语句 ..... 24
  - 2.4.2 always 语句 ..... 26
- 2.5 块语句..... 30
  - 2.5.1 串行块 begin-end ..... 30
  - 2.5.2 并行块 fork-join ..... 31
- 2.6 赋值语句..... 32
  - 2.6.1 连续赋值 ..... 32
  - 2.6.2 过程赋值 ..... 33
- 2.7 条件语句..... 37
  - 2.7.1 if-else 语句 ..... 37
  - 2.7.2 case 语句 ..... 39
  - 2.7.3 条件的描述完备性 ..... 41
- 2.8 循环语句..... 44
  - 2.8.1 forever 语句 ..... 45
  - 2.8.2 repeat 语句 ..... 45
  - 2.8.3 while 语句 ..... 46
  - 2.8.4 for 语句..... 47
  - 2.8.5 disable 语句 ..... 48
- 2.9 task 和 function 说明语句 ..... 49
  - 2.9.1 task 说明语句 ..... 49
  - 2.9.2 function 说明语句 ..... 51
  - 2.9.3 task 和 function 说明语句的不同点 ..... 53
- 2.10 编译向导 ..... 54
  - 2.10.1 宏定义语句`define ..... 54
  - 2.10.2 文件包含语句`include ..... 56
  - 2.10.3 条件编译命令`ifdef、`else、`endif ..... 57
  - 2.10.4 时间尺度命令`timescale ..... 58
- 2.11 Verilog HDL 设计举例 ..... 59
  - 2.11.1 组合逻辑电路描述 ..... 59
  - 2.11.2 时序逻辑电路 ..... 61
- 2.12 小结 ..... 66
- 习题 2 ..... 67

**第 3 章 Verilog HDL 常用的建模方式 ..... 69**

- 3.1 Verilog HDL 常用的建模描述方式..... 69
  - 3.1.1 结构化建模描述方式 ..... 69

3.1.2	数据流建模描述方式 .....	81
3.1.3	行为建模描述方式 .....	82
3.1.4	混合设计描述 .....	83
3.2	Verilog HDL 的抽象分层建模方式 .....	84
3.2.1	系统级和算法级建模方式 .....	86
3.2.2	寄存器传输级建模方式 .....	86
3.2.3	门级建模方式 .....	89
3.2.4	晶体管开关级建模方式 .....	89
3.3	小结 .....	91
习题 3	.....	92
<b>第 4 章</b>	<b>有限状态机设计 .....</b>	<b>93</b>
4.1	FSM 设计方法 .....	93
4.1.1	使用 FSM 设计数字系统的优点 .....	94
4.1.2	设计 FSM 的基本步骤 .....	95
4.1.3	设计 FSM 的基本原则 .....	96
4.1.4	FSM 的 Verilog 代码编写方法 .....	96
4.2	FSM 设计实例 .....	99
4.2.1	1001 序列信号检测器设计 .....	102
4.2.2	交通灯信号控制器设计 .....	108
4.3	基于 FPGA 的数字系统设计原则和技巧 .....	115
4.3.1	基本原则 .....	115
4.3.2	设计技巧 .....	118
4.4	小结 .....	120
习题 4	.....	120
<b>第 5 章</b>	<b>Verilog 代码编写风格 .....</b>	<b>121</b>
5.1	命名规范 .....	121
5.2	格式规范 .....	122
5.3	RTL 可综合代码编写规范 .....	124
5.4	项目目录规范 .....	124
5.5	常见错误 .....	125
5.6	小结 .....	125
习题 5	.....	125
<b>第 6 章</b>	<b>逻辑验证与测试平台 .....</b>	<b>126</b>
6.1	测试平台的基本概念 .....	126
6.1.1	什么是测试平台 .....	126
6.1.2	测试平台模板 .....	127

6.2	仿真激励的语法 .....	128
6.2.1	initial 语句和 always 语句施加激励 .....	128
6.2.2	时钟信号的产生 .....	129
6.2.3	复位信号 .....	131
6.2.4	并行激励 .....	132
6.2.5	循环激励 .....	133
6.2.6	数组激励 .....	134
6.2.7	强制激励 .....	134
6.2.8	包含文件 .....	135
6.2.9	文件的读写 .....	136
6.2.10	矢量采样 .....	136
6.2.11	矢量回放 .....	137
6.2.12	Matlab .....	137
6.3	系统函数和系统任务 .....	138
6.3.1	\$display、\$write 和 \$strobe .....	138
6.3.2	系统任务 \$monitor .....	140
6.3.3	\$fopen、\$fclose、\$fdisplay 和 \$fmonitor .....	141
6.3.4	系统任务 \$readmemb 和 \$readmemh .....	142
6.3.5	系统任务 \$finish 和 \$stop .....	143
6.3.6	系统任务 \$random .....	143
6.3.7	系统函数 \$time 和 \$realtime .....	144
6.3.8	值变转储文件 .....	144
6.4	实例 .....	146
6.5	小结 .....	148
	习题 6 .....	149
<b>第 7 章</b>	<b>逻辑综合与静态时序分析 .....</b>	<b>150</b>
7.1	逻辑综合概述 .....	150
7.1.1	什么是逻辑综合 .....	150
7.1.2	逻辑综合的特点 .....	151
7.1.3	逻辑综合的要求 .....	151
7.2	逻辑综合流程和语法 .....	152
7.3	逻辑综合实例 .....	158
7.3.1	组合电路的综合(4 位 ALU 的层次化综合) .....	159
7.3.2	时序电路的综合(数字跑表的综合) .....	166
7.4	门级网表的验证 .....	174
7.4.1	ALU 网表的门级仿真 .....	174
7.4.2	跑表网表的门级仿真 .....	175
7.5	形式验证 .....	176

7.6	物理综合 .....	178
7.7	静态时序分析 .....	178
7.8	小结 .....	179
	习题 7 .....	179
<b>第 8 章</b>	<b>Altera FPGA/CPLD 器件及编程配置 .....</b>	<b>180</b>
8.1	可编程器件的历史和趋势 .....	180
8.2	FPGA/CPLD 器件结构 .....	181
8.2.1	CPLD 的基本结构 .....	181
8.2.2	FPGA 的基本结构 .....	181
8.2.3	FPGA/CPLD 的器件选型 .....	183
8.3	Altera 系列 FPGA/CPLD 器件 .....	184
8.3.1	MAX 各系列器件 .....	185
8.3.2	Cyclone 各系列器件 .....	187
8.3.3	Arria 各系列器件 .....	189
8.3.4	Stratix 各系列器件 .....	191
8.4	编程配置 .....	195
8.4.1	编程硬件 .....	195
8.4.2	编程配置策略 .....	197
8.4.3	下载电缆驱动程序安装指导 .....	205
8.4.4	Quartus II 9.0 下的编程下载 .....	205
8.5	小结 .....	208
	习题 8 .....	208
<b>第 9 章</b>	<b>数字电路与系统的设计实例 .....</b>	<b>209</b>
9.1	三层电梯控制器设计 .....	209
9.1.1	模块划分 .....	209
9.1.2	电梯控制模块 .....	210
9.1.3	显示转换模块 .....	215
9.1.4	分频模块 .....	217
9.1.5	系统电路图 .....	217
9.2	出租车计价器设计 .....	219
9.2.1	系统分析和模块划分 .....	219
9.2.2	速度调节模块 .....	220
9.2.3	里程显示模块 .....	221
9.2.4	金额显示模块 .....	223
9.2.5	系统电路图 .....	226
9.3	基于 FPGA 的电子点菜系统设计 .....	228
9.3.1	系统分析和模块划分 .....	228

9.3.2	输入控制模块	229
9.3.3	LCD 显示模块	230
9.3.4	菜单存储模块	235
9.3.5	总价计算模块	237
9.3.6	LED 显示模块	238
9.3.7	系统电路图	238
9.4	基于 TRDB_LCM 的液晶显示模块的应用	240
9.4.1	TRDB_LCM 显示屏简介	240
9.4.2	TRDB_LCM 显示屏的主要参数	241
9.4.3	模块划分	242
9.4.4	彩条显示模块	244
9.4.5	LCM 配置模块	249
9.4.6	I2S 控制器模块	250
9.4.7	LCM 锁相环	253
9.5	维纳滤波器设计	254
9.5.1	维纳滤波算法原理	254
9.5.2	模块划分	254
9.5.3	滤波窗口模块	254
9.5.4	维纳滤波算法模块	256
9.5.5	联合测试平台	257
9.5.6	系统电路图	259
习题 9		259
<b>第 10 章</b>	<b>可编程片上系统</b>	<b>261</b>
10.1	SOPC 简介	261
10.1.1	SOPC 开发流程	261
10.1.2	Nios II 处理器简介	262
10.1.3	Nios II 外设接口	264
10.1.4	Avalon 总线	274
10.2	SOPC 开发实例	274
10.3	SOPC 设计的常见问题及解决方法	285
习题 10		286
<b>附录 A</b>	<b>常用 EDA 软件使用指南</b>	<b>287</b>
A1	ModelSim 6.0 初学者使用指南	287
A1.1	ModelSim 仿真功能简介	287
A1.2	初学者指南	288
A2	Quartus II 9.0 的使用	304
<b>附录 B</b>	<b>DE2 介绍</b>	<b>316</b>
<b>参考文献</b>		<b>324</b>

### 1.1 集成电路设计技术的发展

自 1947 年美国贝尔实验室的肖克莱、巴丁、布拉坦发明晶体管以来,集成电路技术得到了飞速的发展。集成电路工艺水平已从 10 年前的  $0.18\mu\text{m}$  发展到现在的  $22\text{nm}$ , 晶圆尺寸从 8 英寸发展到 12 英寸。多媒体技术和数据通信的发展,特别是移动通信的飞速发展,对集成电路提出了更高的要求,越来越多的系统要求把包括 CPU、DSP 等在内的系统集成到一块芯片上,即片上系统(System on Chip, SOC)。由于目前集成电路设计技术的发展速度远远落后于集成电路工艺发展速度,在数字逻辑设计领域,迫切需要一种共同的工业标准来统一对数字逻辑电路及系统的描述,这样就能把系统设计工作分解为逻辑设计(前端)、电路实现(后端)和验证三个相互独立而又相关的部分,Verilog HDL 和 VHDL 这两种工业标准的产生顺应了时代的潮流,因而得到了迅速的发展。Verilog HDL 和 VHDL 这两种语言都得到了集成电路和 FPGA 仿真和综合等 EDA 工具的广泛支持,如 Synopsys 公司的 VCS, Cadence 公司的 NCVerilog 等, Mentor Graphics 公司的 ModelSim 支持 Verilog HDL 和 VHDL 的混合仿真。为支持更高抽象级别的设计,在 Verilog 基础上又发展了 System C 和 System Verilog 语言,在系统芯片 SOC 的验证中得到了广泛的应用。

虽然通过 HDL 语言可以很方便地实现描述不同层次的数字系统,然后通过成熟的 EDA 工具进行仿真、综合,并通过版图设计后进行流片来实现各种专用集成电路(ASIC)或系统芯片(SOC),但由于 ASIC 和 SOC 的设计周期长、MASK 改版成本高、灵活性低严重制约了其应用范围,因而 IC 设计工程师们希望有一种更灵活的设计方法,根据需要,在实验室就能设计和更改大规模的数字逻辑,研制自己的 ASIC 或 SOC 并马上投入使用。因而现场可编程逻辑器件(FPGA)和可编程片上系统(SOPC)就应运而生。

### 1.2 Verilog HDL 和 VHDL

#### 1.2.1 Verilog HDL 和 VHDL 的发展历史

硬件描述语言 HDL 已有许多种,但目前最流行和通用的只有 Verilog HDL 和 VHDL 两种。

HDL 是硬件描述语言(Hardware Description Language)的缩写。Verilog 最初于 1983



年由美国 GDA (Gateway Design Automation) 公司的 Phil Moorby 开发成功, 是一种在 C 语言基础上发展起来的硬件描述语言, Verilog 最初只设计了一个仿真与验证工具, 之后又陆续开发了相关的故障模拟与时序分析工具。1984—1985 年 Moorby 设计出了一个名为 Verilog-XL 的仿真器, 获得了巨大成功, 1986 年又提出了用于快速门级仿真的 XL 算法, 从而使 Verilog HDL 得到了迅速的推广和使用。1989 年美国 Cadence 公司收购了 GDA 公司, Verilog HDL 成为 Cadence 公司的专利。1990 年 Cadence 公司公开发表了 Verilog HDL, 并成立 OVI (Open Verilog International) 组织来负责促进 Verilog HDL 语言的发展。基于 Verilog HDL 的优越性, 1995 年 Verilog HDL 成为 IEEE 标准, 即 IEEE Std 1364—1995, 2001 年又发布了 Verilog HDL 1364—2001 标准, 2005 年 System Verilog IEEE 1800—2005 标准的公布, 更使得 Verilog 语言在仿真、综合、验证和 IP 模块的重用等方面都有大幅提高。

Verilog 语言不仅定义了语法, 而且对每个语法结构都清晰定义了仿真语义, 从而便于仿真调试。Verilog 语言继承了 C 语言的很多操作符和语法结构, 对初学者而言易学易用。此外, Verilog 语言具有很强的扩展性, Verilog 2001 标准大大扩展了 Verilog 的应用灵活性。

VHDL 是 Very High Speed Integrated Circuit HDL 的缩写。VHDL 是在 ADA 语言基础上发展起来的, 诞生于 1982 年。由于 VHDL 得到美国国防部的支持, 并于 1987 年就成为 IEEE 标准 (IEEE Standard 1076—1987), 此后, 各 EDA 公司相继推出了自己的 VHDL 设计环境, 从而使得 VHDL 在电子设计领域得到了广泛的应用, 并逐步取代了原有的非标准的硬件描述语言。1993 年, IEEE 对 VHDL 进行了修订, 从更高的抽象层次和系统描述能力上扩展 VHDL 的内容, 公布了新版本的 VHDL, 即 IEEE 标准的 1076—1993 版本。

VHDL 主要用于描述数字系统的结构、行为、功能和接口。除了含有许多具有硬件特征的语句外, VHDL 的语言形式、描述风格与句法十分类似于一般的计算机高级语言。VHDL 的程序结构特点是将设计实体分成外部和内部。在对一个设计实体定义了外部界面后, 一旦其内部开发完成后, 其他的设计就可以直接调用这个实体。这种将设计实体分成内外部分的概念是 VHDL 系统设计的基本点。

### 1.2.2 Verilog HDL 和 VHDL 的比较

目前, Verilog HDL 和 VHDL 作为 IEEE 的工业标准硬件描述语言, 得到了众多 EDA 公司的支持, 在电子工程领域, 已成为事实上的通用硬件描述语言。从设计能力而言, 都能胜任数字系统的设计要求。

Verilog HDL 和 VHDL 的共同点在于: 都能抽象地表示电路的行为和结构, 都支持层次化的系统设计, 支持电路描述由行为级到门级网表的转换, 硬件描述与流片工艺无关。

但是 Verilog HDL 与 VHDL 又有区别。Verilog HDL 最初是为更简捷、更有效地描述数字硬件电路和仿真而设计的, 它的许多关键字和语法都继承了 C 语言的传统, 因此易学易懂。只要有 C 语言的基础, 很快可以采用 Verilog HDL 进行简单的 IC 设计和 FPGA 开发。2005 年 System Verilog IEEE 1800—2005 标准公布以后, 集成电路设计界普遍认为 Verilog HDL 将在 10 年内全面取代 VHDL 成为 IC 设计行业包揽设计、测试和验证功能的