



普通高等教育“十二五”规划教材

工程创新型 电子信息类精品教材

# EDA 技术 及其创新实践 (Verilog HDL 版)

• 黄继业 潘松 编著



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

普通高等教育“十二五”规划教材

工程创新型电子信息类精品教材

# EDA 技术及其创新实践

## (Verilog HDL 版)

黄继业 潘 松 编著

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

## 内 容 简 介

本教材的教学目标有二, 特色有一: 掌握 EDA 技术基础理论及其工程实践基本技能、基于 EDA 的平台及本书给出的大量实践项目促进自主创新能力的有效提高; 特色是速成。为此, 全书做了精心的编排, 在第 1 章中就将 EDA 技术的总体概况和盘托出, 甚至包括 EDA 技术相关的软硬件基本特点、结构和原理; 在第 2、第 4 和第 6 章中分别介绍了基于 Verilog 的组合电路设计、时序电路设计, 和 HDL 设计技巧与优化技术的深入; 所用的教学方法都是基于流行于国际的以电路模块为先导的情景式教学模型。为能快速进入实践操练阶段, 在第 3、第 5 和第 7 章中分别穿插了 EDA 软件应用、逻辑仿真、FPGA 硬件验证及开发、LPM 宏模块应用, 以及与工程实践更靠拢的状态机设计技术等内容; 使得从第 3 章开始, 读者就有机会不断地将书本知识及时有效地融入实验验证、技能提高和经验积累。在前期知识铺垫的基础上, 第 8 章给出的 16 位实用 CPU 设计技术及 CPU 创新设计竞赛实践项目, 将使读者在基础理论水平, 工程实践和自主创新能力等方面有较大的提高; 第 9 章是 Verilog 语法补充。从第 3 章至第 9 章, 每一章后都安排了大量的习题、实验以及与工程实际紧密联系的创新实践项目。全书内容新颖, 结构紧凑、特色鲜明, 成效也一定会突出。

本书可作为高等院校电子工程、通信、工业自动化、计算机应用技术、电子对抗、仪器仪表、数字信号或图像处理等学科的本科生或研究生的电子设计、EDA 技术和 Verilog HDL 硬件描述语言课程的教材及实验指导书, 同时也可作为相关专业技术人员的自学参考书。本书提供免费课堂教学与实验课件以及硬件演示程序。

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有, 侵权必究。

### 图书在版编目 (CIP) 数据

EDA 技术及其创新实践: Verilog HDL 版 / 黄继业, 潘松编著. —北京: 电子工业出版社, 2012.6

(工程创新型电子信息类精品教材)

ISBN 978-7-121-17044-7

I. ①E… II. ①黄… ②潘… III. ①VHDL 语言—程序设计—高等学校—教材 IV. ①TP312

中国版本图书馆 CIP 数据核字 (2012) 第 099045 号

责任编辑: 韩同平 特约编辑: 李佩乾

印 刷:

装 订: 北京中新伟业印刷有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编: 100036

开 本: 787×1092 1/16 印张: 16 字数: 420 千字

印 次: 2012 年 6 月第 1 次印刷

印 数: 4 000 册 定价: 35.00 元

凡所购买电子工业出版社的图书, 如有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 [zlts@phei.com.cn](mailto:zlts@phei.com.cn), 盗版侵权举报请发邮件至 [dbqq@phei.com.cn](mailto:dbqq@phei.com.cn)。

服务热线: (010) 88258888。

# 前 言

“寓教于乐”可谓初级教育的上乘境界。而在高等教育中，尤其是工科类高等教育，如若能将培养学生的自主创新能力寓于知识传授之中，应是“寓教于乐”的升华，是高等教育的上乘境界，是培养卓越工程师的捷径，此可谓“寓悟于道”，即悟道寓于布道。此概因创新型人才的培养已成当今教育的热点话题和重大命题。创新型人才远比知识型人才更能激起社会的渴求，显然，前者之“才”乃贤才、将才、帅才之才，自古求之者众；而后者之“才”，实乃“材”耳，皆木材石材钢材之材，多之不滥，少之不缺。

在高校的知识传授中，能将培养自主创新能力寓于其中，有三个问题需要解决：什么是自主创新能力？什么样的知识体系最适合培养自主创新能力？如何做？

在工程领域，创新与自主创新是有巨大区别的。前者指能体现价值、知识和智慧的有别于他人的作品或成就；后者则在前者定义的基础上增加更大的，乃至排他的全部社会或经济价值的拥有性。比如某财务软件或股票软件，不能否认是作者的创新成果并拥有其知识产权。然而我们永远不可能听说某软件拥有完全的自主知识产权，这是因为这套软件的功能实现必须在别人的计算机系统上完成，而在销售此软件的同时也附带帮助别人在卖计算机。

然而大到高铁技术，银河大型机，ARM 处理器，小到一片电饭煲的控制芯片，其作者就能自豪地声称他们拥有完全的自主知识产权，这是因为设计者的智慧和创造已经渗透于包括软件和硬件的全部设计和整个结构中，他们拥有了全部的自主权及排他的利益权；而这又反过来成就了这些创造者，他们正是所谓的自主创新型人才。显然，拥有自主创新能力的人才永远是一个企业的生存之本。推而广之，国家的可持续发展有赖于大量的自主创新型人才，而创新型国家也必须由他们来支撑。

具体到信息工程教学领域，不难发现不是任何一门课程都适合于“寓悟于道”的。那些被一两项定律圈定的课程（如牛顿定律之于力学，麦克斯韦方程之于电磁学）、结论先于探索的课程（如证明题之于数学）、软件设计远胜硬件设计的课程（如 C、DSP、微机原理等），虽涉创新却难企“自主”的课程（如单片机、嵌入式系统等），都难以同步孕育创造精神。显然能兼而有之的“寓悟于道”的课程非 EDA 莫属。正是 EDA 技术，将无序化作标准，手工跃为自动，突破软硬件设计的屏障，使软件语言与硬件语言相得益彰，令时序仿真与系统实现互为印证，更兼溶多分支学科课程于一炉。

不可否认，在充满自主创新精神的 EDA 技术教学领域，从来就不相信什么习题集，也永远没有标准答案，它提倡个性、鼓励想象、适应变革、崇尚实践！

将培养学生的自主创新能力寓于 EDA 技术教学之中便是本教材的唯一定位。

正如本书内容简介中所言，本教材的教学目标有二，特色有一：使读者能掌握 EDA 技术基础理论及其工程实践基本技能，同时基于 EDA 的平台及本书给出的大量实践项目促进自主创新能力的有效提高；而特色是速成。为了实现这些目标，全书各章的精心编排最能体现作者的用心良苦：

第 1 章主要以导论的方式从面上介绍了 EDA 技术的总体概况，其中还包括 EDA 软件的功能结构以及各类硬件平台的特点，且较详细介绍了大规模 PLD 的结构和原理。全景式俯瞰

和细节性端详相结合，为读者快速切入正题做了必要的铺垫。

第2、第4和第6章的主干内容分别是基于 Verilog 的组合电路设计、时序电路设计，和 Verilog 设计深入及优化技术。此三章的展开有明显的节奏性：由浅入深，由点及面，由语言表述方法延伸至设计技巧和优化技术。特别是在讲授方法上采用了以经典电路模块为先导的所谓情景式教学模型。即脱离了传统的 HDL 教学模式，而以读者十分熟悉的电路模块（如半加器等），引出 Verilog 的表述形式和方法，进而解释相关的语句语法。以此层层渐进，却步步为营。以大多数读者自然与习惯的思维方式，徐徐道来。

经验表明，面对这貌似繁杂的内容，却能使教学二者倍感轻松，这自然使得课堂的课时数大为缩减，速成遂见平常之事。每章的末尾还精心配制了大量习题。

为了加快学习节奏，提高学习效率，巩固学习成果，使读者有机会不断地将前一章的知识及时有效地融入实验验证、技能提高和经验积累，特别是将自主创新能力的培育有机地融入理论学习与工程实践之中，作者在第3、第5和第7章（也包括第4章的后两节）中分别穿插了 EDA 软件应用、逻辑仿真、FPGA 硬件验证及开发、LPM 宏模块应用，以及与工程实践更靠拢的状态机设计实用技术等内容。

例如在第3章中，以第2章中出现的某个经典实例对应的硬件验证为目标，详细介绍了 Quartus II 的使用方法、仿真技术、FPGA 硬件验证流程以及电路原理图编辑与设计方法，使得读者有能力从硬件验证与开发的最贴近工程实际的角度回过头去重新审视刚学过的第2章的全部内容。同时在此章的末尾安排了多个有较强针对性的实验。

第5章主要介绍了 EDA 技术中最实用的内容之一，即宏功能模块的使用技术。期间同样穿插了极有针对性的以情景方式给出的 Verilog 语句语法的说明，以及基于特定 EDA 设计平台的各类实用的属性使用知识。其实这种直接面对工程技术的属性使用知识一直贯穿于全书的各相关章节，这些内容的介绍在其他同类教材中并不多见。

第5章的末尾同样安排了许多实验和创新实践项目。事实上，从第3章至第9章，每一章后都安排了大量的实验以及与工程实际紧密联系的创新实践项目。绝大多数情况中，每一个实验或项目除给出其详细的实验目的、实验原理和实验报告要求外，都含有2至5个或更多的实验任务子项目。它们通常分为：第一层次的任务是与该章节或以前章节中某具体内容相关的验证性实验，并通常提供详细的被验证的设计源程序、实验方法或演示实例。对此，学生只需将提供的设计程序输入计算机，并按要求进行编译仿真，在实验系统上实现即可。这使学生有一个初步的感性认识，也同步提高了实验的效率；第二层次的任务是要求在上一实验基础上做一些改进和发挥；第三个层次的实验通常是提出自主设计的要求和任务；第四、第五个层次（或后期的一些实践项目）则在给出一些提示的情况下，提出自主创新性设计的要求，或大致的方向，以及要求查阅相关资料。因此，授课教师可以根据学时数、教学实验的要求，以及不同的学习对象，布置不同层次含不同任务的实验项目。

第7章从实际电路系统的控制和工程实践的角度详细阐述了基于 Verilog 的有限状态机设计技术，包括以不同角度分类的状态机的设计方法、状态机的编码方式、性能比较、毛刺处理、容错技术探讨、属性设置等。毫无疑问，就其内容的完整性，实用性和能动创新的启发性而言，本教材可谓独树一帜。特别是末尾精心编排的大量的实践项目和多层次的实验任务实是希望读者能浅心躬为，而后融会贯通。

在前期知识铺垫的基础上，第8章适时给出的16位实用 CPU 设计技术及 CPU 创新设计实践项目，将使读者在基础理论水平、工程实践和自主创新能力等方面有较大的提高；这些

内容, 同类教材极少涉及, 但其却在工程设计, 大学生电子设计竞赛, 产品开发上极为重要和常用。由于更具综合性和更为实用, 又富于创新精神的激发, 该章末尾安排了对应内容的 CPU 创新设计竞赛项目。

第 9 章是 Verilog 语法补充。但也在本章末尾安排了数量不少的实验设计项目。相比于之前的实验, 此章的项目综合性更强, 更加贴近工程实际, 所以需要更加全面的 EDA 技术知识、更丰富的实践经验和更宽的电子工程知识面。它们既是对前期知识与实践的总结, 也蕴含了更多的创新要求。这一切显然对学习有了更多的挑战。

对于本教材涉及的硬件描述语言是 Verilog HDL (另有本出版社出版的同名同篇幅的 VHDL 版本的姐妹篇教材)。Verilog HDL 具有易学易用和享有 ASIC 设计领域的主导地位等诸多优势, 在全球范围内其用户覆盖率一直处于领先和上升趋势; 统计资料表明 Verilog HDL 现已超过 80% 的行业覆盖率! 在美国和日本的比率则更高, 已占绝对优势。由此势必导致我国 Verilog HDL 工程师和相关就业领域人才需求的不断增加。

本教材的教学仅就授课的课时数而言是十分灵活的, 可长可短, 视具体的专业特点、课程定位及学习者的前期教育力度等因素而定, 大致在 10~30 学时之间选择。由于本书的特色和定位, 加之 EDA 技术课程的特质, 具体教学可以是粗放型的, 其中多数内容, 包括实践项目都可直接放手于学生。更多地让他们自己去查阅资料、提出问题、解决问题, 乃至创新与创造; 而授课教师, 甚至实验教师只需做一个启蒙者、引导者、鼓励者和学生成果的检验者和评判者。授课的过程多数只需点到为止, 大可不必拘泥细节, 面面俱到。但有一个原则, 即实验学时数应多多益善。然而事实上, 任何一门课程的学时数总是有限的, 为了有效倍增学生的实践和自主设计的时间, 倒是可以借鉴清华大学的一项教改措施, 即其电子系本科生从一入学就人手获得一块 Altera FPGA 实验开发板, 可从本科一年级一直用到研究生毕业。这是因为 EDA 技术本身就是一个可把全部实验和设计带回家的课程。我校对于这门课也基本采用了这一措施: 每个上 EDA 课的同学都可借出一套 EDA 实验板, 使他们能利用自己的计算机在课余时间完成自主设计项目, 强化学习效果。实践表明, 这种安排使得实验课时得到有效延长, 教学成效自然明显。

还有一个问题有必要在此探讨, 就是在前面曾提到的, 本教材的定位之说。事实上, 自主创新能力的提高不可能一蹴而就, 其能力的培养更是一个重大命题, 绝非一朝一夕之事。多年的教学实践告诉我们, 针对这一命题的教改必须从两方面入手, 一是教学内容, 二是设课时间; 二者互为联系, 不可偏废。

前者主要指建立一个内在相关性好、设课时间灵活, 且易于“寓悟于道”的课程体系。然后在具体的教学实践中自觉地将自主创新能力的培养溶入这一课程体系之中。

后者主要指在课程安排的时段上, 将这一体系的课程尽可能地提前。这一举措是成功的关键, 因为我们不可能想象到了本科三、四年级才去关注能力的培养并期待奇迹发生, 更不可能指望一两门课程就能解决问题。尤其是以卓越工程师为培养目标的工科高等教育, 自主创新能力的培养本身就是一项教学双方必须投入密集实践和探索的创新活动。

我校的 EDA 技术国家级精品课程正是针对这一教改目标建立的课程体系, 而“数字电子技术基础”是这一体系的组成部分和先导课程。它的提前设课是整个课程体系提前的必要条件。通过数年的试点性教学实践和经验总结, 现已成功在部分本科学生中将此课程的设课时间从原来的第 4 学期或第 5 学期提前到了第 1 或 2 学期。而这一体系的其他相关课程, 如 EDA、单片机、SOC 片上系统、计算机接口、ARM 和 DSP 等也顺延提前, 使学生到二年级

时就具备了培养工程实践和自主开发能力的条件了。

不可否认,数字电路课程的大幅提前必须要以改革其教学内容为前提,否则将传统的教学内容强行提前必将归于失败。为此,在总结了数字电路多年教改成果的基础上,我们推出了适应新需求的教材,即电子工业出版社出版的《实用数字电子技术基础》一书,很好地适应了当前的教改目标。此书创新性地解决了传统教材中的手工数字技术与现代自动化数字技术间的关系,使此二者能平稳过渡,且有机融合,在有效促进理论与实践紧密结合的同时,强化实践训练,突显了创新意识启蒙的良好效果,同时实现了与后续课程的良好衔接。此教材在不断推广的教学实践中效果良好。尽管这一切尚处于我校的局部教学实践中,但已清晰地展示了诸多颇具说服力的证明。例如相比于其他同类情况(如同年级,同专业,同授业课程等),那些曾经参加这一课程体系的同学在大学生电子设计竞赛、飞思卡尔车模大赛,以及一些国外企业主导的自主设计赛事中,都获得了更多的奖项和更好的成绩。而且这些学生的获奖比例逐年提高,例如,在去年我校的全国大学生电子设计竞赛的一二等奖项(分别是3个和6个)的获奖同学中,本科两年级学生的比例高达80%(这年我校多数三年级学生选择考研复习,未参赛)。若按传统的工科本科教学流程,两年级就有能力获全国一等奖是不可想象的事!

其实,类似的教改活动和教改成绩,我校远非唯一。国内早有不少院校将数字电路放在第1或第2学期,其实践训练的内容包括超过数万至数十万逻辑门规模的数字系统自主设计训练,不少受益的学生在各类电子设计竞赛中也都获得了好成绩。前面提到的清华大学的教改活动也说明,他们至少有部分学生于本科一年级就有数字系统设计方面的训练;我们后来的调研也证明了这一点,如该校计算机专业本科二年级学生就能自主设计出各种极具创新特色的数字系统,如语音处理及数字立体声播放、硬件超级玛丽游戏显示与控制系统等;又如东南大学在一次省级数字电路课程(尚未学EDA)电子设计竞赛中,有一组同学完成了指纹识别数字锁的设计而获一等奖;再如美国Michigan大学本科一年级学生就能设计数字电子琴这样的复杂系统,其中包括用FPGA控制VGA显示五线谱,PS/2键盘作为琴键及数字立体声音乐播放等。

我们真诚地期待并先行谢过读者和同行的不吝赐教,望能毫无保留地指正书中的错误,明示改进的方向,甚至推荐您的教学实践高招(pmr123@sina.cn)。

为了尽可能降低售价,本书就不配置光盘了。与此书相关的资料,包括配套课件、实验演示示例源程序资料、相关参考资料和附录A中提到的mif文件编辑生成软件等的免费索取,可浏览网址:www.kx-soc.com,也可直接登录电子工业出版社华信教育资源网www.hxedu.com.cn索取。

作 者  
于杭州电子科技大学

## 反侵权盗版声明

电子工业出版社依法对本作品享有专有出版权。任何未经权利人书面许可，复制、销售或通过信息网络传播本作品的行为；歪曲、篡改、剽窃本作品的行为，均违反《中华人民共和国著作权法》，其行为人应承担相应的民事责任和行政责任，构成犯罪的，将被依法追究刑事责任。

为了维护市场秩序，保护权利人的合法权益，我社将依法查处和打击侵权盗版的单位和个人。欢迎社会各界人士积极举报侵权盗版行为，本社将奖励举报有功人员，并保证举报人的信息不被泄露。

举报电话：(010) 88254396；(010) 88258888

传 真：(010) 88254397

E - m a i l: dbqq@phei.com.cn

通信地址：北京市海淀区万寿路 173 信箱

电子工业出版社总编办公室

邮 编：100036



# 目 录

|                                           |    |
|-------------------------------------------|----|
| 第 1 章 EDA 技术概述 .....                      | 1  |
| 1.1 EDA 技术 .....                          | 1  |
| 1.2 EDA 技术应用对象 .....                      | 2  |
| 1.3 硬件描述语言 Verilog HDL .....              | 3  |
| 1.4 EDA 技术的优势 .....                       | 4  |
| 1.5 面向 FPGA 的 EDA 开发流程 .....              | 5  |
| 1.6 可编程逻辑器件 .....                         | 7  |
| 1.6.1 PLD 的分类 .....                       | 7  |
| 1.6.2 PROM 可编程原理 .....                    | 8  |
| 1.6.3 GAL .....                           | 10 |
| 1.7 CPLD 的结构与可编程原理 .....                  | 11 |
| 1.8 FPGA 的结构与工作原理 .....                   | 13 |
| 1.8.1 查找表逻辑结构 .....                       | 13 |
| 1.8.2 Cyclone III 系列器件的结构原理 .....         | 14 |
| 1.9 硬件测试技术 .....                          | 16 |
| 1.10 FPGA/CPLD 产品概述 .....                 | 17 |
| 1.10.1 Lattice 公司的 PLD 器件 .....           | 17 |
| 1.10.2 Xilinx 公司的 PLD 器件 .....            | 18 |
| 1.10.3 Altera 公司的 PLD 器件 .....            | 19 |
| 1.11 编程与配置 .....                          | 21 |
| 1.12 Quartus II .....                     | 21 |
| 1.13 EDA 的发展趋势 .....                      | 23 |
| 思考题 .....                                 | 24 |
| 第 2 章 组合电路 Verilog 设计 .....               | 25 |
| 2.1 半加器电路的 Verilog 描述 .....               | 25 |
| 2.1.1 半加器的数据流建模描述方式 .....                 | 25 |
| 2.1.2 半加器的门级原语和 UDP 结构建模描述方式 .....        | 29 |
| 2.2 多路选择器不同形式的 Verilog 描述 .....           | 30 |
| 2.2.1 4 选 1 多路选择器及其顺序语句表述方式 .....         | 31 |
| 2.2.2 4 选 1 多路选择器及其并行语句表述方式 .....         | 36 |
| 2.2.3 4 选 1 多路选择器及其条件操作语句表述方式 .....       | 37 |
| 2.2.4 4 选 1 多路选择器及其条件语句表述方式 .....         | 38 |
| 2.2.5 4 选 1 多路选择器及其利用 UDP 元件的结构表述方式 ..... | 40 |

|       |                                      |    |
|-------|--------------------------------------|----|
| 2.3   | Verilog 加法器设计 .....                  | 41 |
| 2.3.1 | 全加器设计及例化语句应用 .....                   | 41 |
| 2.3.2 | 8 位加法器设计及算术操作符应用 .....               | 43 |
| 2.3.3 | BCD 码加法器设计 .....                     | 44 |
| 2.4   | 组合逻辑乘法器设计 .....                      | 46 |
| 2.4.1 | 参数定义关键词 parameter 和 localparam ..... | 46 |
| 2.4.2 | 整数型寄存器类型定义 .....                     | 46 |
| 2.4.3 | for 语句用法 .....                       | 47 |
| 2.4.4 | 移位操作符应用法 .....                       | 47 |
| 2.4.5 | 两则乘法器设计示例 .....                      | 48 |
| 2.4.6 | repeat 语句用法 .....                    | 48 |
| 2.4.7 | while 语句用法 .....                     | 49 |
| 2.4.8 | Verilog 循环语句的特点 .....                | 50 |
| 2.4.9 | parameter 的参数传递功能 .....              | 50 |
|       | 习题 .....                             | 51 |
| 第 3 章 | Quartus II 应用向导 .....                | 53 |
| 3.1   | Quartus II 应用一般流程 .....              | 53 |
| 3.1.1 | 输入设计程序 .....                         | 53 |
| 3.1.2 | 创建本项目设计工程 .....                      | 54 |
| 3.1.3 | 设置约束项目 .....                         | 55 |
| 3.1.4 | 全程编译与逻辑综合 .....                      | 56 |
| 3.1.5 | 测试设计项目 .....                         | 57 |
| 3.1.6 | RTL 图观察器应用 .....                     | 60 |
| 3.2   | 硬件功能验证及 FPGA 开发 .....                | 60 |
| 3.2.1 | 引脚锁定 .....                           | 60 |
| 3.2.2 | 编译文件下载 .....                         | 61 |
| 3.2.3 | JTAG 间接编程模式 .....                    | 62 |
| 3.2.4 | USB-Blaster 编程配置器件使用方法 .....         | 63 |
| 3.3   | 电路原理图设计流程 .....                      | 64 |
| 3.4   | 利用属性表述实现引脚锁定 .....                   | 66 |
| 3.5   | keep 属性应用 .....                      | 67 |
| 3.6   | SignalProbe 使用方法 .....               | 69 |
| 3.7   | 宏模块逻辑功能查询 .....                      | 70 |
|       | 习题 .....                             | 71 |
|       | EDA 实验 .....                         | 72 |
| 3-1   | 多路选择器设计实验 .....                      | 72 |
| 3-2   | 8 位加法器设计实验 .....                     | 72 |
| 3-3   | 十六进制 7 段数码显示译码器设计 .....              | 72 |
| 第 4 章 | 时序电路 Verilog 设计 .....                | 74 |
| 4.1   | 基本时序元件的 Verilog 表述 .....             | 74 |

|              |                                      |            |
|--------------|--------------------------------------|------------|
| 4.1.1        | 基本 D 触发器单元及其 Verilog 表述 .....        | 74         |
| 4.1.2        | 用 UDP 表述 D 触发器 .....                 | 75         |
| 4.1.3        | 含异步复位和时钟使能的 D 触发器及其 Verilog 表述 ..... | 75         |
| 4.1.4        | 含同步复位控制逻辑的 D 触发器及其 Verilog 表述 .....  | 76         |
| 4.1.5        | 基本锁存器及其 Verilog 表述 .....             | 77         |
| 4.1.6        | 含清 0 控制的锁存器及其 Verilog 表述 .....       | 78         |
| 4.1.7        | 异步时序电路的 Verilog 表述特点 .....           | 79         |
| 4.1.8        | 时钟过程表述的特点和规律 .....                   | 80         |
| 4.2          | 二进制计数器及其 Verilog 表述 .....            | 81         |
| 4.2.1        | 简单加法计数器及其 Verilog 表述 .....           | 82         |
| 4.2.2        | 实用加法计数器设计 .....                      | 82         |
| 4.3          | 移位寄存器的 Verilog 表述与设计 .....           | 84         |
| 4.3.1        | 含同步预置功能的移位寄存器设计 .....                | 84         |
| 4.3.2        | 模式可控的移位寄存器设计 .....                   | 85         |
| 4.3.3        | 使用移位操作符设计移位寄存器 .....                 | 86         |
| 4.4          | 时序电路硬件设计与仿真示例 .....                  | 86         |
| 4.5          | SignalTap II 的使用方法 .....             | 87         |
|              | 习题 .....                             | 91         |
|              | EDA 实验 .....                         | 92         |
| 4-1          | 数字计数器设计实验 .....                      | 92         |
| 4-2          | 十六进制 7 段数码显示译码器设计 .....              | 94         |
| 4-3          | 数码扫描显示电路设计 .....                     | 94         |
| 4-4          | 模可控计数器设计 .....                       | 94         |
| 4-5          | 移位寄存器设计 .....                        | 95         |
| 4-6          | 串行静态显示控制电路设计 .....                   | 95         |
| 4-7          | 应用宏模块设计频率计 .....                     | 96         |
| <b>第 5 章</b> | <b>逻辑宏功能模块的应用 .....</b>              | <b>100</b> |
| 5.1          | 计数器宏模块调用 .....                       | 100        |
| 5.1.1        | 计数器模块文本的调用 .....                     | 100        |
| 5.1.2        | 计数器模块程序与参数传递语句 .....                 | 101        |
| 5.1.3        | 对计数器进行仿真测试 .....                     | 103        |
| 5.2          | 利用属性设置控制乘法器的构建 .....                 | 104        |
| 5.3          | RAM 宏模块的使用方法 .....                   | 105        |
| 5.3.1        | 存储器初始化文件 .....                       | 105        |
| 5.3.2        | RAM 宏模块的设置和调用 .....                  | 107        |
| 5.3.3        | 仿真测试 RAM 宏模块 .....                   | 109        |
| 5.3.4        | 存储器的 Verilog 代码描述及初始化文件调用 .....      | 109        |
| 5.3.5        | 存储器设计的结构控制 .....                     | 112        |
| 5.4          | LPM 存储器在系统读写方法 .....                 | 113        |
| 5.5          | 嵌入式锁相环使用方法 .....                     | 114        |

|                                  |     |
|----------------------------------|-----|
| 5.6 信号在系统测试与控制编辑器用法 .....        | 117 |
| 习题 .....                         | 119 |
| EDA 实验与创新实践 .....                | 119 |
| 5-1 查表式硬件运算器设计 .....             | 119 |
| 5-2 正弦信号发生器设计 .....              | 121 |
| 5-3 DDS 正弦信号发生器设计 .....          | 123 |
| 5-4 移相信号发生器设计 .....              | 126 |
| 第 6 章 EDA 技术深入 .....             | 128 |
| 6.1 过程中的两类赋值语句 .....             | 128 |
| 6.1.1 未指定延时的阻塞式赋值语句 .....        | 128 |
| 6.1.2 指定了延时的阻塞式赋值 .....          | 129 |
| 6.1.3 未指定延时的非阻塞式赋值 .....         | 130 |
| 6.1.4 指定了延时的非阻塞式赋值 .....         | 131 |
| 6.1.5 阻塞与非阻塞式赋值特点的深入讨论 .....     | 132 |
| 6.1.6 不同赋值方式的信号赋初值导致不同综合结果 ..... | 134 |
| 6.2 过程语句使用深入探讨 .....             | 135 |
| 6.2.1 过程语句应用总结 .....             | 136 |
| 6.2.2 深入认识不完整条件语句与时序电路的关系 .....  | 137 |
| 6.3 更完整地认识 if 语句 .....           | 139 |
| 6.3.1 if 语句的一般表述形式 .....         | 139 |
| 6.3.2 关注 if 语句中的条件指示 .....       | 141 |
| 6.4 三态与双向端口设计 .....              | 142 |
| 6.4.1 三态控制电路设计 .....             | 142 |
| 6.4.2 双向端口设计 .....               | 143 |
| 6.4.3 三态总线控制电路设计 .....           | 144 |
| 6.5 系统设计优化 .....                 | 146 |
| 6.5.1 资源优化 .....                 | 146 |
| 6.5.2 速度优化 .....                 | 149 |
| 习题 .....                         | 152 |
| EDA 实验与创新实践 .....                | 154 |
| 6-1 硬件消抖动电路设计 .....              | 154 |
| 6-2 4×4 阵列键盘键信号检测电路设计 .....      | 155 |
| 6-3 直流电机综合测控系统设计 .....           | 156 |
| 6-4 VGA 彩条信号显示控制电路设计 .....       | 158 |
| 第 7 章 有限状态机设计技术 .....            | 162 |
| 7.1 状态机的一般形式 .....               | 162 |
| 7.1.1 状态机的基本结构 .....             | 162 |
| 7.1.2 初始控制与表述 .....              | 165 |
| 7.2 Moore 型有限状态机 .....           | 166 |
| 7.2.1 实用状态机设计示例 .....            | 167 |

|       |                            |     |
|-------|----------------------------|-----|
| 7.2.2 | 序列检测状态机设计 .....            | 170 |
| 7.3   | Mealy 型状态机设计 .....         | 171 |
| 7.4   | 不同编码类型状态机 .....            | 173 |
| 7.4.1 | 直接输出型编码 .....              | 173 |
| 7.4.2 | 宏定义语句在状态编码定义中的用法 .....     | 175 |
| 7.4.3 | 宏定义命令语句 .....              | 176 |
| 7.4.4 | 顺序编码型状态机编码 .....           | 177 |
| 7.4.5 | 一位热码编码 .....               | 177 |
| 7.4.6 | 状态编码设置 .....               | 177 |
| 7.5   | 安全状态机设计 .....              | 179 |
|       | 习题 .....                   | 180 |
|       | EDA 实验与创新实践 .....          | 181 |
| 7-1   | 序列检测器设计 .....              | 181 |
| 7-2   | ADC 采样控制电路设计 .....         | 181 |
| 7-3   | 数据采集逻辑控制模块设计 .....         | 182 |
| 7-4   | 五功能智能逻辑笔设计 .....           | 184 |
| 7-5   | VGA 简单图像显示控制模块设计 .....     | 186 |
| 第 8 章 | 16 位实用 CPU 创新设计 .....      | 187 |
| 8.1   | KX9016 的结构与特色 .....        | 187 |
| 8.2   | KX9016 基本硬件系统设计 .....      | 189 |
| 8.2.1 | 单步节拍发生模块 .....             | 190 |
| 8.2.2 | 算术逻辑单元 .....               | 190 |
| 8.2.3 | 比较器 COMP .....             | 191 |
| 8.2.4 | 基本寄存器与寄存器阵列组 .....         | 191 |
| 8.2.5 | 移位器 .....                  | 193 |
| 8.2.6 | 程序与数据存储 .....              | 194 |
| 8.3   | KX9016v1 指令系统设计 .....      | 194 |
| 8.3.1 | 指令格式 .....                 | 195 |
| 8.3.2 | 指令操作码 .....                | 196 |
| 8.3.3 | 软件设计实例 .....               | 197 |
| 8.3.4 | KX9016 v1 控制器设计 .....      | 198 |
| 8.3.5 | 指令设计实例详解 .....             | 202 |
| 8.4   | KX9016 的时序仿真与硬件测试 .....    | 203 |
| 8.4.1 | 时序仿真与指令执行波形分析 .....        | 203 |
| 8.4.2 | CPU 工作情况的硬件测试 .....        | 205 |
| 8.5   | KX9016 应用程序设计实例和系统优化 ..... | 207 |
| 8.5.1 | 乘法算法及其硬件实现 .....           | 207 |
| 8.5.2 | 除法算法及其硬件实现 .....           | 208 |
| 8.5.3 | KX9016v1 的硬件系统优化 .....     | 208 |
|       | 习题 .....                   | 210 |

|                                     |            |
|-------------------------------------|------------|
| EDA 实验与创新实践 .....                   | 210        |
| 8-1 16 位 CPU 验证性设计综合实验 .....        | 210        |
| 8-2 新指令设计及程序测试实验 .....              | 210        |
| 8-3 16 位 CPU 的优化设计与创新 .....         | 211        |
| 8-4 KX9016v1 硬件升级 CPU 创新设计竞赛 .....  | 212        |
| <b>第 9 章 Verilog 语句语法规则补充 .....</b> | <b>213</b> |
| 9.1 Verilog 文字规则 .....              | 213        |
| 9.2 数据类型 .....                      | 215        |
| 9.2.1 net 网线类型 .....                | 215        |
| 9.2.2 register 寄存器类型 .....          | 216        |
| 9.2.3 存储器类型 .....                   | 216        |
| 9.3 操作符 .....                       | 216        |
| 9.4 常用语句补充 .....                    | 217        |
| 9.4.1 initial 过程语句使用示例 .....        | 217        |
| 9.4.2 forever 循环语句 .....            | 218        |
| 9.4.3 编译指示语句 .....                  | 218        |
| 9.4.4 任务和函数语句 .....                 | 220        |
| 9.5 用库元件实现结构描述 .....                | 222        |
| 习题 .....                            | 224        |
| EDA 实验与创新实践 .....                   | 224        |
| 9-1 乐曲硬件演奏电路设计 .....                | 224        |
| 9-2 PS2 键盘控制模型电子琴电路设计 .....         | 228        |
| 9-3 简易逻辑分析仪设计 .....                 | 230        |
| 9-4 SPWM 脉宽调制控制系统设计 .....           | 231        |
| 9-5 AM 幅度调制信号发生器设计 .....            | 233        |
| <b>附录 A EDA 开发系统及相关软件 .....</b>     | <b>235</b> |
| A.1 KX_DN5/7 系列 EDA/SOPC 系统 .....   | 236        |
| A.2 部分实验扩展模块简介 .....                | 237        |
| A.3 MIF 文件生成器使用方法 .....             | 239        |
| <b>参考文献 .....</b>                   | <b>241</b> |

# 第 1 章 EDA 技术概述

本章简要介绍了 EDA 技术、EDA 工具、FPGA 结构原理、EDA 的应用情况和发展趋势，其中重点介绍了基于 EDA 的 FPGA 开发技术概况。

考虑到本章中出现的一些基本概念和名词有可能涉及较多的基础知识和更深入的 EDA 基础理论，故对于本章的学习仅要求读者做一般性的了解，无须深入探讨。因为待学习完本教材，并经历了本教材配置的必要的实验后，许多问题都会自然而然地弄明白的。不过需要强调，认真学习本章的重要性并不能因此而被低估。

## 1.1 EDA 技术

现代电子设计技术的核心已日趋转向基于计算机的电子设计自动化技术，即 EDA (Electronic Design Automation) 技术。EDA 技术就是依赖功能强大的计算机，在 EDA 工具软件平台上，对以硬件描述语言 (HDL, Hardware Description Language) 为系统逻辑描述手段完成的设计文件，自动地完成逻辑编译、化简、分割、综合、布局布线以及逻辑优化和仿真测试，直至实现既定的电子线路系统功能。EDA 技术使得设计者的主要工作仅限于利用软件的方式来完成对系统硬件功能的实现，这是电子设计技术的一个巨大进步。

EDA 技术在硬件实现方面融合了大规模集成电路制造技术、IC 版图设计、ASIC 测试和封装、FPGA/CPLD (Field Programmable Gate Array/Complex Programmable Logic Device) 编程下载和自动测试等技术；在计算机辅助工程方面融合了计算机辅助设计 (CAD)、计算机辅助制造 (CAM)、计算机辅助测试 (CAT)、计算机辅助工程 (CAE) 技术以及多种计算机语言的设计概念；而在现代电子学方面则容纳了更多的内容，如电子线路设计理论、数字信号处理技术、数字系统建模和优化技术等。因此 EDA 技术为现代电子理论和设计的表达与实现提供了可能性。正因为 EDA 技术丰富的内容以及与电子技术各学科领域的相关性，其发展的历程同大规模集成电路设计技术、计算机辅助工程、可编程逻辑器件，以及电子设计技术和工艺的发展是同步的。

就过去 30 年的电子技术的发展历程，可大致将 EDA 技术的发展分为三个阶段。

20 世纪 70 年代，在集成电路制作方面，MOS 工艺已得到广泛的应用。可编程逻辑技术及其器件已经问世，计算机作为一种运算工具已在科研领域得到广泛应用。而在后期，CAD 的概念已见雏形，这一阶段人们开始利用计算机取代手工劳动，辅助进行集成电路版图编辑、PCB 布局布线等工作，这是 EDA 技术的雏形。

20 世纪 80 年代，集成电路设计进入了 CMOS (互补场效应管) 时代。复杂可编程逻辑器件已进入商业应用，相应的辅助设计软件也已投入使用；在 80 年代末，出现了 FPGA；而 CAE 和 CAD 技术的应用更为广泛，它们在 PCB 设计方面的原理图输入、自动布局布线及 PCB 分析，逻辑设计、逻辑仿真、布尔代数综合和化简等方面担任了重要的角色。特别是各种硬件描述语言的出现、应用和标准化方面的重大进步，为电子设计自动化必须解决的电子线路建模、标准文档及仿真测试奠定了基础。

进入 20 世纪 90 年代，计算机辅助工程、辅助分析和辅助设计在电子技术领域获得更加

广泛的应用。与此同时，电子技术在通信、计算机及家电产品生产中的市场需求和技术需求，极大地推动了全新的电子设计自动化技术的应用和发展。特别是集成电路设计工艺步入纳米阶段，数百万门的大规模可编程逻辑器件已成平常产品，特别是基于计算机技术的面向用户的低成本大规模 ASIC 设计技术的应用，促进了 EDA 技术的形成。更为重要的是各 EDA 公司致力于推出兼容各种硬件实现方案和支持标准硬件描述语言的 EDA 工具软件的出现，都有效地将 EDA 技术推向成熟和实用。

EDA 技术在进入 21 世纪后，得到了更大的发展，突出表现在以下几个方面：

- 在 FPGA 上实现 DSP(数字信号处理)应用成为可能，用纯数字逻辑进行 DSP 模块的设计，使得高速 DSP 实现成为现实，并有力地推动了软件无线电技术的实用化和发展。基于 FPGA 的 DSP 技术，为高速数字信号处理算法提供了实现途径。
- 嵌入式处理器软核的成熟，使得 SOPC(System On a Programmable Chip)步入大规模应用阶段，在一单片 FPGA 中实现一个完备的可随意重构的嵌入式系统成为可能。
- 在仿真和设计两方面支持标准硬件描述语言的功能强大的 EDA 软件不断推出。
- EDA 使得电子领域各学科的界限更加模糊，更加互为包容：模拟与数字、软件与硬件、系统与器件、ASIC 与 FPGA 等。
- 基于 EDA 的用于 ASIC 设计的标准单元已涵盖大规模电子系统及复杂 IP 核模块。
- 软硬 IP(Intellectual Property)核在电子产业的产业领域广泛应用。
- SOC 高效低成本设计技术的成熟。
- 系统级、行为验证级硬件描述语言的出现(如 System C)，使复杂电子系统的设计和验证趋于简单。

## 1.2 EDA 技术应用对象

一般地，利用 EDA 技术进行电子系统设计的最后目标，是完成专用集成电路 ASIC 或印制电路板(PCB)的设计和实现(如图 1-1 所示)。其中，PCB 设计指的是电子系统的印制电路板设计，从电路原理图到 PCB 上元件的布局、布线、阻抗匹配、信号完整性分析及板级仿真，到最后的电路板机械加工文件生成，这些都需要相应的计算机 EDA 工具软件辅助设计者来完成，这仅是 EDA 技术应用的一个重要方面，但本书限于篇幅不做展开。ASIC 作为最终的物理平台，集中容纳了用户通过 EDA 技术将电子应用系统的既定功能和技术指标具体实现的硬件实体。

专用集成电路就是具有专门用途和特定功能的独立集成电路器件，根据这个定义，作为 EDA 技术最终实现目标的 ASIC，可以通过三种途径来完成(如图 1-1 所示)。

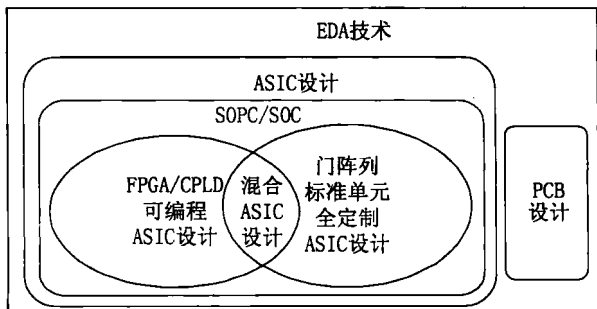


图 1-1 EDA 技术实现目标



### (1) 可编程逻辑器件

FPGA 和 CPLD 是实现这一途径的主流器件,它们的特点是直接面向用户,具有极大的灵活性和通用性;使用方便,硬件测试和实现快捷,开发效率高,成本低,上市时间短,技术维护简单,工作可靠性好等。FPGA 和 CPLD 的应用是 EDA 技术有机融合软硬件电子设计技术、SOC 和 ASIC 设计,以及对自动设计与自动实现最典型的诠释。由于 FPGA 和 CPLD 的开发工具、开发流程和使用方法与 ASIC 有类似之处,因此这类器件通常也被称为可编程专用 IC,或可编程 ASIC。

### (2) 半定制或全定制 ASIC

基于 EDA 技术的半定制或全定制 ASIC,根据它们的实现工艺,可统称为掩膜(Mask)ASIC,或直接称 ASIC。可编程 ASIC 与掩膜 ASIC 相比,不同之处在于前者具有面向用户的灵活多样的可编程性,即硬件结构的可重构特性。

### (3) 混合 ASIC

混合 ASIC(不是指数模混合 ASIC)主要指既具有面向用户的 FPGA 可编程功能和逻辑资源,同时也含有可方便调用和配置的硬件标准单元模块,如 CPU、RAM、ROM、硬件加法器、乘法器、锁相环等。

## 1.3 硬件描述语言 Verilog HDL

硬件描述语言(HDL)是 EDA 工具的重要组成部分,目前常用的 HDL 主要有:VHDL、Verilog HDL、SystemVerilog 和 System C。其中 Verilog 和 VHDL 在现在 EDA 设计中使用最多,也得到几乎所有的主流 EDA 工具的支持。而 SystemVerilog 和 System C 这两种 HDL 语言还处于完善过程中,主要加强了系统验证方面的功能。Verilog HDL 是电子设计主流硬件的描述语言之一,且应用范围最广,本书将重点介绍它的编程方法和使用技术。

Verilog HDL(此后常简称为 Verilog)最初由 Gateway Design Automation 公司(简称 GDA)的 Phil Moorby 在 1983 年创建。起初,Verilog 仅作为 GDA 公司的 Verilog-XL 仿真器的内部语言,用于数字逻辑的建模、仿真和验证。Verilog-XL 推出后获得了成功和认可,从而促使 Verilog HDL 的发展。1989 年 GDA 公司被 Cadence 公司收购,Verilog 语言成为 Cadence 公司的私有财产。1990 年 Cadence 公司成立 OVI(Open Verilog International)组织,公开了 Verilog 语言,并由 OVI 负责促进 Verilog 语言的发展。在 OVI 的努力下,1995 年,IEEE 制定了 Verilog HDL 的第一个国际标准,即 IEEE Std 1364—1995,即 Verilog 1.0。

2001 年,IEEE 发布了 Verilog HDL 的第二个标准版本(Verilog 2.0),即 IEEE Std 1364—2001,简称为 Verilog—2001 标准。由于 Cadence 公司在集成电路设计领域的影响力和 Verilog 的易用性,Verilog 成为基层电路建模与设计,最流行的硬件描述语言。

Verilog 的部分语法是参照 C 语言的语法设立的(但与 C 有本质区别),因此,具有很多 C 语言的优点,从形式表述上来看,代码简明扼要,使用灵活,很容易上手,但语法规则不是很严谨。Verilog 具有很强的电路描述和建模能力,能从多个层次对数字系统进行建模和描述,从而大大简化了硬件设计任务,提高了设计效率和可靠性。在语言易读性、层次化和结构化设计方面表现出了强大的生命力和应用潜力。因此,Verilog 支持各种模式的设计方法:自顶向下与自底向上或混合方法,在面对当今许多电子产品生命周期缩短,需要多次重新设计以融入最新技术、改变工艺等方面,Verilog 具有良好的适应性。