

全国计算机技术与软件专业
技术资格（水平）考试真题实战与详解系列

QUANGUO JISUANJI JISHU YU RUANJIAN ZHUANYE
JISHU ZIGE (SHUIPING) KAOSHI ZHENTI SHIZHAN YU XIANGJIE XILIE

网络工程师考试

真题

实战与详解

徐 军 夏 良 主 编
汪名杰 张申浩 副主编

以真题为纽带，带动考点，针对性强，特别适合考生在短时间内突破过关。

真题分类编排，分析到位，方便读者分类复习，专项攻克。真题解析详尽，便于考生把握完整的解题思路，快速提升应试能力。

对必考题目和重点进行深度分析和对比，穿插历年真题链接板块，能让考生触类旁通、举一反三，引导考生把握考试方向。



全国计算机技术与软件专业技术资格(水平)考试真题实战与详解系列

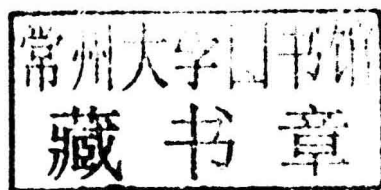
QQ群互动答疑: 112859576

网络工程师考试

真题实战与详解

主 编 徐 军 夏 良

副主编 汪名杰 张申浩



机械工业出版社

本书对 5 年来全国计算机技术与软件专业技术资格（水平）考试网络工程师考试的真题进行了深入的分析，按照最新版的全国计算机技术与软件专业技术资格（水平）考试网络工程师考试大纲、指定教程，进行分类编排，逐考点地对真题进行详细的分析，对重点、难点内容进行拓展介绍。

本书采用“真题→分析→考点”的方式进行编写，试题丰富，解析详细，特别适合参加网络工程师考试的考生，也可供高等院校计算机专业师生以及相应层次的计算机技术人员学习参考。

（编辑邮箱：jinacmp@163.com）

图书在版编目（CIP）数据

网络工程师考试真题实战与详解 / 徐军，夏良主编.
—北京：机械工业出版社，2013.3
ISBN 978-7-111-41755-2

I. ①网… II. ①徐… ②夏… III. ①计算机网络—工程
技术人员—资格考试—题解 IV. ①TP393-44

中国版本图书馆 CIP 数据核字（2013）第 043824 号

机械工业出版社（北京市百万庄大街 22 号 邮政编码 100037）
策划编辑：吉 玲 责任编辑：吉 玲 王寅生 任正一
封面设计：鞠 杨 责任印刷：邓 博
三河市国英印务有限公司印刷
2013 年 4 月第 1 版第 1 次印刷
184mm×260mm·18.75 印张·585 千字
标准书号：ISBN 978-7-111-41755-2
定价：46.00 元

凡购本书，如有缺页、倒页、脱页，由本社发行部调换
电话服务

社服务中心：(010) 88361066
销 售 一 部：(010) 68326294
销 售 二 部：(010) 88379649
读者购书热线：(010) 88379203

网络服务

教 材 网：<http://www.cmpedu.com>
机工官网：<http://www.cmpbook.com>
机工官博：<http://weibo.com/cmp1952>
封面无防伪标均为盗版

前 言

全国计算机技术与软件专业技术资格（水平）考试是由国家人力资源和社会保障部、工业和信息化部联合组织的国家级考试，其目的是科学、公正地对全国计算机与软件专业技术人员进行职业资格、专业技术资格认定和专业技术水平测试。该考试由于其权威性和严肃性，得到了社会及用人单位的广泛认同，并为推动我国信息产业特别是软件产业的发展和提高各类 IT 人才的素质做出了积极的贡献。

为了适应当前信息技术的飞速发展，更好地服务于考生，本书根据最新版全国计算机技术与软件专业技术资格（水平）考试网络工程师考试大纲要求，参照最新版《网络工程师教程》的结构编写而成。

本书广泛收集历年考试的真题，结合作者多年的教学经验，以及对出题范围、重点和难点的研究，从考生的学习和应试角度组织编写。本书将历年真题按照教程的章节进行分类解析，同时按照考试大纲中的考点及指定教程中知识点的要求，针对部分难点和重点，采用历年真题链接的方式，给出了其相关知识和理论分析，总结了考题的分布情况。本书特色如下：

（1）以真题为纽带，带动考点，针对性强，特别适合考生在短时间内突破过关。

（2）真题分类编排，分析到位，方便读者分类复习，专项攻克。真题解析详尽，便于考生把握完整的解题思路，快速提升应试能力。

（3）对必考题目和重点进行深度分析和对比，穿插历年真题链接板块，能让考生触类旁通、举一反三，引导考生把握考试方向。

本书内容精练、结构合理、重点突出，非常适合于准备参加全国计算机技术与软件专业技术资格（水平）考试网络工程师考试的考生考前复习使用，也可供高等院校计算机专业师生以及相应层次的计算机技术人员学习参考。

本书由徐军、夏良任主编，汪名杰、张申浩任副主编。全书框架由陈海燕、王珊珊拟定。参与本书编写工作的还有周海霞、陈玲、孙瑾、石雅琴、史国川、谢宝陵、吴婷、王欢、许娟、朱国春、李燕萍、刘欢等。在本书编写的过程中，参考了许多相关的书籍和资料，在此对这些参考文献的作者表示感谢。

由于时间仓促和水平有限，书中难免存在错漏和不妥之处，敬请读者批评指正。如有批评和建议，请发至电子邮箱 iteditor@126.com。

编 者

目 录

前言

第 1 章 计算机组成与结构	1
1.1 计算机中数据的表示及运算	1
1.2 计算机组成和中央处理器	4
1.3 存储系统	6
1.4 输入输出系统	9
1.5 总线系统	10
1.6 指令系统	11
1.7 系统可靠性基础	13
第 2 章 操作系统	14
2.1 操作系统的基本概念	14
2.2 处理机管理	15
2.3 存储管理	16
2.4 设备管理	16
2.5 文件管理	16
2.6 作业管理	18
第 3 章 系统开发和运行基础知识	19
3.1 需求分析和设计方法	19
3.2 项目管理基础知识	23
3.3 软件的测试与调试	28
3.4 系统维护	29
第 4 章 标准化和知识产权	30
4.1 标准化	30
4.2 知识产权	30
第 5 章 数据通信基础	34
5.1 信道特性	34
5.2 传输介质	36
5.3 数据编码	44
5.4 数字调制技术	48
5.5 脉冲编码调制	50
5.6 通信方式和交换方式	51
5.7 多路复用技术	53
5.8 差错控制	56
第 6 章 广域通信网	59
6.1 公共交换电话网	59

6.2	X.25 公共数据网	60
6.3	帧中继网的基本概念	62
6.4	ISDN 和 ATM 的基本概念	63
第 7 章	局域网和城域网	64
7.1	局域网技术基础	64
7.2	CSMA/CD 协议	66
7.3	以太网	70
7.4	交换式以太网和虚拟局域网	75
7.5	局域网互连	80
7.6	无线局域网	82
7.7	城域网	86
第 8 章	网络互连与互联网	87
8.1	网络互连设备	87
8.2	广域网互连	89
8.3	IP	89
8.4	ICMP	98
8.5	TCP 和 UDP	99
8.6	地址解析	104
8.7	网关协议	107
8.8	路由器技术	114
8.9	Internet 应用	119
8.10	IPv6	121
第 9 章	网络安全	124
9.1	网络安全的基本概念	124
9.2	信息加密技术	125
9.3	认证技术	127
9.4	虚拟专用网	129
9.5	应用层安全协议	131
9.6	入侵检测技术与防火墙	133
9.7	病毒防护	134
第 10 章	网络操作系统与应用服务器配置	137
10.1	Windows Server 2003 网络操作系统基础	137
10.2	Linux 操作系统基础	152
10.3	Windows 服务器配置基础	164
第 11 章	组网技术	175
11.1	交换机基础	175
11.2	交换机的配置	177
11.3	路由器基础	184
11.4	路由器的配置	187
11.5	访问控制列表	190

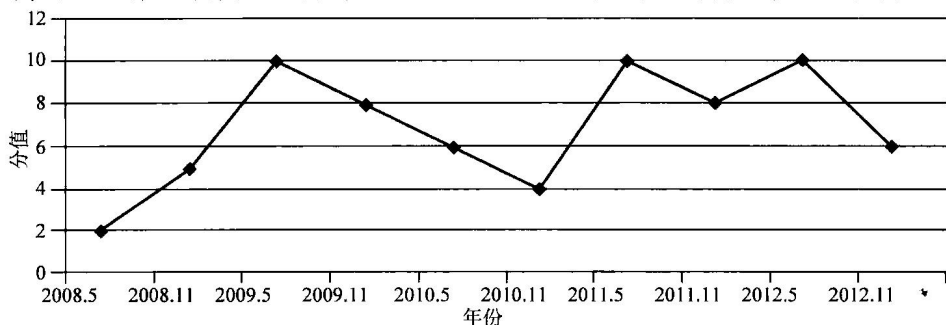
第 12 章 网络管理	192
12.1 网络管理基础	192
12.2 常用的网络工具	195
12.3 网络监视和网络管理工具	200
12.4 网络存储技术	200
第 13 章 网络系统分析与设计	203
13.1 结构化布线系统	203
13.2 网络系统分析	204
13.3 逻辑网络设计	208
13.4 网络结构设计	211
13.5 网络故障诊断	215
第 14 章 计算机专业英语	217
第 15 章 网络系统设计与管理	224
15.1 结构化布线	224
15.2 网络系统的分析与设计	225
15.3 网络运行和维护	227
第 16 章 组网技术	230
16.1 发展规划网和园区网技术	230
16.2 无线局域网	232
16.3 广域网和接入网	234
第 17 章 网络安全与应用	235
17.1 操作系统配置	235
17.2 Web、FTP 服务器的配置	238
17.3 DHCP 服务器的配置	243
17.4 DNS 服务器的配置	250
17.5 网络安全应用	256
第 18 章 网络互连设备的配置	261
18.1 交换机的配置	261
18.2 路由器的配置基础	267
18.3 防火墙和 NAT 配置	279
18.4 VPN 配置	286
参考文献	292

计算机组成与结构



考情回顾

2008年至2012年的历次考试的分值分布如下图所示,近几次考试所占分值比重在8分左右。计算机中数据的表示及运算、计算机组成和中央处理器(CPU)、存储系统是高频考点,需要重点掌握。



1.1 计算机中数据的表示及运算

试题 1-1 (2012 年 5 月 上午试题 3)

以下关于数的定点表示或浮点表示的叙述中,不正确的是_____。

- A. 定点表示法表示的数(称为定点数)常分为定点整数和定点小数两种
- B. 定点表示法中,小数点需要占用一个存储位
- C. 浮点表示法用阶码和尾数来表示数,称为浮点数
- D. 在总位数相同的情况下,浮点表示法可以表示更大的数

【解析】

实际处理的数既有整数部分又有小数部分,根据小数点位置是否固定,有两种表示格式:定点格式和浮点格式。计算机中的小数点是虚的,所以不占用存储空间。

【答案】B

试题 1-2 (2012 年 11 月 上午试题 4)

X、Y 为逻辑变量,与逻辑表达式 $X + \bar{X}Y$ 等价的是_____。

- A. $X + \bar{Y}$
- B. $\bar{X} + \bar{Y}$
- C. $\bar{X} + Y$
- D. $X + Y$

【解析】

若 X 为真,则 $X + \bar{X}Y$ 的值为真,若 X 为假,则 $X + \bar{X}Y$ 的值取决于 Y 的逻辑值;符合题意的只有 $X + Y$ 。

【答案】D

试题 1-3 (2010 年 11 月 上午试题 2)

若计算机采用 8 位整数补码表示数据,则_____运算将产生溢出。

- A. $-127+1$ B. $-127-1$ C. $127+1$ D. $127-1$

【解析】

8 位整数补码的表示范围位 $-128 \sim 127$ 。 $[-128]_{\text{补}} = 10000000$ ， $[127]_{\text{补}} = 01111111$ 。对于选项 C 中，很明显 $127+1=128$ 超过了 8 位整数的表示范围。也可以通过计算来证明：

$$\begin{array}{r} 01111111 \\ +00000001 \\ \hline 10000000 \end{array}$$

两个正数相加的结果是 -128 ，产生错误的原因就是溢出。

【答案】C

试题 1-4 (2010 年 5 月上旬试题 5)

若某整数的 16 位补码为 FFFFH (H 表示十六进制)，则该数的十进制值为_____。

- A. 0 B. -1 C. $2^{16}-1$ D. $-2^{16}-1$

【解析】

负数的补码：符号位为 1，其余位为该数绝对值的原码按位取反，然后整个数加 1。因此，补码 FFFFH 对应的是 -1

【答案】B

试题 1-5 (2009 年 11 月上旬试题 3)

以下关于校验码的叙述中，正确的是_____。

- A. 海明码利用多组数位的奇偶性来检错和纠错 B. 海明码的码距必须大于等于 1
C. 循环冗余校验码具有很强的检错和纠错能力 D. 循环冗余校验码的码距必定为 1

【解析】

海明码是利用奇偶性来检错和校验的方法。其构成方法是：在数据位之间插入 k 个校验位，通过扩大码距来实现检错和纠错。海明码的码距必须大于 1，因此选项 B 是错误的。

循环冗余码利用生成多项式为 k 个数据位产生 r 个校验位来进行编码，校验位越长，校验能力就越强。具有 r 个校验位的多项式能检测出所有长度小于等于 r 的突发性差错。但循环冗余码并不具有纠错能力，因此选项 C 是错误的。

取两个相近的码字，如 0 和 1，再用一个生成多项式（如 101）来进行计算，可以看出即使要传输的码字的码距为 1，但整个编码（原数据+CRC 校验码）的码距必定大于 1。如果码距可以等于 1 的话，那么就意味着 CRC 编码可能无法检查出一位的错误。因此 D 也是错误的。

【答案】A

试题 1-6 (2009 年 5 月上旬试题 3)

计算机中常采用原码、反码、补码和移码表示数据，其中， ± 0 编码相同的是_____。

- A. 原码和补码 B. 反码和补码 C. 补码和移码 D. 原码和移码

【解析】

$$[+0]_{\text{原}} = 000 \cdots 000, [-0]_{\text{原}} = 100 \cdots 000; [+0]_{\text{反}} = 000 \cdots 000, [-0]_{\text{反}} = 111 \cdots 111;$$

$$[+0]_{\text{补}} = [-0]_{\text{补}} = 000 \cdots 000; [+0]_{\text{移}} = [-0]_{\text{移}} = 100 \cdots 000.$$

【答案】C

试题 1-7 (2008 年 11 月上旬试题 2)

计算机在进行浮点数的相加（减）运算之前先进行对阶操作，若 x 的阶码大于 y 的阶码，则应将_____。

- A. x 的阶码缩小至与 y 的阶码相同, 且使 x 的尾数部分进行算数左移
- B. x 的阶码缩小至与 y 的阶码相同, 且使 x 的尾数部分进行算数右移
- C. y 的阶码缩小至与 x 的阶码相同, 且使 y 的尾数部分进行算数左移
- D. y 的阶码缩小至与 x 的阶码相同, 且使 y 的尾数部分进行算数右移

【解析】

本题考查浮点数的加减运算。

令浮点数 $x=M \times 2^i$, $y=N \times 2^j$, 要进行 $X \pm Y$ 的运算, 首先进行对阶, 使两个数的阶码相同, 具体操作是: 令 $K=|i-j|$, 将阶码小的数的尾数右移 K 位, 使其阶码加上 K 。本题中 x 的阶码大于 y 的阶码, 因此将 y 的阶码加上 K , 并将其尾数部分进行算数右移。然后进行求尾数和 (差)。

例如, 两浮点数 $x=2^{01} \times 0.1101$, $y=2^{11} \times (-0.1010)$ 。假设尾数在计算机中以补码表示, 可存储 4 位尾数, 2 位符号位, 阶码以原码表示, 求 $x+y$ 。

首先将 x 、 y 转换成浮点数据格式:

$$[x]_{\text{浮}} = 00\ 01, 00.1101$$

$$[y]_{\text{浮}} = 00\ 11, 11.0110$$

具体的步骤如下:

- 1) 对阶, 阶差为 $11-01=10$, 即 2, 因此将 x 的尾数右移两位, 得

$$[x]_{\text{浮}} = 00\ 11, 00.001101$$

- 2) 对尾数求和, 得

$$[x+y]_{\text{浮}} = 00\ 11, 11.100101$$

- 3) 由于符号位和第一位数相等, 不是规格化数, 向左规格化, 得

$$[x+y]_{\text{浮}} = 00\ 10, 11.001010$$

- 4) 舍入。

$$[x+y]_{\text{浮}} = 00\ 10, 11.0010$$

- 5) 数据无溢出, 因此结果为

$$x+y=2^{10} \times (-0.1110)$$

【答案】D**历年真题链接****考点点评****数据的表示及运算**

评注: 本考点考查计算机中数据的表示及运算。

对于计算机中数据的表示及运算结构, 了解即可。对于计算机网络的发展趋势, 要有总体上的认识。计算机中数据的表示及运算: 计算机中数据的表示、机器数运算。计算机组成: 计算机部件 (运算器、控制器、存储器、I/O 设备)、处理器的性能。存储器: 存储介质 (半导体存储器、磁存储器、光存储器), 主存 (类型、容量和性能)、主存配置 (交叉存取、多级主存)、辅存 (容量和性能)、存储系统 (虚拟存储器、高速缓冲存储器)。输入输出结构和设备: I/O 接口控制方式 (中断、DMA、通道)、常用接口 (SCSI、RS232、USB、IEEE1394、红外线接口)、输入输出设备类型和特征。指令系统: 指令的分类、操作码、寻址方式、CISC、RISC。

**真题链接**

2012.11 上午 (4)

2010.11 上午 (2)

2009.11 上午 (3)

2010.5 上午 (5)

2009.5 上午 (3)

1.2 计算机组成和中央处理器

试题 1-8 (2012 年 11 月上旬试题 1)

在 CPU 中, _____ 不仅要保证指令的正确执行, 还要能够处理异常事件。

- A. 运算器
- B. 控制器
- C. 寄存器组
- D. 内部总线

【解析】

运算器主要完成算术运算、逻辑运算和移位操作; 控制器实现指令的读入、寄存、译码和在执行过程中有序地发出控制信号; 寄存器用于暂存寻址和计算过程的信息。

【答案】B

试题 1-9 (2011 年 11 月上旬试题 1)

若某条无条件转移汇编指令采用直接寻址, 则该指令的功能是将指令中的地址码送入_____。

- A. PC (程序计数器)
- B. AR (地址寄存器)
- C. AC (累加器)
- D. ALU (算术逻辑运算单元)

【解析】

程序计数器是用于存放下一条指令所在单元的地址的地方。单片机及汇编语言中常称作 PC (Program Counter)。

为了保证程序 (在操作系统中理解为进程) 能够连续地执行下去, CPU 必须具有某些手段来确定下一条指令的地址。而程序计数器正是起到这种作用, 所以通常又称为指令计数器。在程序开始执行前, 必须将它的起始地址, 即程序的一条指令所在的内存单元地址送入 PC, 因此 PC 的内容即是从内存提取的第一条指令的地址。当执行指令时, CPU 将自动修改 PC 的内容, 即每执行一条指令 PC 增加一个量, 这个量等于指令所含的字节数, 以便使其保持着总是将要执行的下一条指令的地址。由于大多数指令都是按顺序来执行的, 所以修改的过程通常只是简单的对 PC 加 1。

当程序转移时, 转移指令执行的最终结果就是要改变 PC 的值, 此 PC 值就是转去的地址, 以此实现转移。有些机器中也称 PC 为指令指针 (Instruction Pointer, IP)。

【答案】A

试题 1-10 (2011 年 5 月上旬试题 1)

在 CPU 中用于跟踪指令地址的寄存器是_____。

- A. 地址寄存器 (MAR)
- B. 数据寄存器 (MDR)
- C. 程序计数器 (PC)
- D. 指令寄存器 (IR)

【解析】

程序计数器是用于存放下一条指令所在单元的地址的地方。

【答案】C

试题 1-11 (2009 年 11 月上旬试题 1)

以下关于 CPU 的叙述中, 错误的是_____。

- A. CPU 产生每条指令的操作信号并将操作信号送往相应的部件进行控制
- B. 程序计数器 (PC) 除了存放指令地址, 也可以临时存储算术/逻辑运算结果
- C. CPU 中的控制器决定计算机运行过程的自动化
- D. 指令译码器是 CPU 控制器中的部件

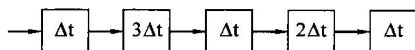
【解析】

PC 不可以存储算术/逻辑运算结果,而是由累加器在运算过程中临时存储算术/逻辑运算结果。所以选项 B 是错误的。选项 A 考查的是 CPU 基本功能中的操作控制,此外,CPU 的基本功能还有程序控制、时序控制和数据处理。控制器的基本功能就是从内存取指令和执行指令,使计算机能够按照由指令组成的程序要求自动地完成各项任务,可见选项 C 是正确的。指令译码器是控制器中的部件之一,主要用来对现行指令进行分析,确定指令类型、指令所要完成的操作以及寻址方式。

【答案】C

试题 1-12 (2009 年 5 月上午试题 4)

某指令流水线由 5 段组成,第 1、3、5 段所需时间为 Δt ,第 2、4 段所需时间分别为 $3\Delta t$ 、 $2\Delta t$,如下图所示,那么连续输入 n 条指令时的吞吐率(单位时间内执行的指令个数) TP 为_____。



A. $\frac{n}{5 \times (3+2)\Delta t}$

B. $\frac{n}{(3+3+2)\Delta t + 3(n-1)\Delta t}$

C. $\frac{n}{(3+2)\Delta t + (n-3)\Delta t}$

D. $\frac{n}{(3+2)\Delta t + 5 \times 3\Delta t}$

【解析】

流水线的吞吐率(Through Put rate, TP)是指在单位时间内流水线所完成的任务数量或输出的结果数量。计算流水线吞吐率的最基本公式为

$$TP = \frac{n}{T_k}$$

式中, n 为任务数; T_k 是处理完成 n 个任务所用的时间。

当在流水线执行 n 个连续任务情况下,有

$$TP = \frac{n}{\sum_{i=1}^k \Delta t_i + (n-1) \max(\Delta t_1, \Delta t_2, \dots, \Delta t_k)}$$

本题中, $k=5$, $\max(\Delta t_1, \Delta t_2, \dots, \Delta t_5)=3\Delta t$, 故 $TP = \frac{n}{(3+3+2)\Delta t + 3(n-1)\Delta t}$

【答案】B

试题 1-13 (2008 年 11 月上午试题 3)

在 CPU 中, _____ 可用于传送和暂存用户数据,为 ALU 执行算术逻辑运算提供工作区。

A. 程序计数器

B. 累加寄存器

C. 程序状态寄存器

D. 地址寄存器

【解析】

累加寄存器是一个数据寄存器。在运算过程中暂时存放被操作数和中间运算结果,累加器不能用于长时间地保存一个数据。

程序计数器用于存放指令的地址。当程序顺序执行时,每取出一条指令,PC 内容自动增加一个值,指向下一条要取的指令。当程序出现转移时,则将转移地址送入 PC,然后由 PC 指向新的程序地址。

程序状态寄存器用于记录运算中产生的标志信息。

地址寄存器包括了程序设计器、堆栈指示器、变址寄存器和段地址寄存器等,用于记录各种内存地址。

【答案】B

试题 1-14 (2008 年 5 月上午试题 2)

现有四级指令流水线, 分别完成取指、取数、运算、传送结果四步操作。若完成上述操作的时间依次为 9ns、10ns、6ns、8ns。则流水线的操作周期应设计为_____ns。

- A. 6 B. 8 C. 9 D. 10

【解析】

流水线各段执行时间最长的那段为整个流水线的瓶颈, 一般地, 将其执行时间称为流水线的周期。本题中, 取数操作的时间最长为 10ns, 因此, 流水线的操作周期应设计为 10ns。

【答案】D**历年真题链接****考点点评****CPU 的组成**

评注: 本考点主要考查计算机中 CPU 的组成。

1. 运算器

运算器主要完成算术运算、逻辑运算和移位操作, 主要部件有算术逻辑单元 (ALU)、累加器 (ACC)、标志寄存器、寄存器组、多路转换器和数据总线等。

2. 控制器

控制器实现指令的读入、寄存、译码和在执行过程有序地发出控制信号。控制器主要由指令寄存器 (IR)、程序计数器 (PC)、指令译码器、状态/条件寄存器、时序产生器、微操作信号发生器组成。

3. 寄存器

寄存器用于暂存寻址和计算过程的信息。CPU 中的寄存器通常分为存放数据的寄存器、存放地址的寄存器、存放控制信息的寄存器、存放状态信息的寄存器和其他寄存器等类型。

**真题链接**

- | | | |
|----------------|---------------|---------------|
| 2011.11 上午 (1) | 2011.5 上午 (1) | 2010.5 上午 (9) |
| 2009.11 上午 (1) | 2009.5 上午 (4) | |

1.3 存储系统

试题 1-15 (2012 年 11 月上午试题 2)

计算机中主存储器主要由存储体、控制线路、地址寄存器、数据寄存器和_____组成。

- A. 地址译码电路 B. 地址和数据总线
C. 微操作形成部件 D. 指令译码器

【解析】

主存储器一般由地址寄存器、数据寄存器、存储体、控制线路和地址译码电路等部分组成。

【答案】A**试题 1-16 (2012 年 5 月上午试题 1)**

位于 CPU 与主存之间的高速缓冲存储器 Cache 用于存放部分主存数据的拷贝, 主存地址与 Cache

地址之间的转换工作由_____完成。

- A. 硬件
- B. 软件
- C. 用户
- D. 程序员

【解析】

基本概念题，Cache 与内存之间的地址转换由硬件完成。

【答案】A

试题 1-17 (2012 年 5 月上午试题 2)

内存单元按字节编址，地址 0000A000H~0000BFFFH 共有_____个存储单元。

- A. 8192K
- B. 1024K
- C. 13K
- D. 8K

【解析】

$BFFFH - A000H + 1 = 2000H = 2^{13} = 23 \times 2^{10} = 8K$ 。

【答案】D

试题 1-18 (2012 年 5 月上午试题 3)

相联存储器按_____访问。

- A. 地址
- B. 先入后出的方式
- C. 内容
- D. 先入先出的方式

【解析】

相联存储器是一种按内容寻址的存储器。其工作原理就是把数据或数据的某一部分作为关键字，将该关键字与存储器中的每一单元进行比较，找出存储器中所有与关键字相同的数据。

【答案】C

试题 1-19 (2011 年 11 月上午试题 3)

在程序的执行过程中，Cache 与主存的地址映像由_____。

- A. 专门的硬件自动完成
- B. 程序员进行调度
- C. 操作系统进行管理
- D. 程序员和操作系统共同协调完成

【解析】

程序执行过程中，Cache 和主存都被分成若干个大小相等的块，每块由若干个字节组成，主存和 Cache 的数据交换是以块为单位，需要考虑二者地址的逻辑关系。

地址映像：把主存地址空间映像到 Cache 地址空间，即按某种规则把主存的块复制到 Cache 中。

映像可分为全相连映像、直接映像和组相连映像等。Cache 的地址变换和数据块的替换算法都采用硬件实现。

【答案】A

试题 1-20 (2009 年 11 月上午试题 4)

以下关于 Cache 的叙述中，正确的是_____。

- A. 在容量确定的情况下，替换算法的时间复杂度是影响 Cache 命中率的关键因素
- B. Cache 的设计思想是在合理成本下提高命中率
- C. Cache 的设计目标是容量尽可能与主存容量相等
- D. CPU 中的 Cache 容量应该大于 CPU 之外的 Cache 容量

【解析】

目前计算机使用的内存主要是动态 RAM，它具有价格低、容量大的特点，但由于是用电容存储信息，

所以存取速度难以提高。而 CPU 的速度提高得很快,导致了两者的速度不匹配。高速缓冲存储器 Cache 是 CPU 和主存之间的一个容量相对较小的双极型静态 RAM,用来加快 CPU 访问主存的速度。在半导体存储器中,双极型静态 RAM 的存取速度可与 CPU 的速度处于同一数量级,但这种 RAM 价格较贵,且功耗大、集成度低,要达到与动态 RAM 相同的容量,其体积就比较大,这是不可行的。因此选项 C 是不对的。

CPU 体积小,其中集成的 Cache 容量也就小,而 CPU 之外的 Cache 体积可做得大一些,容量也会高很多。例如,采用两级 Cache 结构的奔腾 PC,集成在 CPU 芯片内的 Cache 为 1 级 Cache,其容量为 16KB;PC 主板上安装了 2 级 Cache,其容量是 512KB。所以选项 D 是错误的。

通常用命中率来测量 Cache 的效率。命中率是指 CPU 所访问的信息在 Cache 中的比率。如果 Cache 中找到所需的指令或数据,则称命中;若找不到,则到主存访问。命中率的高低与 Cache 的容量、替换算法、块的大小、运行程序特性等因素有关,尤其是 Cache 的容量和块的大小。因此选项 A 是错误的。

【答案】B

试题 1-21 (2009 年 5 月上旬试题 1)

_____是指按内容访问的存储器。

- A. 虚拟存储器
- B. 相联存储器
- C. 高速缓存 (Cache)
- D. 随机访问存储器

【解析】

相联存储器也称为按内容访问存储器。它是一种不根据地址而是根据存储内容来进行存取的存储器。写入信息时按顺序写入,不需要地址。读出时,要求中央处理单元给出一个相联关键字,用它和存储器中所有单元中的一部分信息进行比较,若它们相等,则将此单元中余下的信息读出。这是实现存储器并行操作的一种有效途径,特别适合于信息的检索和更新。

【答案】B

试题 1-22 (2008 年 11 月上旬试题 5)

Cache 用于存放主存数据的部分拷贝,主存单元地址与 Cache 单元地址之间的转换工作由_____完成。

- A. 硬件
- B. 软件
- C. 用户
- D. 程序员

【解析】

主存的容量比 Cache 大很多,Cache 保存的信息只是主存信息的一个子集,且 Cache 的信息来自主存,它们之间的信息交换是以块为单位进行的。主存的块按照某种算法复制到 Cache 中,从而建立了主存地址和 Cache 地址的对应关系,这就是“地址映射”的含义。而当 CPU 访问内存时,用的是访问主存的地址,由该地址变为访问 Cache 的地址称为“地址变换”。变换过程采用硬件实现,以达到快速访问的目的。

【答案】A

试题 1-23 (2008 年 5 月上旬试题 3)

内存按字节编址,地址从 90000H 到 CFFFFH,若用存储容量为 $16\text{K} \times 8\text{bit}$ 的存储器芯片构成该内存,至少需要_____片。

- A. 2
- B. 4
- C. 8
- D. 16

【解析】

内存按字节编址,地址从 90000H 到 CFFFFH 时,存储单元数为 $\text{CFFFFH} - 90000\text{H} + 1 = 40000\text{H}$,即 2^{18}B 。若存储芯片的容量为 $16\text{K} \times 8\text{bit}$,一块芯片可以组成 16KB 的主存,因此要组成容量为 2^{18}B 的主存,需要 $2^{18}\text{B} / 16\text{KB} = 2^{18} / 2^{14} = 2^4 = 16$ 个芯片组成该内存。

【答案】D



 考点点评

存储系统

评注: 本考点主要考查存储系统。

Cache 即高速缓冲存储器, 为了解决 CPU 和主存之间速度匹配问题而设置。它是介于 CPU 和主存之间的小容量存储器, 存取速度比主存快。其改善系统性能的依据是程序的局部性原理。

- Cache 主要由两部分组成：控制部分和存储器部分。
- Cache 存储器部分用来存放主存的部分复制品。

控制部分的功能是判断 CPU 要访问的信息是否在 Cache 存储器中，若在即为命中，若不在则没有命中。

控制部分的功能是判断 CPU 要访问的信息是否在 Cache 存储器中，若在即为命中，若不在则没有命中。

1. 性能分析

(1) 命中率 在 Cache 中访问到信息的概率, 一般用模拟实验的方法得到。选择一组有代表性的程序, 在程序执行过程中分别统计对 Cache 的访问次数 N_1 和对主存的访问次数 N_2 , 则 Cache 的命中率为 $H = N_1 / (N_1 + N_2)$ 。

(2) 平均实际存取时间 可以用 Cache 和主存的访问周期 T_1 、 T_2 和命中率 H 来表示： $T = HT_1 + (1-H)T_2$ 。当命中率 $H \rightarrow 1$ 时， $T \rightarrow T_1$ ，即平均实际存取时间 T 接近于速度比较快的 Cache 的访问周期 T_1 。

(3) 访问效率 为 $e = T_1/T$ 。

2. 地址映像

当 CPU 访问内存时,用的是访问主存的地址,由该地址变为访问 Cache 的地址称为“地址变换”。变换过程采用硬件实现,以达到快速访问的目的。地址映像方式有全相联方式、直接方式和组相联方式。



2012.5 上午 (1)

2012.5 上午 (2)

2012.5 上午 (3)

2011.11 上午 (3)

2009.11 上午 (4)

2009.5 上午 (1)

1.4 输入输出系统

试题 1-24 (2011 年 11 月上旬试题 2)

若某计算机系统的 I/O 接口与主存采用统一编址，则输入输出操作是通过_____指令来完成的。

- A. 控制 B. 中断
C. 输入输出 D. 访存

B. 中断

C. 输入输出

D. 访存

【解析】

CPU 对 I/O 端口的编址方式主要有两种：一是独立编址方式；二是统一编址方式。独立编址方式是指系统使用一个不同于主存地址空间之外的单独的一个地址空间为外围设备及接口中的所有 I/O 端口分配 I/O 地址，在这种方式下，CPU 指令系统中有专门的用于与设备进行数据传输的输入输出指令，对设备的访问必须使用这些专用指令进行。统一编址方式是指 I/O 端口与主存单元使用同一个地址空间进行统一编址。在这种方式下，CPU 指令系统中无须设置专门的与设备进行数据传输的输入输出指令，I/O

端口被当成主存单元同样对待,对主存单元进行访问和操作的指令可以同样用于对 I/O 端口的访问和操作。

【答案】D

试题 1-25 (2008 年 11 月上旬试题 4)

关于在 I/O 设备与主机间交换数据的叙述,_____是错误的。

- A. 中断方式下, CPU 需要执行程序来实现数据传送任务
- B. 中断方式和 DMA 方式下, CPU 与 I/O 设备都可同步工作
- C. 中断方式和 DMA 方式中, 快速 I/O 设备更适合采用中断方式传递数据
- D. 若同时接到 DMA 请求和中断请求, CPU 优先响应 DMA 请求

【解析】

虽然中断方式可以提高 CPU 的利用率,能处理随机事件和实时任务,但一次中断处理过程需要经历保存现场、中断处理和恢复现场等阶段,需要执行若干条指令才能处理一次中断事件,因此这种方式无法满足高速的批量数据传送要求。而 DMA 方式则简化了 CPU 对数据传送的控制,通过硬件控制实现主存与 I/O 设备间的直接数据传送,数据的传送过程由 DMA 控制器 (DMAC) 进行控制,不需要 CPU 的干预,这就提高了主机与外设并行工作的程度,实现了快速外设和主存之间成批的数据传送,使系统的效率明显提高。因此,快速 I/O 设备更适合采用 DMA 方式传递数据。

【答案】C

1.5 总线系统

试题 1-26 (2011 年 11 月上旬试题 4)

总线复用方式可以_____。

- A. 提高总线的传输带宽
- B. 增加总线的功能
- C. 减少总线中信号线的数量
- D. 提高 CPU 利用率

【解析】

总线复用,指的是数据和地址在同一个总线上传输的方式。所谓复用传送就是指多个用户共享公用信道的一种机制,目前最常见的主要有时分多路复用、频分多路复用和码分多路复用等,优点在于各子系统的信息能有效及时地被传送,不至于彼此间的信号相互干扰和避免物理空间上过于拥挤。

【答案】C

试题 1-27 (2011 年 5 月上旬试题 3)

在计算机系统中采用总线结构,便于实现系统的积木化构造,同时可以_____。

- A. 提高数据传输速度
- B. 提高数据传输量
- C. 减少信息传输线的数量
- D. 减少指令系统的复杂性

【解析】

计算机系统中采用总线结构可以减少信息传输线的数量。

【答案】C

试题 1-28 (2009 年 5 月上旬试题 2)

处理机主要由处理器、存储器和总线组成。总线包括_____。

- A. 数据总线、地址总线、控制总线
- B. 并行总线、串行总线、逻辑总线
- C. 单工总线、双工总线、外部总线
- D. 逻辑总线、物理总线、内部总线