



高等学校电子与通信工程类专业“十二五”规划教材

数字逻辑与EDA 设计实验指导书

主编 丁 磊 江志文 张海笑
主审 林福宗



西安电子科技大学出版社
<http://www.xduph.com>

高等学校电子与通信工程类专业“十二五”规划教材

数字逻辑与 EDA 设计 实验指导书

主 编 丁磊 江志文 张海笑

主 审 林福宗

西安电子科技大学出版社

内 容 简 介

本书是《数字逻辑与 EDA 设计》的配套用书。全书共分 5 章:第 1 章主要介绍自主研发的能完全满足本课程实验需求的实验箱;第 2 章介绍基于实验箱的数字逻辑基本实验;第 3 章介绍基于实验箱的数字逻辑综合实验;第 4 章介绍数字逻辑基础设计、仿真及在实验箱上进行验证;第 5 章介绍数字逻辑综合设计、仿真及验证。书的最后还有 3 个附录,分别为 Actel A3P030 芯片资料、基于 Actel A3P030 的 FPGA 核心板引脚对应表以及 FPGA 扩展实验板设计说明。

本书适合计算机、信息、自动化、电子专业的本科生、研究生及从事数字电路设计的工程人员使用。

图书在版编目(CIP)数据

数字逻辑与 EDA 设计实验指导书/丁磊,江志文,张海笑主编. —西安:西安电子科技大学出版社,2012.8
高等学校电子与通信工程类专业“十二五”规划教材

ISBN 978-7-5606-2852-3

I. ① 数… II. ① 丁… ② 江… ③ 张… III. ① 数字逻辑—高等学校—教学参考资料
② 电子电路—电路设计—计算机辅助设计—高等学校—教学参考资料 IV. ① TP302.2 ② TN702

中国版本图书馆 CIP 数据核字(2012)第 155562 号

策 划 邵汉平

责任编辑 段 蕾 邵汉平

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

网 址 www.xduph.com 电子邮箱 xdupfxb001@163.com

经 销 新华书店

印刷单位 陕西光大印务有限责任公司

版 次 2012 年 8 月第 1 版 2012 年 8 月第 1 次印刷

开 本 787 毫米×1092 毫米 1/16 印 张 12

字 数 280 千字

印 数 1~3000 册

定 价 21.00 元

ISBN 978-7-5606-2852-3/TP·1350

XDUP 3144001-1

如有印装问题可调换

前 言

“数字逻辑与 EDA 设计”课程的主要目的是使学生掌握设计数字逻辑电路必需的理论基础和基本方法，将理论与实践紧密结合是本课程的主要特点。编者长期工作在教学、科研一线，随着专业知识的不断增加，积累了大量的经验，现欲将这些经验与更多的人分享，于是编写了这本实验指导书。

本书是《数字逻辑与 EDA 设计》的配套用书，书中归纳了大量具有典型代表性的实验题目，并配有详细的分析及实验步骤。在内容上，既要完成经典的数字逻辑电路的验证与设计，又要完成现代流行的利用 EDA 工具进行的系统设计与验证；在难度上，既有最基本的简单验证实验，又有难度较高且较为实用的综合设计实验，以引导学生熟练掌握工具去设计更为复杂的电路。

本书由丁磊、江志文、张海笑主编，其中丁磊负责统稿，江志文负责主要编写及排版，张海笑负责实验的设计。冯永晋、林小平、邓杰航、李峥、张静等均对本书提出了宝贵的修改意见，研究生荣晶、肖丽萍、简芳完成了大量的插图绘制工作。

成书后有幸邀得清华大学计算机系林福宗教授审稿，林福宗教授在肯定教材内容的同时，提出了详细的修改意见，大至全书的结构，小至语言的措辞、排版等细节，使本书的整体水平得到了很大的提升。在此表示衷心的感谢。

由于编者水平有限，加之时间仓促，书中一定存在不少错误和不妥之处，敬请读者予以批评指正，以便今后不断改进。

编者电子邮件地址：gzeeking@sina.com。本书所附的工程文件可在 [Http://202.116.130.234](http://202.116.130.234) 处下载。

编者

2012 年 3 月于广州

目 录

第 1 章 DIGILOGIC-2011 实验箱	1
1.1 实验箱的性能特点	1
1.2 实验箱的技术指标	1
1.3 实验箱介绍	2
1.3.1 实验箱的组成	2
1.3.2 实验箱及电路板外观	4
1.3.3 实验箱的电路板标注	6
1.3.4 数码管电路模块说明	13
1.3.5 段式 LED 显示驱动板	14
1.3.6 FPGA 扩展实验板设计	15
1.4 实验箱使用说明	15
第 2 章 基于实验箱的数字逻辑实验	18
2.1 基本门电路	18
2.1.1 实验目的	18
2.1.2 实验仪器及器件	18
2.1.3 实验原理	18
2.1.4 实验内容	18
2.1.5 实验报告要求	23
2.2 门电路综合实验	23
2.2.1 实验目的	23
2.2.2 实验仪器及器件	23
2.2.3 实验内容	24
2.3 组合逻辑电路	27
2.3.1 实验目的	27
2.3.2 实验仪器及器件	28
2.3.3 实验内容	28
2.3.4 实验报告要求	37
2.4 时序逻辑电路	37
2.4.1 实验目的	37
2.4.2 实验仪器及器件	38
2.4.3 实验内容	38
2.4.4 实验报告要求	43
第 3 章 数字逻辑综合实验	44

3.1 组合逻辑综合实验	44
3.1.1 实验目的	44
3.1.2 实验仪器及器件	44
3.1.3 实验内容	44
3.2 时序逻辑综合实验	50
3.2.1 实验目的	50
3.2.2 实验仪器及器件	50
3.2.3 实验内容	50
第 4 章 数字逻辑基础设计仿真及验证	56
4.1 基本门电路	56
4.1.1 实验目的	56
4.1.2 实验环境及仪器	56
4.1.3 实验内容	56
4.1.3 实验步骤	56
4.1.5 实验报告要求	79
4.2 组合逻辑电路	79
4.2.1 实验目的	79
4.2.2 实验环境及仪器	80
4.3.3 实验内容	80
4.2.4 实验步骤	80
4.2.5 实验报告要求	98
4.3 时序逻辑电路	98
4.3.1 实验目的	98
4.3.2 实验环境及仪器	98
4.3.3 实验内容	98
4.3.4 实验步骤	98
4.3.5 实验报告要求	110
第 5 章 数字逻辑综合设计仿真及验证	111
5.1 基于 VerilogHDL 的组合逻辑综合实验	111
5.1.1 实验目的	111
5.1.2 实验环境及仪器	111
5.1.3 实验内容	111
5.2 基于 VerilogHDL 的时序逻辑综合实验	141
5.2.1 实验目的	141
5.2.2 实验环境及仪器	141
5.2.3 实验内容	141

附录 A Actel A3P030 芯片资料.....	171
附录 B 基于 Actel A3P030 的 FPGA 核心板引脚对应表.....	172
附录 C FPGA 扩展实验板设计说明	179
参考文献	183

第 1 章

DIGILOGIC-2011 实验箱

DIGILOGIC-2011 实验箱是专门为“数字逻辑与 EDA 设计”课程开发的实验平台，它将传统的芯片验证及其电路设计与基于 EDA 工具的数字逻辑设计实验整合到基于 FPGA 实现的实验平台中，并可以进行协同实验。

1.1 实验箱的性能特点

DIGILOGIC-2011 实验箱具备以下性能特点：

- (1) 按照数字电路的基本分类及功能模块优化布局，接插便利。
- (2) 所有芯片的引脚全部引出，便于进行测试，实验组合灵活多样。
- (3) 将基于 FPGA 的数字逻辑实验整合于实验箱内，可以一对一地进行相关验证及实验。
- (4) 基于 FPGA 的核心板可进行 10 万次烧录。
- (5) 板级可编程逻辑信号、时钟信号、脉冲信号生成，使用更加方便。
- (6) 配有逻辑笔，方便实验测试。
- (7) 配有 Flash Pro4 专用烧录工具，可方便地将设计好的程序写入 FPGA 核心板中。
- (8) 配备完整的使用说明书和实验例程。

1.2 实验箱的技术指标

1. 电源

输入：AC220V $\pm$ 10%

输出：DC+5V/3A

DC+3.3V/1A

DC+1.5V/1A

2. 逻辑状态生成

2×8 路开关控制逻辑“0”、“1”的生成。

3. 函数信号发生器

输出波形：矩形波、正负边沿脉冲。

频率范围：0~48 MHz 可编程。

板级应用引出 0.1 Hz、1 Hz、10 Hz、100 Hz、1 kHz、10 kHz、100 kHz 及 1 MHz 的时钟信号。

4. 数字逻辑实验区

采用 2×8 路输出 LED；

配有逻辑笔测试模块。

5. 基于 FPGA 的数字逻辑设计实验区

单片集成数字逻辑实验的所有芯片。

3×8+2 路开关控制输出 LED(可与数字逻辑实验进行协同验证并测试)。

1.3 实验箱介绍

1.3.1 实验箱的组成

本实验箱包括传统门电路模块、传统组合电路模块、传统时序电路模块、核心板模块或 FPGA 扩展实验板、波形发生电路模块、电源模块、输入/输出及显示模块等部分，其总体示意图如图 1-1 所示。

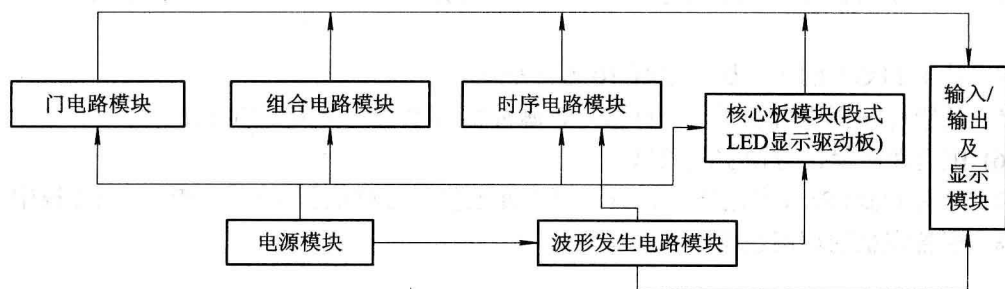


图 1-1 数字逻辑及系统设计实验箱结构示意图

1. 核心板模块

核心板上集成了只需 3.3 V 电源便可工作的 Actel FPGA A3P030 基本系统以及显示输出状态的 26 个红色 LED。FPGA 基本系统中包括了 A3P030、下载、复位、晶振时钟以及 1.5V 电源 5 个部分，具体标注请参考相关描述。

核心板根据不同的实验可以设计成四种形式：门电路核心板、组合电路核心板、时序电路核心板、扩展实验核心板，具体内容参看附录 B。扩展实验核心板是为了实现组合电路、时序电路及 EDA 设计的综合实验而设计的，详细介绍参看附录 B.2 “FPGA 扩展板引

脚对应表”。

2. 门电路模块

门电路模块包括 74HC00(与非门)、74HC02(或非门)、74HC04(非门)、74HC08(与门)、74HC32(或门)及 74HC86(异或门)。

3. 组合电路模块

组合电路模块包括 74HC148(8-3 编码器)、74HC138(3-8 译码器)、74HC153(4 输入选择器)、74HC85(4 位比较器)和 74HC283(4 位加法器)。

4. 时序电路模块

时序逻辑电路模块包括 74HC74(D 触发器)、74HC112(JK 触发器)、74HC161(4 位同步置位计数器)、74HC194(4 位移位寄存器)。

5. 波形发生电路模块

波形电路发生模块输出 0.1 Hz、1 Hz、10 Hz、100 Hz、1 kHz、10 kHz、100 kHz 以及 1 MHz 的时钟信号共 8 路，按钮手动控制的单脉冲共两路。

6. 电源模块

电源电路从外部引入 DC 5V 电源，产生 3.3V 及 1.5 V 电源。

7. 输入/输出及显示模块

输入/输出模块提供了 2×8 路输入信号和 2×8 路输出信号及相应的 LED 显示，其中输入信号用红色 LED 显示，输出信号用绿色 LED 显示，各路信号均可独立显示。

输入信号可以通过拨动开关选择低电平(逻辑 0)、高电平(逻辑 1)或用连接线接入时钟信号(Clock)。输入信号可以通过连接线连接到主板上的基本门逻辑电路、组合逻辑电路及时序逻辑电路中的任何一片芯片的信号输入引脚。而主板上各芯片的信号输出引脚也可以用连接线连接到信号输出显示电路。

另外，每一路输入信号都连接到 FPGA 的相应引脚，以方便进行数字逻辑设计在 FPGA 上的测试，并可直接与分立芯片的输出进行比较。FPGA 的输出信号可以通过集成在核心板上的拨码开关连接到相应的 LED。

8. 段式 LED 显示驱动板

段式 LED 显示驱动板提供了针对七段(74HC4511)或八段(七段+小数点)段式 LED 显示驱动的实验环境。详细内容将在 1.3.5 节进行介绍。

注：实验箱上每一片芯片的输入/输出引脚均用铜柱和排针同时引出，以便与其他引脚或器件进行连接，FPGA 的相关引脚也用铜柱和排针同时引出，整体布局如图 1-2 所示。

实际的 PCB 设计时，为了减小整个实验板的尺寸，采用共享核心板的方式，配合烧录器，将每次需要测试的模块烧录到核心板中。为了方便以后扩展，核心板设计成可插拔的形式，随时可以更换不同的核心板以配合不同的实验。

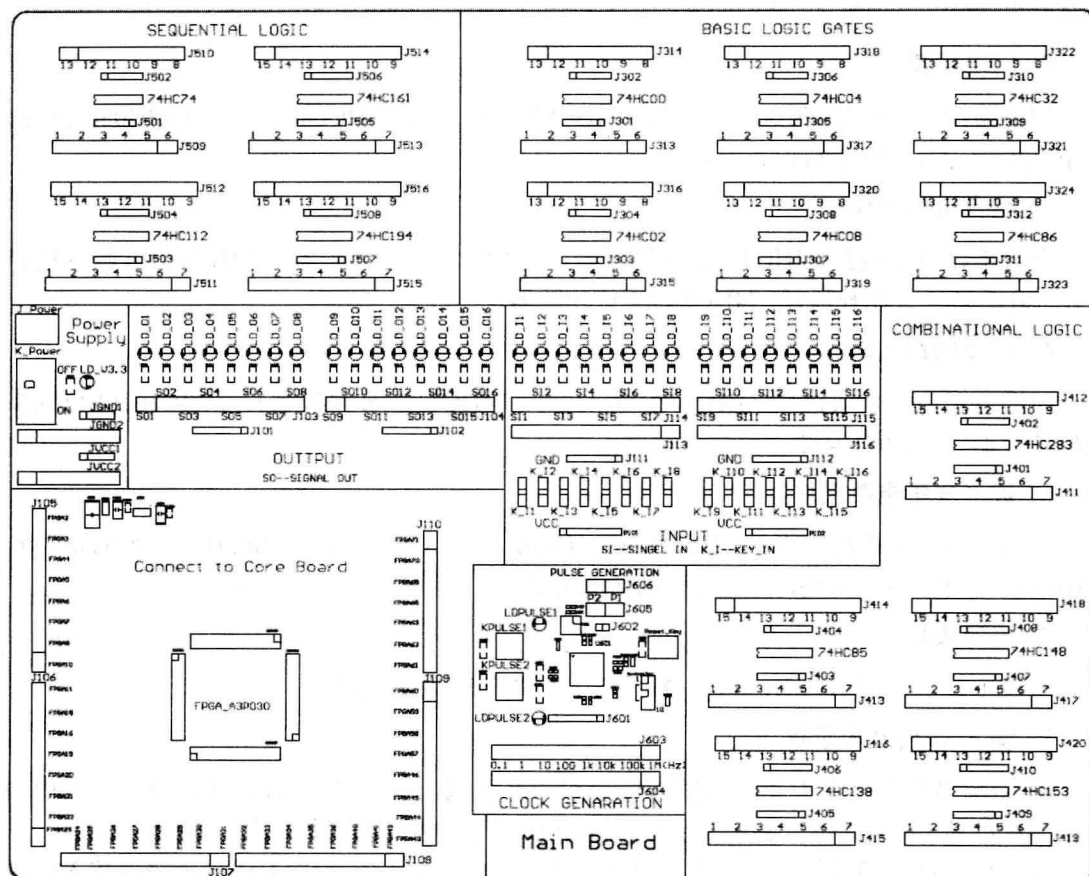


图 1-2 实验箱上引脚的整体布局

1.3.2 实验箱及电路板外观

实验箱外观及背面组件标注如图 1-3 及 1-4 所示，电路板实物图如图 1-5 所示。

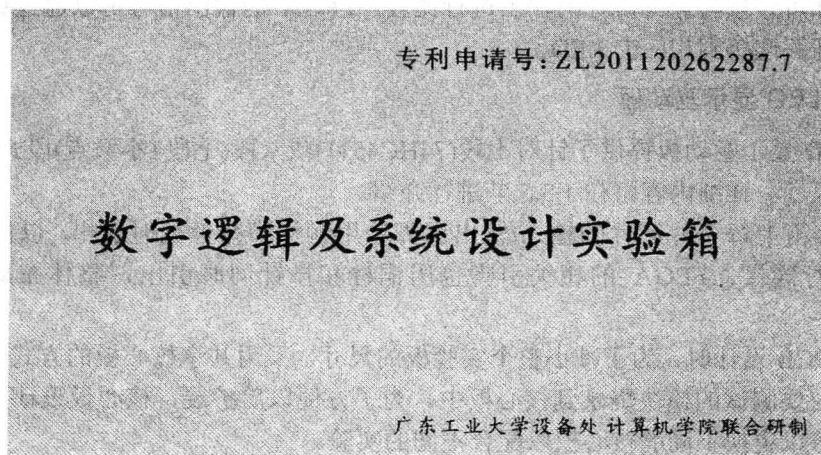
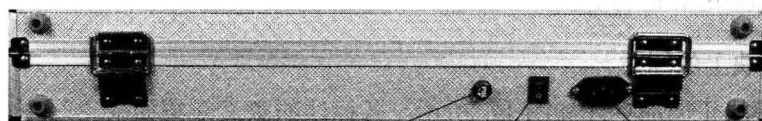


图 1-3 实验箱的外观

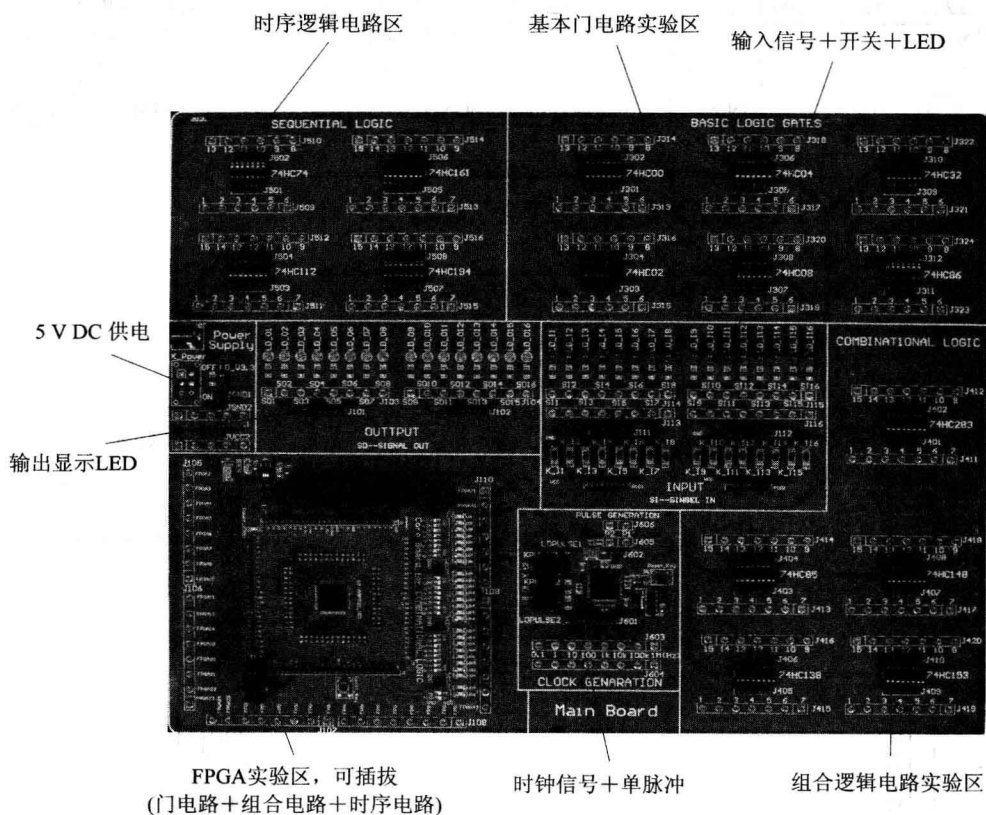


保险管

220 V AC 开关

220 V AC 电源插座

图 1-4 实验箱背面组件



5 V DC 供电

输出显示LED

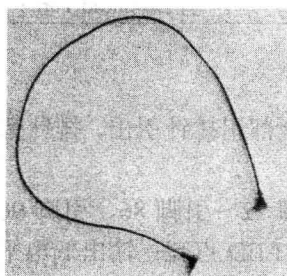
FPGA实验区, 可插拔
(门电路+组合电路+时序电路)

时钟信号+单脉冲

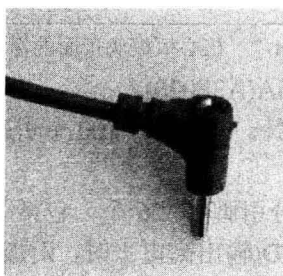
组合逻辑电路实验区

图 1-5 电路板实物图

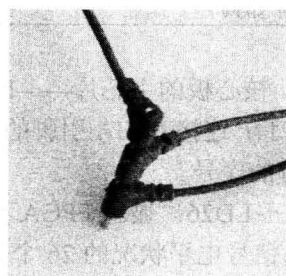
连接线及串级方法如图 1-6 所示。



(a) 连接线



(b) 连接线插头



(c) 串级方法

图 1-6 连接线及串级方法示意图

1.3.3 实验箱的电路板标注

1. 核心板模块上的标注

(1) 核心板模块正面的标注如图 1-7 所示。各标注的意义介绍如下。

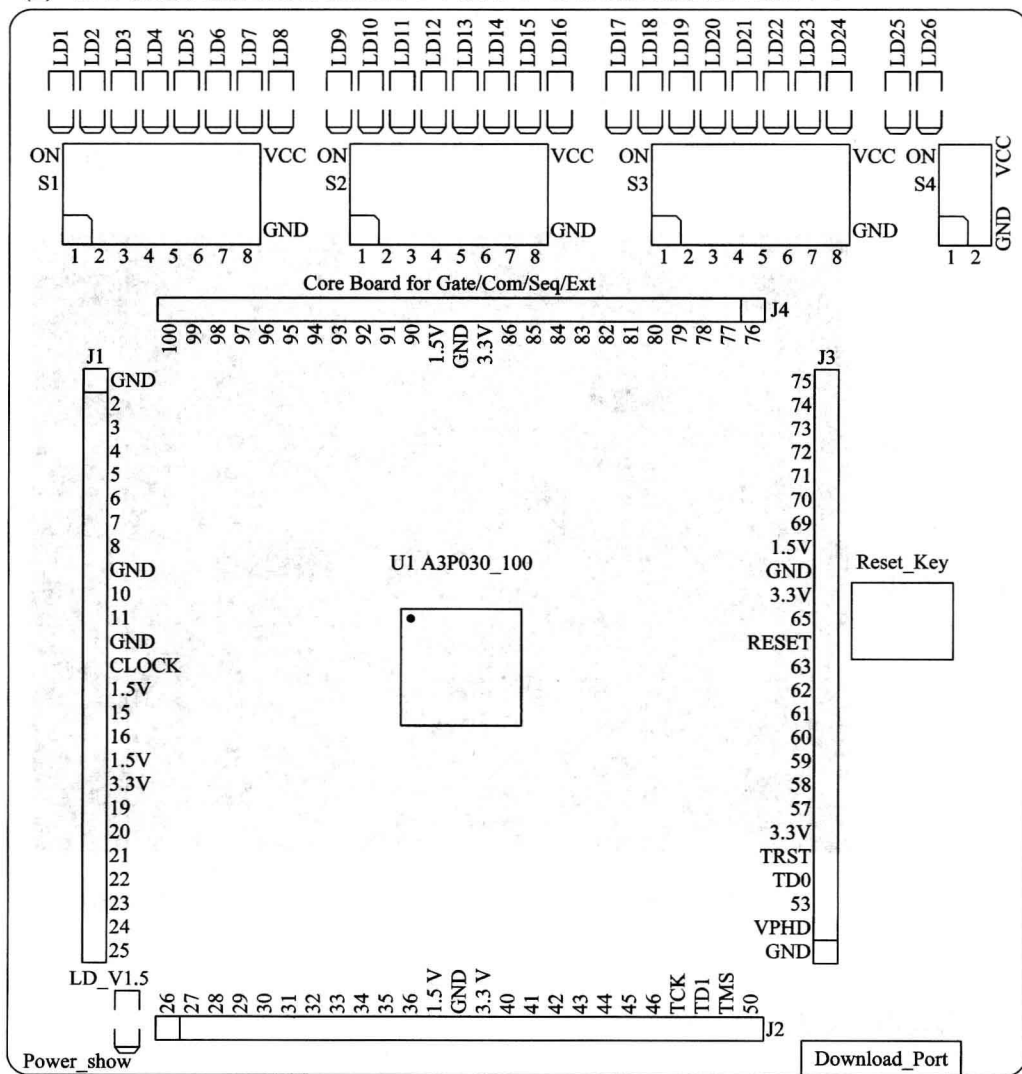


图 1-7 核心板模块正面的标注

U1: 核心板的主芯片——FPGA(A3P030)。

J1~J4: 连接 FPGA 引脚的排针。FPGA 的 100 个引脚全部用排针引出，排针旁边的标注为引脚的序号。

LD1~LD26: 显示 FPGA 部分引脚(共 26 个，包括引脚 72~引脚 86、引脚 90~引脚 100)输出信号电平状况的 26 个 LED(输出高电平时，对应的 LED 点亮；输出低电平时，对应的 LED 熄灭)。

S1~S4: 拨码开关，其中 S1~S3 为 8 位拨码开关，S4 为 2 位拨码开关。拨码开关用

于控制 LED 的通断——当某位开关被拨向 VCC 一侧时,对应的 LED 被接通,可用于显示对应引脚的输出电平状况;当某位开关被拨向 GND 一侧时,对应的 LED 被断开,不能用于显示对应引脚的输出电平状况。

Reset_Key: 复位按键。

Download_Port: 下载接口(元件装在核心板的背面)。

Power_show: 1.5V 电源指示 LED(LD_V1.5)。

其他标注是为了方便 PCB 做板及实验板维护而留,在此不做解释。

FPGA 引脚与 LED 及拨码开关位的对应关系如表 1-1 所示。

表 1-1 FPGA 引脚与 LED 及拨码开关位的对应关系

FPGA 引脚	LED	拨码开关位	FPGA 引脚	LED	拨码开关位	FPGA 引脚	LED	拨码开关位
FPGA_100	LD1	S1_1	FPGA_91	LD10	S2_2	FPGA_79	LD19	S3_3
FPGA_99	LD2	S1_2	FPGA_90	LD11	S2_3	FPGA_78	LD20	S3_4
FPGA_98	LD3	S1_3	FPGA_86	LD12	S2_4	FPGA_77	LD21	S3_5
FPGA_97	LD4	S1_4	FPGA_85	LD13	S2_5	FPGA_76	LD22	S3_6
FPGA_96	LD5	S1_5	FPGA_84	LD14	S2_6	FPGA_75	LD23	S3_7
FPGA_95	LD6	S1_6	FPGA_83	LD15	S2_7	FPGA_74	LD24	S3_8
FPGA_94	LD7	S1_7	FPGA_82	LD16	S2_8	FPGA_73	LD25	S4_1
FPGA_93	LD8	S1_8	FPGA_81	LD17	S3_1	FPGA_72	LD26	S4_2
FPGA_92	LD9	S2_1	FPGA_80	LD18	S3_2			

(2) 核心板背面的标注也是为了方便 PCB 做板及实验板维护而留,在此不做解释。

2. 主板标注

(1) 基本门逻辑电路部分标注如图 1-8 所示,每片芯片右边都有标注该芯片的名称。其中 J301~J312 为对应(元件旁边)芯片的信号输入/输出引脚的排针;J313~J324 为对应(元件旁边)芯片的信号输入/输出引脚的接线铜柱,每排接线铜柱由 6 个独立的接线铜柱构成。接线铜柱旁边标注的数字为接线铜柱对应芯片的引脚序号。

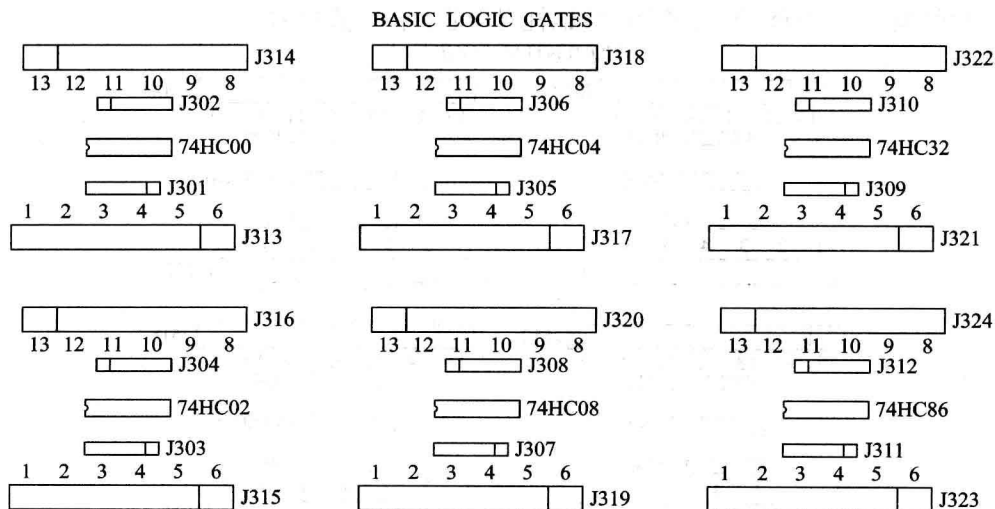


图 1-8 基本门逻辑电路部分标注

(2) 组合逻辑电路部分的标注如图 1-9 所示, 每片芯片右边都有标注该芯片的名称。其中: J401~J410 为对应(元件旁边)芯片的信号输入/输出引脚的排针; J411~J420 为对应(元件旁边)芯片的信号输入/输出引脚的接线铜柱, 每排接线柱由 7 个独立的接线铜柱构成。接线铜柱旁边标注的数字为接线铜柱对应芯片的引脚序号。

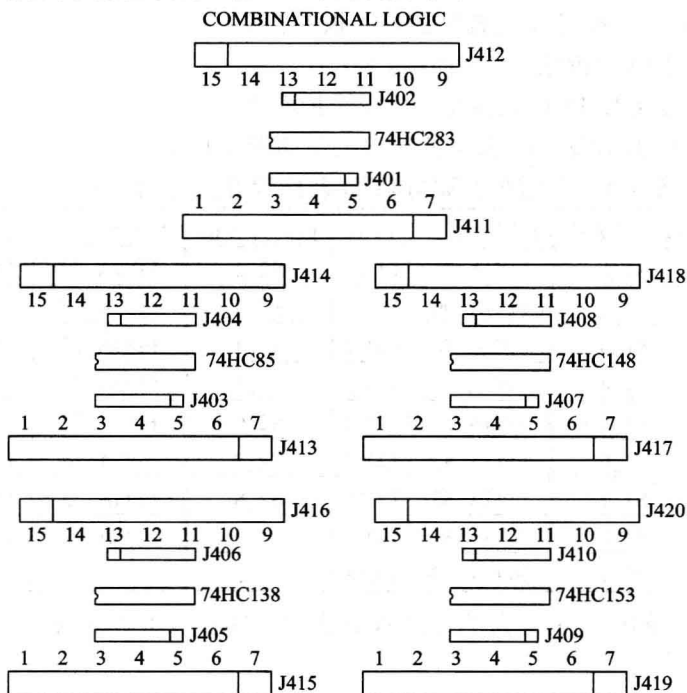


图 1-9 组合逻辑电路部分标注

(3) 时序逻辑电路部分的标注如图 1-10 所示, 每片芯片右边都有标注该芯片的名称。其中: J501~J508 为对应(元件旁边)芯片的信号输入/输出引脚的排针; J509~J516 为对应(元件旁边)芯片的信号输入/输出引脚的接线铜柱, 每排接线铜柱由 6 个或 7 个独立的接线铜柱构成。接线铜柱旁边标注的数字为接线铜柱对应芯片的引脚序号。

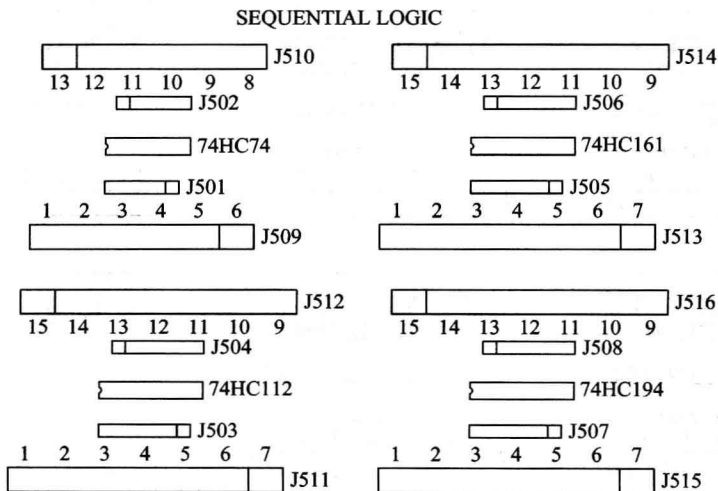


图 1-10 时序逻辑电路部分标注

(4) 信号输入电路部分标注如图 1-11 所示, 其中各部分的功能说明如下:

LD_I1~LD_I16: 指示输入信号电平状况的 16 个 LED。

J111~J112: 输入信号接线排针。

J113~J116: 输入信号接线铜柱。每排接线铜柱由 8 个独立的接线铜柱构成。

K_I1~K_I16: 拨码开关, 用于选择输入电平——当某位开关被拨向 VCC 一侧时, 其对应位输入高电平; 当某位开关被拨向 GND 一侧时, 其对应位输入低电平。

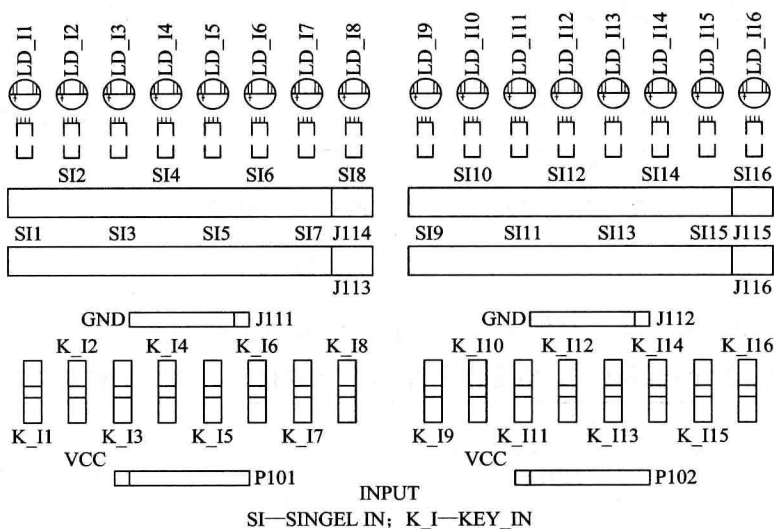


图 1-11 信号输入电路部分标注

输入信号与拨码开关位、接线排针位、接线铜柱位、指示 LED 的对应关系如表 1-2 所示。

表 1-2 各个电源开关、电源指示 LED、接线排针、接线铜柱的对应关系

输入信号	拨码开关位	接线排针位	接线铜柱位	指示 LED
SI1	K_I1	J111_8	J113_8、J114_8	LD_I1
SI2	K_I2	J111_7	J113_7、J114_7	LD_I2
SI3	K_I3	J111_6	J113_6、J114_6	LD_I3
SI4	K_I4	J111_5	J113_5、J114_5	LD_I4
SI5	K_I5	J111_4	J113_4、J114_4	LD_I5
SI6	K_I6	J111_3	J113_3、J114_3	LD_I6
SI7	K_I7	J111_2	J113_2、J114_2	LD_I7
SI8	K_I8	J111_1	J113_1、J114_1	LD_I8
SI9	K_I9	J112_8	J115_8、J116_8	LD_I9
SI10	K_I10	J112_7	J115_7、J116_7	LD_I10
SI11	K_I11	J112_6	J115_6、J116_6	LD_I11
SI12	K_I12	J112_5	J115_5、J116_5	LD_I12
SI13	K_I13	J112_4	J115_4、J116_4	LD_I13
SI14	K_I14	J112_3	J115_3、J116_3	LD_I14
SI15	K_I15	J112_2	J115_2、J116_2	LD_I15
SI16	K_I16	J112_1	J115_1、J116_1	LD_I16

(5) 信号输出电路部分的标注如图 1-12 所示, 其中各部分的功能说明如下:

LD_O1~LD_O16: 指示输出信号电平状况的 16 个 LED。

J101~J102: 输出信号接线排针。

J103~J104: 输出信号接线铜柱。每排接线铜柱由 8 个独立的接线铜柱构成。

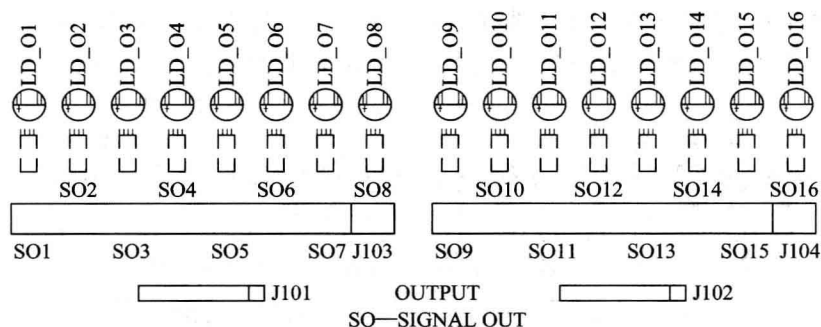


图 1-12 信号输出电路部分标注

输出信号与接线排针位、接线铜柱位、指示 LED 的对应关系如表 1-3 所示。

表 1-3 各个电源开关、电源指示 LED、接线排针、接线铜柱的对应关系

输出信号	接线排针位	接线铜柱位	指示 LED
SO1	J101_8	J103_8	LD_O1
SO2	J101_7	J103_7	LD_O2
SO3	J101_6	J103_6	LD_O3
SO4	J101_5	J103_5	LD_O4
SO5	J101_4	J103_4	LD_O5
SO6	J101_3	J103_3	LD_O6
SO7	J101_2	J103_2	LD_O7
SO8	J101_1	J103_1	LD_O8
SO9	J102_8	J104_8	LD_O9
SO10	J102_7	J104_7	LD_O10
SO11	J102_6	J104_6	LD_O11
SO12	J102_5	J104_5	LD_O12
SO13	J102_4	J104_4	LD_O13
SO14	J102_3	J104_3	LD_O14
SO15	J102_2	J104_2	LD_O15
SO16	J102_1	J104_1	LD_O16

(6) 电源电路部分的标注如图 1-13 所示, 其中各部分功能说明如下:

J_Power: 外部 5 V 电源接头。