

Broadview
www.broadview.com.cn

信号/电源完整性 仿真分析与实践

邵鹏 编著



以理论知识作为基准和指导
积累成功项目经验，总结失败项目教训
掌握设计时间和效率的平衡



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
http://www.phei.com.cn

信号/电源完整性 仿真分析与实践



NLIC297088836

电子工业出版社
Publishing House of Electronics Industry
北京·BEIJING

内 容 简 介

电路设计，尤其是现代高速电路系统的设计，是一个随着电子技术的发展而日新月异的工作，具有很强的趣味性，也具有相当的挑战性。本书的目的是要使电子系统设计工程师们能够更好地掌握高速电路系统设计的方法和技巧，跟上行业发展要求。因此，本书由简到难、由理论到实践，以设计和仿真实例向读者讲解了信号/电源完整性的相关现象，如何使用 EDA 工具进行高速电路系统设计，以及利用仿真分析对设计进行指导和验证。此书的所有实例将在 Mentor 公司的 HyperLynx 相关工具中实现。

本书适合电子设计工程师能够在很短的时间内，从理论到实践，系统性地学习复杂高速系统的设计原理，掌握先进的设计技术，从而提高自身的从业技能和素质并提高行业竞争力。

未经许可，不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有，侵权必究。

图书在版编目 (CIP) 数据

信号 / 电源完整性仿真分析与实践 / 邵鹏编著. —北京: 电子工业出版社, 2013.4
ISBN 978-7-121-19746-8

I. ①信… II. ①邵… III. ①电路设计—计算机仿真 IV. ①TN702

中国版本图书馆 CIP 数据核字 (2013) 第 045213 号

责任编辑: 孙学瑛

特约编辑: 顾慧芳

印 刷: 三河市双峰印刷装订有限公司

装 订: 三河市双峰印刷装订有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1092 1/16 印张: 21.75 字数: 392 千字

印 次: 2013 年 4 月第 1 次印刷

印 数: 4000 册 定价: 55.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

再版前言

两年前，我出版了一本名为《高速电路系统设计与仿真分析：Cadence 实例设计详解》的书。在该书中讲述了如何使用 Cadence 工具进行高速电路系统设计，以及利用仿真分析对设计进行指导和验证。此书出版之后，得到了很多读者积极的响应，同时也得到了很多读者建设性的反馈。其中有三条意见成为我再版此本书的重要理由：

- 在上一版的书中，所介绍的 DDR 设计技术略显过时，无论是 DDR 技术本身，还是设计难度现在都已经不具有挑战性。在不到一年的时间里，DDR2 技术得到了广泛应用，基本取代了原来的 DDR 地位，而且 DDR3 也越来越多地出现在各种产品中。因此很多读者反映，希望能够介绍目前流行的 DDR2 或 DDR3 的设计方法和难点，以及如何利用现有的仿真工具完成对 DDR 系统的仿真和验证工作。
- 对于电源完整性的仿真分析，业界一直停留在“指导”性的阶段，没有可以参照的工程可行的方法。因此，在本书中，结合 HyperLynx 的 PI 工具，详细讲述如何使用 HyperLynx 进行电源系统仿真的方法和流程，以及前仿和后仿的实施步骤。
- 随着高性能系统的发展，几乎所有的高速数据接口都已经采用差分串行信号体制，正如我上一版书的预计，6Gbps 系统已经普遍应用，越来越多的厂商开始在设计中尝试 10Gbps 技术。因此，在这本书中，希望介绍目前流行的高速差分串行技术的背景、信号特点和系统设计难度、仿真方法，以及丰富实践案例和经验。

诚然，在前一版书出版至今的一年时间之内，DDR2 技术已经广泛应用于电子系统的各个领域，无论是高性能的大型电子系统还是精巧细致的手持设备。而高速差分信号的应用也从一年前的 5Gbps 发展到了 10Gbps，几乎成为高速数据接口的唯一形式，成为目前越来越热的设计话题。也正是因为在此如此高的信号频率下，信号的传播特征以及分析方法都完全不同于 GHz 以下的低频信号，因此，也确实有必要通过充实本书的内容，把这项技术传播给大家，让更多的工程师能够更快地掌握和应用这项技术。

除了上述再版理由，还有一个来自我自身的动力，就是通过上一版书的出版，以及和读者的后续交流中发现，国内的 SI 工程师正逐渐走向成熟，更多的工程师已经不满足于只是对于某个 SI 现象和处理方法的讨论和学习，他们更渴望得到清晰的理论知识和技术背景，因此在这本书里对一些 SI 现象的技术背景内容进行了更多的补充。

本书将继续前一版书的写作风格，在讲解各项技术以及信号/电源完整性的相关现象的同时，尽量以设计和仿真实例向读者展示所要说明的问题。但是和前一版书所不同的是，此书的所有实例将在 Mentor 公司的 HyperLynx 相关工具中实现。这样做的目的有二：一是因为应广大读者的需求，对 Mentor 用户群有所倾向；二是，Mentor 的 HyperLynx 工具在高速电路的仿真分析中确实有独特的优势。而且，从目前业界发展的状态和趋势来看，无论是国际化 IT 行业领军的大公司、外企，还是国内企业，已经越来越多地抛弃原来的设计工具和流程，逐渐转向 Mentor 的设计环境和工具链。由于我本人所具有的一些特殊信息渠道，故已经看到或者感受到这种变化。

因此，从工程师的角度讲，我也想提醒广大电子行业的工程师，如果能敏锐地抓住机会，选择主流 EDA 设计工具，同时也可以增加自身的行业竞争力。无论从技术角度还是读者需求，此次的所有实例，都将基于 Mentor 的高速设计流程和环境。（关于 Mentor 的高速设计流程和工具变化以及发展趋势，将在最后一章对技术发展的展望和心得交流中做比较详细的介绍。）

邵 鹏

2013 年 2 月于北京

本书阅读指南

写作目的和读者对象

首先需要指出的是，本书是高速电路系统设计和仿真技术的实践总结和设计指导，而并不是一本高速电路理论研究书籍。因此，也就决定了本书中所提到的高速信号理论是前人研究成果的总结和借用。本书并不对这些理论进行详细的推导和研究，如果读者对这些高速信号理论感兴趣，请参阅与此相关的专业理论书籍。之所以要在本书中提及这些高速信号理论，是因为从全书结构上考虑，使读者在阅读本书的过程中，能够由浅入深、由理论指导到实践应用地进行循序渐进的学习，并对高速电路系统设计的一些技巧和方法有比较深刻的理解和掌握。

本书的目的是要使得电子系统设计工程师们能够更好地掌握高速电路系统设计的方法和技巧，跟上行业发展要求。因此，本书针对的对象是那些希望挑战高速电路系统设计的工程师，已经具备电子系统设计的基本知识和技能，而不是刚刚从事这个行业的技术人员。因为本书也不会从原理图符号的制作、PCB 板元件的封装设计、板框设定、元件的布局和 PCB 板的布线等开始讲起，这些是被默认为阅读此书之前应该掌握的基本内容。

有必要多提一点的是，尽管我们能够在市面上，或者网上找到例如“……高速电路设计指南……”、“……高速 PCB 设计与仿真……”等类似或相近题目的书籍，然而浏览其目录内容便可得知，虽题目相近，但内容相去甚远，有些只是对 EDA 工具软件的操作和帮助文件进行了翻译，有些虽然提及了高速电路设计所需的工具和流程，但也仅限于软件的使用介绍，缺乏设计实例的设计分析过程和实践经验的指导。请读者自行甄别此类书籍与本书的区别。

最后，本书的实例实现是依托于 Mentor 的高速设计工具流程和环境，因此不可避免地在介绍实例的过程中，通过 Mentor 工具环境和 Mentor 仿真分析工具的使用来介绍设计实例，但它绝不是对软件工具介绍的简单翻译，本书更注重的是如何让读者通过工具的使用，自己动手，重复这个设计分析过程来掌握这些设计技术。另外，本书虽然以 Mentor 工具环境为依托来介绍高速电路系统的设计思想和方法，但这些思想和方法并不仅限于 Mentor 工具环境，经过适当的修改和重新配置，

读者可以在其他工具中实现同样的设计。这一点，希望读者在阅读和参考此书的过程中能够体会到，而不是仅仅局限于本书提供的方法和经验。在借鉴这些方法和经验的基础上，我更希望看到读者能够将之发挥和扩充，从而在其他的仿真设计工具中解决新的问题。

内容组织

本书内容由简到难，由理论到实践，被划分为四大部分。

第 1 篇（第 1 章到第 3 章）基础理论篇

首先回顾了电子系统的设计发展过程，介绍了高速电路系统设计所面临的问题和挑战，然后阐述了高速信号的基本理论知识。此部分内容意在提醒读者在高速电路系统中遇到的新问题，以及解决这些问题所需的理论基础。这部分加入了笔者对于高速信号的理解和经验的总结，使得读者能够在较短的时间内，初步掌握高速电路设计的难点和设计方向，以及必备的理论基础知识。

第 2 篇（第 4 章到第 5 章）软件操作篇

介绍 Mentor 高速电路设计的工具和流程，也就是在 Mentor 工具环境中设计高速电路系统，应该遵循怎样的工作流程，选择哪些工具来完成各个阶段的设计任务，从而实现高速电路设计。

但是，在此提醒读者的是，这一章的内容，不是对 Mentor 工具使用手册的翻译，而是从一个较高的角度，向读者说明，要想在 Mentor 设计环境中实现高速设计，应该掌握 Mentor 的哪些工具，以及从哪些角度来学习和掌握这些工具。它并不是对 Mentor 软件手册的逐一翻译。如果读者需要逐一了解 Mentor 工具软件的每一项功能和使用方法，需要去寻找专门介绍工具使用的相关书籍，或者直接向 Mentor 公司咨询软件培训事宜。

第 3 篇（第 6 章）DDR 系统仿真及案例实践篇

此部分是本书的重点之一。在本篇内容中，首先要带领读者学习 DDR、DDR2 和 DDR3 之间一脉相承的技术发展道路，以及它们之间的区别和它们相应的设计难点。在充分了解 DDR 技术的基础上，通过对一个 DDR3 存储模块的设计分析，结合第二部分介绍的软件流程和使用，一步一步地带领读者完成整个 DDR3 系统的仿真和设计工作，使读者能够在实际的操作过程中掌握软件的使用方法，建立高速电路设计的概念和工作方法，希望通过本章的学习，能够让读者在 Mentor 工具的辅助之下，不再对高速电路设计和复杂协议存有惧怕心理，让高速电路设计变得轻松。

第4篇（第7章）高速串行技术篇

本部分的内容，对正在快速发展并得到广泛应用的高速串行差分信号的分析与设计技术进行了讲解。由于近年来技术的发展，高速差分信号已经普遍应用于各种高速系统中，但是对于 5Gbps 以上的高速信号完整性的理解，以及和传统的仿真方法和设计流程的区别，使得 5Gbps 以上的高速差分系统的设计对于很多企业 and 工程师来说还是一个障碍。在本篇中，笔者首先介绍了对于高速差分系统进行信号仿真的方法和设计流程，不同于传统信号的处理方法以及需要重新考虑的因素；然后，结合在此领域的实际设计经验，给出了具体应对 5Gbps 以上的高速差分信号仿真方法的实践技巧，可作为读者在实际工作中的指导原则。

第5篇（第8章）结束与思考

本部分内容是笔者关于从事高速电路设计的心得和对技术发展的展望。



书中出现这个标记的地方，是提醒读者注意的阅读重点，或者实践经验与技巧。

目 录

第 1 篇 基础理论篇

第 1 章 高速系统设计简介	2
1.1 PCB 设计技术回顾	2
1.2 什么是“高速”系统设计	3
1.3 如何应对高速系统设计	8
1.3.1 理论作为指导和基准	9
1.3.2 积累实践经验	11
1.3.3 平衡时间与效率	11
1.4 小结	12
第 2 章 高速系统设计理论基础	14
2.1 微波电磁波简介	14
2.2 微波传输线	16
2.2.1 微波等效电路物理量	17
2.2.2 微波传输线等效电路	17
2.3 电磁波传输和反射	21
2.4 微波传输介质	24
2.4.1 微带线 (Microstrip Line)	25
2.4.2 微带线的损耗	26
2.4.3 带状线 (Strip Line)	28
2.4.4 同轴线 (Coaxial Line)	29
2.4.5 双绞线 (Twist Line)	30
2.4.6 差分传输线	30
2.4.7 差分阻抗	33
2.5 “阻抗”的困惑	33
2.5.1 阻抗的定义	34
2.5.2 为什么要考虑阻抗	35

2.5.3	传输线的结构和阻抗	35
2.5.4	瞬时阻抗和特征阻抗	36
2.5.5	特征阻抗和信号完整性	37
2.5.6	为什么是 50Ω	37
2.6	阻抗的测量	38
2.7	“阻抗”的困惑之答案	40
2.8	趋肤效应	41
2.9	传输线损耗	42
2.10	小结	44
第 3 章	信号/电源完整性	45
3.1	什么是信号/电源完整性	45
3.2	信号完整性问题的分类	47
3.3	高频信号传输的要素	49
3.4	反射的产生和预防	50
3.4.1	反射的产生	51
3.4.2	反射的消除和预防	55
3.5	串扰的产生和预防	67
3.5.1	串扰的产生	67
3.5.2	串扰的预防与消除	71
3.6	电源完整性分析	73
3.6.1	电源系统的设计目标	74
3.6.2	电源系统的设计方法	76
3.6.3	电容的理解	78
3.6.4	电源系统的分析方法	81
3.6.5	电源建模和仿真算法	82
3.6.6	SSN 分析和应用	84
3.7	电磁兼容性 EMC 和电磁干扰 EMI	88
3.7.1	EMC/EMI 和信号完整性的关系	89
3.7.2	产生 EMC/EMI 问题的根源	90
3.8	正确认识回流路径（参考平面）	92
3.8.1	什么是高频信号的回流路径	92
3.8.2	回流路径的选择	93
3.8.3	回流路径的连续一致性	96

3.9 影响信号完整性的其他因素	97
3.10 小结	97
第 2 篇 软件操作篇	
第 4 章 Mentor 高速系统设计工具	100
4.1 Mentor 高速系统设计流程	101
4.2 约束编辑系统 (Constrain Editor System)	105
4.3 信号/电源完整性分析工具: HyperLynx	109
4.3.1 HyperLynx 的工具架构	109
4.3.2 HyperLynx 的通用性	113
4.3.3 HyperLynx 的易用性	113
4.3.4 HyperLynx 的实用性	117
4.3.5 Mentor 高速仿真技术的发展趋势	121
4.4 前仿和后仿	122
4.5 HyperLynx -LineSim 使用简介	124
4.5.1 分析前准备工作	125
4.5.2 建立信号网络	127
4.5.3 设置仿真条件	128
4.5.4 仿真结果和约束设置	131
4.6 HyperLynx-BoardSim 使用简介	132
4.6.1 设计文件的导入	132
4.6.2 设置仿真条件	133
4.6.3 关键网络分析	135
4.6.4 多板联合仿真	137
4.7 HyperLynx -3DEM 简介	139
4.8 小结	141
第 5 章 高速系统仿真分析和设计方法	142
5.1 高速电路设计流程的实施条件分析	142
5.2 IBIS 模型	144
5.2.1 IBIS 模型介绍	144
5.2.2 IBIS 模型的生成和来源	146
5.2.3 IBIS 模型的常见错误及检查方法	152
5.2.4 IBIS 文件介绍	155

5.2.5	如何获得 IBIS 模型	159
5.2.6	在 HyperLynx 中使用 IBIS 模型	160
5.2.7	在 Cadence 流程中使用 IBIS 模型	162
5.2.8	DML 模型简介	163
5.3	仿真分析条件设置	167
5.3.1	Stackup——叠层设置	168
5.3.2	DC Nets——直流电压设置	168
5.3.3	器件类型和管脚属性设置	169
5.3.4	SI Models——为器件指定模型	171
5.4	系统设计和（预）布局	173
5.5	使用 HyperLynx 进行仿真分析	176
5.5.1	拓扑结构抽取	176
5.5.2	在 HyperLynx 中进行仿真	177
5.6	约束规则生成	183
5.6.1	简单约束设计——Length/ Delay	183
5.6.2	差分布线约束——Diff Pair	184
5.6.3	网络拓扑约束——Net Scheduling	185
5.7	约束规则的应用	187
5.7.1	层次化约束关系	187
5.7.2	约束规则的映射	189
5.7.3	CES 约束管理系统的使用	190
5.8	布线后的仿真分析和验证	191
5.8.1	布线后仿真的必要性	191
5.8.2	布线后仿真流程	192
5.9	电源完整性设计方法和流程	194
5.9.1	确定电源系统的目标阻抗	196
5.9.2	DC Drop——直流压降分析	197
5.9.3	电源平面谐振点分析	199
5.9.4	VRM 去耦作用分析	202
5.9.5	去耦电容的集总式交流特性分析	204
5.9.6	去耦电容的分布式交流特性分析	206
5.9.7	电源噪声特性分析	207
5.9.8	电源平面模型抽取	209
5.9.9	HyperLynx-PI 电源系统设计流程总结	210

5.9.10 创建 VRM 模型	211
5.9.11 电容的布局和布线	213
5.9.12 合理认识电容的有效去耦半径	215
5.10 小结	217

第 3 篇 DDR 系统仿真及案例实践篇

第 6 章 DDRx 系统设计与仿真分析	220
6.1 DDR 系统概述	220
6.2 DDR 规范解读	222
6.2.1 DDR 规范的 DC 和 AC 特性	223
6.2.2 DDR 规范的时序要求	225
6.2.3 DDR 芯片的电气特性和时序要求	226
6.2.4 DDR 控制器的电气特性和时序要求	229
6.2.5 DDR 刷新和预充电	230
6.3 DDRx 总线技术发展	233
6.3.1 DDRx 信号斜率修正	233
6.3.2 DDRx ODT 的配置	236
6.3.3 从 DDR2 到 DDR3	237
6.3.4 DDR3 的 WriteLeveling	238
6.3.5 DDR2 及 DDR3 的协议变化	239
6.4 DDRx 系统仿真分析方法	240
6.4.1 在 HyperLynx 中仿真 DDRx 系统	240
6.4.2 仿真结果的分析 and 解读	253
6.5 LPDDRx 简介	254

第 4 篇 高速串行技术篇

第 7 章 高速串行差分信号设计及仿真分析	258
7.1 高速串行信号简介	259
7.1.1 数字信号总线时序分析	259
7.1.2 高速串行总线	262
7.1.3 Serdes 的电路结构	264
7.1.4 Serdes 的应用	265
7.2 高速串行信号设计	266

7.2.1	有损传输线和信号（预）加重	267
7.2.2	表面粗糙度对传输线损耗的影响	270
7.2.3	高频差分信号的布线和匹配设计	271
7.2.4	过孔的 Stub 效应	273
7.2.5	连接器信号分布	275
7.2.6	加重和均衡	276
7.2.7	码间干扰 ISI 和判决反馈均衡器 DFE	278
7.2.8	AC 耦合电容	281
7.2.9	回流路径的连续性	285
7.2.10	高速差分线的布线模式和串扰	286
7.2.11	紧耦合和松耦合	287
7.3	高速串行信号仿真分析	289
7.3.1	系统级仿真	289
7.3.2	S 参数 (Scattering parameters)	291
7.3.3	互连设计和 S 参数分析	294
7.3.4	检验 S 参数质量	300
7.3.5	S 参数的使用	305
7.3.6	高速差分串行信号的仿真需求	306
7.3.7	IBIS-AMI 模型介绍	308
7.3.8	HyperLynx AMI Wizard 通道仿真分析	310
7.3.9	6Gbps, 12Gbps! 然后	313
7.4	抖动 (Jitter)	314
7.4.1	认识抖动 (Jitter)	315
7.4.2	实时抖动分析	316
7.4.3	抖动各分量的典型特征	318

第 5 篇 结束与思考篇

第 8 章	实战后的思考	324
	术语和缩略词	329

第 1 篇

基础理论篇

第 1 章 高速系统设计简介

第 2 章 高速系统设计理论基础

第 3 章 信号/电源完整性



第 1 章 高速系统设计简介

1.1 PCB 设计技术回顾

1981 年 8 月 12 日, IBM 正式发布了历史上第一台个人电脑, 自此之后, 个人电脑融入了人们生活和工作的各个角落, 人类从此进入了个人电脑时代。个人电脑的出现, 不仅仅促进了电子产品在消费领域的发展, 同时也极大地促进了电子产品设计技术本身的发展。电子设计技术也从此走向自动化和集成化。

电子系统设计使用的是印制电路, 即在绝缘基材上, 按预定设计, 制成印制线路、印制元件及由两者结合而成的导电图形, 然后经过腐蚀液的腐蚀, 保留下需要的导电图形, 形成最终的印制电路板。在早期的设计中, 这个过程基本上都是由设计者手工完成的, 只有很少的大型企业才使用自动化辅助工具。20 世纪 80 年代中期, 随着计算机的发展应用进入各个领域, 1988 年由美国 ACCEL Technologies 公司推出了第一个应用于电子线路设计的软件包——TANGO, 开创了电子设计自动化、EDA 工具的先河。虽然这个软件包现在看来比较简陋, 但在当时给电子线路设计带来了设计方法和方式的革命, 人们纷纷开始用计算机来设计电子线路, 直到今天许多资深的电子工程师, 还在怀念使用这个软件包的经历。

随着人们的需求, 电子技术和工艺水平的提高和发展, TANGO 渐渐地不能满足稍微复杂的设计的需求, 在这种背景下, Protel Technology (现更名为 Altium) 公司以其强大的研发能力推出了 Protel For DOS 作为 TANGO 的升级版本, 从此 Protel 在业内开始流行, 并随着 Windows 系统的日益普及, Protel 适应时代和技术的发展变化需求, 不断推出 Protel 的各种 Windows 版本, 这些版本为用户设计电子线路带来了很大的方便。随后在 20 世纪 90 年代末, Protel 公司相继推出了全新的 Protel98 和 Protel99, 以其出众的易用性和良好的人机交互性获得了业内人士的一致好评, 并取得了 EDA 行业的绝对优势。

在这个阶段, 电子工程师们几乎把他们的精力全部放在了如何保证系统的正常工作(当然了, 这也是一贯的要求)。然而, 这里所说的保证系统正常工作的“唯一”条件就是原理图设计的正确性。只要保证了这一点, 基本上就能设计出一个正常工作的电子系统。这也就隐含了一个事实, 即只要原理图正确, 按照原理图要求的连接性进行物理连接, 就能保证设计出一个正常工作的电子系统, 基

基本上不用考虑电子系统中器件之间的布局 and 连接性的拓扑结构。看起来，电子设计工程师的工作已经很完美了，在强大的 EDA 工具的支持下，我们仔细地设计原理图，就能完成我们的工作了。然而，事实却从 1993 年开始发生了变化。

1.2 什么是“高速”系统设计

1993 年，对于所有的电子工程师来讲，应该是另一个值得纪念的时代。

1991 年，Intel 公司联合多家公司成立了 PCISIG 协会，致力于促进 PCI 局部总线工业标准的建立和发展。1992 年，PCISIG 发布了 PCI 局部总线规范 1.0 版，1993 年发布了 PCI 局部总线规范 2.0 版。PCI 局部总线的诞生和发展是技术发展和应用的需要，被称为第二代总线。它不同于第一代系统总线，如 ISA，EISA，VESA 总线的频率是和 CPU 保持一致的，这也就大大限制了系统的性能和系统扩展性。PCI 总线之所以被称为局部总线，就是由于它的总线频率可以独立于 CPU 主频，使得 CPU 可以脱离外设的性能限制，更高效地运行。PCI 局部总线的应用，可以在 33MHz 主频和 32 位数据通路的条件下达到峰值 132Mbps 的带宽，在 66MHz 主频和 64 位数据通路的条件下则达到 528Mbps。PCI 局部总线的设计是独立于处理器的，虽然它是由 Intel 公司提出的，但不局限于 Intel 系列的处理器，当今流行的其他处理器系列，如 Alpha，PowerPC，SPARC 及多处理器结构的下一代处理器都可以使用 PCI 局部总线。1993 年以来，由于 PCI 总线在高性能、低成本和开放性等方面的优势，大大地激发了制造商和用户的兴趣，使 PCI 总线架构得到迅速普及和发展。

言归正传，之所以在这里再次介绍 PCI 总线的发展过程，还有一个重要原因是 PCI 总线不仅在系统架构上不同于传统的第一代系统总线，它的电气物理层也完全不同于前一代总线的传输特性。为了适应多负载的外设总线要求，PCI 在电气物理层上采用反射传输机制，也即在总线的设计中故意采用由于阻抗不匹配而造成的信号反射传输方式。如图 1-1 所示，*A* 和 *B* 两时刻都是安全的采样时间点，然而在信号电平进行转换的 *C* 时间范围内，PCI 信号正处于反射叠加过程，在这个时间内，是不能对信号进行正确采样的。因此，我们会在 PCI 的总线设计规范中看到这样明确的具体要求：PCI 的时钟信号线长度必须保持在 $2500 \pm 200\text{mil}$ 的范围之内。

PCI 信号的反射传输机制的引入对电子工程师来讲可以说具有划时代的意义，那种点到点连接即能工作的电子系统设计时代从此不再存在，PCI 总线广泛应用使得人们在电子系统设计中第一次开始注意到信号完整性（Signal Integrity, SI）这个概念。