

EDA技术与应用

——基于Quartus II和VHDL

刘昌华 编著

EDA TECHNOLOGY
AND APPLICATIONS
— BASED ON
THE QUARTUS II AND VHDL



北京航空航天大学出版社
BEIHANG UNIVERSITY PRESS

EDA 技术与应用

——基于 Quartus II 和 VHDL

刘昌华 编著

北京航空航天大学出版社

内 容 简 介

本书从教学和工程应用的角度出发,以培养实际工程设计能力为目的,介绍了 EDA 技术的基本概念、可编程逻辑器件、硬件描述语言,以及 Quartus II 9.0、SOPC Builder、Nios II 等 EDA 开发工具的基本使用方法和技巧,最后介绍了常用逻辑单元电路的 VHDL 编程技术,并通过大量设计实例详细地介绍了基于 EDA 技术的层次化设计方法,重点介绍了可以综合为硬件电路的语法结构、语句与建模方法。书中列举的设计实例都经由 Quartus II 9.0 工具编译通过,并在 DE2-70 开发平台和 GW48EDA 实验系统上通过了硬件测试,可直接使用。

本书可作为高等院校电子、通信、自动化及计算机等专业 EDA 应用技术的教学用书,也可用于大学高年级本科生、研究生教学及电子设计工程师技术培训,也可作为 EDA 技术爱好者的参考用书。

图书在版编目(CIP)数据

EDA 技术与应用:基于 Quartus II 和 VHDL / 刘昌华
编著. — 北京:北京航空航天大学出版社,2012.8
ISBN 978-7-5124-0820-3

I. ①E… II. ①刘… III. ①电子电路—电路设计—
计算机辅助设计 IV. ①TN702

中国版本图书馆 CIP 数据核字(2012)第 098930 号

版权所有,侵权必究。

EDA 技术与应用——基于 Quartus II 和 VHDL

刘昌华 编著

责任编辑 刘 星

*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(邮编 100191) <http://www.buaapress.com.cn>

发行部电话:(010)82317024 传真:(010)82312802

读者信箱:emsbook@gmail.com 邮购电话:(010)82316936

涿州市新华印刷有限公司印装 各地书店经销

*

开本:710×1 000 1/16 印张:21.5 字数:458 千字

2012 年 8 月第 1 版 2012 年 8 月第 1 次印刷 印数:4 000 册

ISBN 978-7-5124-0820-3 定价:45.00 元



若本书有倒页、脱页、缺页等印装质量问题,请与本社发行部联系调换。联系电话:(010)82317024

前 言

现代电子产品正在以前所未有的革新速度,向功能多样化、体积最小化、功耗最低化的方向迅速发展。它与传统电子产品在设计上的显著区别之一就是大量使用大规模可编程逻辑器件,以提高产品性能、缩小产品体积、降低产品价格;另一区别就是广泛使用计算机技术,以提高电子设计自动化程度、缩短开发周期、提高产品竞争力。EDA 技术正是为适应现代电子产品设计要求,吸引多学科最新成果而形成的一门新技术。

在全面推进素质教育的形势下,为培养出面向 21 世纪的高素质大学生,现代高等学校的重点任务将是把学生的“潜力”转化为“能力”,培养学生的创新意识。因此,数字电路的研究和实现方法应随之发生变化,从而促使数字电路的实验方法和实验手段进行不断的更新、完善和开拓。基于 EDA 软件来进行数字电路的设计、模拟和调试,这种硬件软化的实验方法具有容易设计、容易修改和容易实现等优点,可有效提高实验效率。对于 EDA 软件的学习,只需要提供一个环境和一本指导书,剩下的就是学生自己的事了。因此,如何提供一本好的 EDA 技术指导书和教学参考资料正是作者编写此书的目的。

本书的特点是以数字电路和系统设计为主线,结合丰富的实例按照由浅入深的学习规律,循序渐进,逐步引入相关 EDA 技术和工具,通俗易懂,重点突出。本书适合作为 EDA 技术、数字逻辑基础设计、课程设计、大学生科研训练和电子设计大赛的教材和指导书,也可用于大学高年级本科生、研究生教学及电子设计工程师技术培训,同时可供从事数字电路和系统设计的电子工程师参考。

本书共分为 6 章。第 1 章介绍了 EDA 技术的发展,EDA 设计流程及其涉及的领域与发展趋势,互联网上的 EDA 资源;第 2 章介绍了 PROM、PLA、PAL、GAL、CPLD、FPGA 等各种可编程逻辑器件的电路结构、工作原理、使用方法和可编程逻辑器件的未来发展方向;第 3 章介绍了 Quartus II 设计流程和设计方法,重点介绍了原理图输入文本输入设计流程,定制元件工具 MegaWizard 管理器的使用,Signal-Tap II Logic Analyzer(逻辑分析仪)的使用,并给出了相关的习题与实验供读者练习以加深理解;第 4 章以实例形式介绍了 VHDL 语言基础知识与设计方法;第 5 章介绍了 Nios II 处理器系统的基本结构,SOPC 技术的基本概念,Nios II 软核处理器,Avalon 总线架构以及图形化 SOPC 工具 SOPC Builder;第 6 章通过 VHDL 实现的

设计实例,进一步介绍了 EDA 技术在组合逻辑、时序逻辑、状态机设计和存储器设计方面的应用,并给出了相关习题与设计型和研究型实验供读者练习以加深理解。

本书的思路是作者在多年从事“EDA 技术”课程教学及 EDA 工程实践基础上摸索出来的,也是湖北省教育厅教学研究项目“网络应用型创新人才自主探究式培养模式的研究与实践(2009265)”和武汉工业学院校立重点教研项目(XZ2009004)的研究成果之一。

本书由刘昌华主编,参与编写工作的还有李军锋、蒋丽华、李诗高、丰洪才、张红武、夏详胜、马杰等老师。研究生助教丁国栋、王刚、程亚丽、任秀卿等也参加了代码验证、部分章节及 PPT 课件的编写工作。在编写本书的过程中,参考了许多同行专家的专著和文章,武汉工业学院 Altera 公司 EDA / SOPC 联合实验室和武汉工业学院数学与计算机学院“嵌入式技术”研究组的全体老师均提出了许多珍贵意见,并给予了大力支持和鼓励,也得到了相关 EDA 实验系统供应商的大力支持和配合,在此一并表示感谢。

由于作者水平有限,书中难免会有许多不足和错误,敬请各位专家批评指正。有关本书相关问题请通过网站 <http://szlj.whpu.edu.cn> 或电子邮件 liuch@whpu.edu.cn 与作者联系。

刘昌华

2012 年 4 月于武汉

本书还配有教学课件。需要用于教学的教师,请与北京航空航天大学出版社联系。

通信地址:北京海淀区学院路 37 号北京航空航天大学出版社嵌入式系统事业部

邮 编:100191

电 话:010-82317035

传 真:010-82328026

E-mail:emsbook@gmail.com

目 录

第 1 章 EDA 概述	1
1.1 EDA 技术及其发展	1
1.1.1 EDA 技术的发展历程	1
1.1.2 EDA 技术的主要内容	3
1.1.3 EDA 技术的发展趋势	3
1.2 硬件描述语言	4
1.2.1 硬件描述语言的起源	5
1.2.2 HDL 语言的特征	6
1.3 EDA 技术的层次化设计方法与流程	7
1.3.1 EDA 技术的层次化设计方法	7
1.3.2 EDA 技术的设计流程	9
1.4 EDA 工具软件简介	13
1.4.1 MAX+plus II	13
1.4.2 Quartus II	14
1.4.3 其他仿真软件	15
1.5 IP 核	16
1.6 互联网上的 EDA 资源	18
第 2 章 可编程逻辑器件	20
2.1 可编程逻辑器件的发展历程及特点	20
2.1.1 可编程逻辑器件的发展历程	20
2.1.2 可编程逻辑器件的特点	21
2.2 可编程逻辑器件分类	22
2.2.1 按集成度分	22
2.2.2 按编程特性分	23
2.2.3 按结构分	24
2.3 简单 PLD	24
2.3.1 PLD 中阵列的表示方法	24
2.3.2 PROM	26
2.3.3 PLA 器件	27
2.3.4 PAL 器件	28
2.3.5 GAL 器件	29

2.4	CPLD	30
2.4.1	传统 CPLD 的基本结构	30
2.4.2	最新 CPLD 的基本结构	32
2.5	FPGA	33
2.5.1	传统 FPGA 的基本结构	33
2.5.2	最新 FPGA 的基本结构	35
2.6	可编程逻辑器件的发展趋势	36
2.6.1	先进工艺	36
2.6.2	处理器内核	38
2.6.3	硬核与结构化 ASIC	39
2.6.4	低成本器件	40
第 3 章	Quartus II 开发系统	43
3.1	Quartus II 简介	43
3.1.1	Quartus II 9.0 的特点	43
3.1.2	Quartus II 系统安装许可与技术支持	44
3.1.3	Quartus II 设计流程	45
3.2	Quartus II 9.0 设计入门	55
3.2.1	启动 Quartus II 9.0	55
3.2.2	设计输入	60
3.2.3	编译综合	66
3.2.4	仿真测试	67
3.2.5	硬件测试	71
3.3	基于原理图输入的 Quartus II 设计	74
3.4	基于文本输入的 Quartus II 设计	81
3.5	基于 LPM 可定制宏功能模块的 Quartus II 设计	86
3.6	基于混合输入方式的 Quartus II 设计	97
3.7	嵌入式逻辑分析仪的使用	100
3.7.1	Quartus II 的 SignalTap II 原理	101
3.7.2	SignalTap II 使用流程	101
3.7.3	在设计中嵌入 SignalTap II 逻辑分析仪	102
3.8	实 验	109
3.8.1	实验 3-1 Quartus II 原理图输入设计法	109
3.8.2	实验 3-2 4-16 线译码器的 EDA 设计	110
3.8.3	实验 3-3 基于 MSI 芯片设计计数器	111
3.8.4	实验 3-4 LPM 宏功能模块使用	112
3.8.5	实验 3-5 Quartus II 设计正弦信号发生器	115

第 4 章 VHDL 设计基础	121
4.1 VHDL 的基本组成	121
4.1.1 实 体	122
4.1.2 构造体	125
4.1.3 程序包	129
4.1.4 库	130
4.1.5 配 置	132
4.2 VHDL 语言的基本要素	135
4.2.1 VHDL 语言的标识符	135
4.2.2 VHDL 语言的客体	136
4.2.3 VHDL 语言的数据类型	138
4.2.4 VHDL 语言的运算操作符	145
4.3 VHDL 语言的基本语句	147
4.3.1 顺序描述语句	147
4.3.2 并行语句	156
4.4 实 验	167
4.4.1 实验 4-1 应用 VHDL 完成简单组合电路设计	167
4.4.2 实验 4-2 算术加法运算电路的 VHDL 设计	169
4.4.3 实验 4-3 应用 VHDL 完成简单时序电路设计	171
4.4.4 实验 4-4 设计 VHDL 加法计数器	173
4.4.5 实验 4-5 设计移位运算器	175
第 5 章 基于 Nios II 的 SOPC 软硬件设计	183
5.1 Nios II 处理器系统	183
5.1.1 Nios II 嵌入式处理器简介	183
5.1.2 Nios II 处理器结构	185
5.1.3 Nios II 处理器运行模式	186
5.1.4 寄存器文件	186
5.1.5 算术逻辑单元 ALU	187
5.1.6 异常和中断控制	188
5.1.7 存储器与 I/O 组织	189
5.2 Avalon 交换结构总线	191
5.2.1 Avalon 总线基本概念	191
5.2.2 Avalon 总线特点	194
5.2.3 Avalon 总线为外设提供的服务	194
5.2.4 Avalon 总线传输模式	195
5.3 SOPC 技术简介	195

5.3.1	SOPC 概念	195
5.3.2	SOPC 设计流程	196
5.4	基于 Nios II 的 SOPC 开发实例	205
5.4.1	硬件部分	205
5.4.2	软件部分	213
5.5	实 验	219
5.5.1	实验 5-1 LCD 显示实验	219
5.5.2	实验 5-2 按键控制数码管递增实验	223
5.5.3	实验 5-3 自定义 PWM 组件实验	226
第 6 章	EDA 技术的应用	246
6.1	组合逻辑电路的设计应用	246
6.1.1	编码器设计	246
6.1.2	译码器的设计	248
6.1.3	多路选择器的设计	251
6.1.4	加法器设计	253
6.1.5	数值比较器	258
6.1.6	算术逻辑运算器	259
6.2	时序逻辑电路的设计应用	262
6.2.1	触发器	262
6.2.2	锁存器和寄存器	266
6.2.3	计数器	271
6.3	状态机的设计	279
6.3.1	有限状态机的 VHDL 建模	280
6.3.2	Moore 状态机 VHDL 设计	285
6.3.3	Mealy 状态机 VHDL 设计	287
6.4	存储器的设计	288
6.4.1	ROM 的设计	289
6.4.2	RAM 的设计	290
6.4.3	FIFO 的设计	291
6.5	EDA 综合设计	293
6.5.1	简易数字钟的设计	293
6.5.2	出租车自动计费器 EDA 设计	297
6.5.3	数字密码锁 EDA 设计	304
附录 1	DE2-70 实验板引脚配置信息	316
附录 1-1	时钟信号引脚配置信息	316
附录 1-2	拨动开关引脚配置信息(上位高电平,下位低电平)	316

附录 1-3 按钮开关引脚配置(弹跳开关,可作手动时钟,按下为低电平)	316
附录 1-4 LED 引脚配置(LED _R 为红色,LED _G 为绿色)	317
附录 1-5 7 段共阳极数码管引脚配置	317
附录 1-6 LCD 模块引脚配置	319
附录 1-7 ADV7123 引脚配置信息	319
附录 1-8 音频编解码芯片引脚配置	320
附录 1-9 RS-232 引脚配置	320
附录 1-10 PS/2 引脚配置	321
附录 1-11 以太网芯片引脚配置	321
附录 1-12 TV 解码芯片引脚配置	321
附录 1-13 I2C bus 引脚配置	322
附录 1-14 红外线接收器 IR 引脚配置	322
附录 1-15 USB (ISP1362)引脚配置	322
附录 1-16 SRAM 引脚配置	323
附录 1-17 DRAM 引脚配置	325
附录 1-18 Flash 引脚配置	327
附录 1-19 SD 卡插槽引脚配置	328
附录 1-20 GPIO 引脚配置信息	328
附录 2 GW48EDA 系统使用说明	330
参考文献	334

第 1 章

EDA 概述



本章导读

本章主要介绍 EDA 技术及其发展,硬件描述语言 HDL,EDA 技术的层次化设计方法与流程,EDA 软件,IP 核以及互联网上的 EDA 资源。



学习目标

通过对本章内容的学习,学生应该能够做到:

- 了解:EDA 技术的主要内容,EDA 工具各模块的主要功能
- 理解:EDA 技术的层次化设计方法与流程
- 应用:掌握 EDA 技术的设计流程

1.1 EDA 技术及其发展

二十世纪后半期,随着集成电路和计算机的不断发展,电子技术面临着严峻的挑战。由于电子技术发展周期不断缩短,专用集成电路 ASIC(Application Specific Integrated Circuit)的设计面临着难度不断提高与设计周期不断缩短的矛盾。为了解决这个问题,要求我们必须采用新的设计方法和使用高层次的设计工具。在此情况下,EDA(Electronic Design Automation,电子设计自动化)技术应运而生。

1.1.1 EDA 技术的发展历程

EDA 技术是以计算机为工作平台,以 EDA 软件工具为开发环境,以硬件描述语言为设计语言,以可编程逻辑器件为实验载体,以 ASIC、SoC(System on Chip)芯片为目标器件,以数字系统设计为应用方向的电子产品自动化设计过程。

随着现代半导体的精密加工技术发展深亚微米($0.18 \sim 0.35 \mu\text{m}$)阶段,基于大规模或超大规模集成电路技术的定制或半定制 ASIC 器件大量涌现并获得广泛的应用,使整个电子技术与产品的面貌发生了深刻的变化,极大地推动了社会信息化的

发展进程。而支撑这一发展进程的主要基础之一,就是 EDA 技术。

EDA 技术在硬件方面融合了大规模集成电路制造技术、IC 版图设计技术、ASIC 测试和封装技术、CPLD/FPGA 技术等;在计算机辅助工程方面融合了计算机辅助设计 CAD、计算机辅助制造 CAM、计算机辅助测试 CAT 技术及多种计算机语言的设计概念;而在现代电子学方面则容纳了更多的内容,如数字电路设计理论、数字信号处理技术、系统建模和优化技术等。因此,EDA 技术为现代数字系统理论和设计的表达与应用提供了可能性,它已不是某一学科的分支,而是一门综合性学科。EDA 技术打破了计算机软件与硬件间的壁垒,使计算机的软件技术与硬件实现、设计效率和产品性能互相融合,它代表了数字电子设计技术和应用技术的发展方向。

EDA 技术伴随着计算机、集成电路、电子系统设计的发展,经历了三个发展阶段。

1. CAD(Computer Aided Design)阶段

20 世纪 70 年代发展起来的 CAD 阶段是 EDA 技术发展的早期阶段。这一阶段在集成电路制作方面,MOS 工艺得到广泛应用。可编程逻辑技术及其器件已经问世,计算机作为一种运算工具已在科研领域得到广泛应用。人们借助于计算机,在计算机上进行电路图的输入、存储及 PCB 版图设计,从而使人们摆脱了用手工进行电子设计时的大量繁难、重复、单调的计算与绘图工作,并逐步取代人工进行电子系统的设计、分析与仿真。

2. CAE(Computer Aided Engineering)阶段

计算机辅助工程(CAE),是在 CAD 工具逐步完善的基础上发展起来的,在 20 世纪 80 年代开始应用。此时,集成电路设计技术进入了 CMOS(互补场效应管)时代,复杂可编程逻辑器件已进入商业应用,相应的辅助设计软件也已投入使用。

在这一阶段,人们已将各种电子线路设计工具(如电路图输入、编译与链接、逻辑模拟、仿真分析、版图自动生成及各种单元库)都集成在一个 CAE 系统中,以实现电子系统或芯片从原理图输入到版图设计输出的全程设计自动化。利用现代的 CAE 系统,设计人员进行系统设计的时候,已可以把反映系统互连线路对系统性能的影响因素,如板级电磁兼容、板级引线走向等影响物理设计的制约条件,一并考虑进去,使电子系统的设计与开发工作更贴近产品实际,更加自动化、更加方便和稳定可靠。

3. EDA(Electronics Design Automation)阶段

20 世纪 90 年代后期,出现了以硬件描述语言、系统级仿真和综合技术为特征的 EDA 技术。随着硬件描述语言 HDL 的标准化得到进一步的确立,计算机辅助工程、辅助分析、辅助设计在电子技术领域获得更加广泛的应用,与此同时,电子技术在通信、计算机及家电产品生产中的市场和技术需求,极大地推动了全新的电子自动化技术的应用和发展。在这一阶段,电路设计者只需要完成对系统功能的描述,就可以由计算机软件进行系列处理,最后得到设计结果,并且修改设计如同修改软件一样方

便,利用 EDA 工具可以极大地提高设计效率。

这时的 EDA 工具不仅具有电子系统设计的能力,而且能提供独立于工艺和厂家的系统级设计能力,具有高级抽象的设计构思手段。因此,可以说 20 世纪 90 年代 EDA 技术是电子电路设计的革命。

1.1.2 EDA 技术的主要内容

EDA 技术涉及面广,内容丰富,从教学和实用的角度看,主要有以下四个方面内容:一是大规模可编程逻辑器件;二是硬件描述语言;三是软件开发工具;四是实验开发系统。大规模可编程逻辑器件是利用 EDA 技术进行电子系统设计的载体;硬件描述语言是利用 EDA 技术进行电子系统设计的主要表达手段;软件开发工具是利用 EDA 技术进行电子系统设计的智能化、自动化设计工具;实验开发系统是利用 EDA 技术进行电子系统设计的下载工具及硬件验证工具。利用 EDA 技术进行数字系统设计,具有以下一些特点。

① 全程自动化:用软件方式设计的系统到硬件的转换,是由开发软件自动完成的。

② 工具集成化:具有开放式的设计环境,这种环境也称为框架结构(Framework),它在 EDA 系统中负责协调设计过程和管理设计数据,实现数据与工具的双向流动。它的优点是可以将不同公司的软件工具集成到统一的计算机平台上,使之成为一个完整的 EDA 系统。

③ 操作智能化:使设计人员不必学习许多深入的专业知识,也可免除许多推导运算即可获得优化的设计成果。

④ 执行并行化:由于多种工具采用了统一的数据库,使得一个软件的执行结果马上可被另一个软件所使用,使得原来要串行的设计步骤变成了同时并行过程,也称为“同时工程(Concurrent Engineering)”。

⑤ 成果规范化:都采用硬件描述语言,它是 EDA 系统的一种设计输入模式,可以支持从数字系统级到门级的多层次的硬件描述。

1.1.3 EDA 技术的发展趋势

EDA 技术在进入 21 世纪后,得到了更大的发展,突出表现在以下几个方面:

① 使电子设计成果以自主知识产权的方式得以明确表达和确认成为可能。

② 使仿真和设计两方面支持标准硬件描述语言,功能强大的 EDA 软件不断推出。

③ 电子技术全方位纳入 EDA 领域,除了日益成熟的数字技术外,传统的电路系统设计建模理念也发生了重大的变化,如软件无线电技术的崛起,模拟电路系统硬件描述语言的表达和设计的标准化,系统可编程模拟器件的出现,数字信号处理和图像处理的全硬件实现方案的普遍接受,软、硬件技术的进一步融合等。

④ EDA 使得电子领域各学科的界限更加模糊,更加互为包容:模拟与数字、软

件与硬件、系统与器件、专用集成电路 ASIC 与 FPGA、行为与结构等的界限更加模糊,更加互为包容。

⑤ 更大规模的 FPGA 和 CPLD(Complex Programmable Logic Device)器件的不断推出。

⑥ 基于 EDA 工具的 ASIC 设计标准单元已涵盖大规模电子系统及 IP 核模块。

⑦ 软件 IP 核在电子产业的产业领域、技术领域和设计应用领域得到进一步确认。

⑧ 单片电子系统(system on a circuit)高效、低成本设计技术的成熟。

总之,随着系统开发对 EDA 技术的目标器件的各种性能要求的提高,ASIC 和 FPGA 将更大程度上相互融合。这是因为虽然标准逻辑器件 ASIC 芯片尺寸小、功能强大、功耗低,但设计复杂,并且有批量生产要求;可编程逻辑器件开发费用低,能在现场进行编程,但却体积大、功能有限,而且功耗较高。因此,FPGA 和 ASIC 正在走到一起,互相融合,取长补短。由于一些 ASIC 制造商提供具有可编程逻辑的标准单元,可编程器件制造商重新对标准逻辑单元发生兴趣,而有些公司采取两头并进的方法,从而使市场开始发生变化,在 FPGA 和 ASIC 之间正在诞生一种“杂交”产品,以满足成本和上市速度的要求。例如将可编程逻辑器件嵌入标准单元。

现今也在进行将 ASIC 嵌入可编程逻辑单元的工作。目前,许多 PLD 公司开始为 ASIC 提供 FPGA 内核,PLD 厂商与 ASIC 制造商结盟,为 SoC 设计提供嵌入式 FPGA 模块,使未来的 ASIC 供应商有机会更快地进入市场,利用嵌入式内核获得更长的市场生命期。传统 ASIC 和 FPGA 之间的界限正变得模糊。系统级芯片不仅集成 RAM 和微处理器,也集成 FPGA,整个 EDA 和 IC 设计工业都朝这个方向发展。

1.2 硬件描述语言

硬件描述语言 HDL(Hardware Description Language)是硬件设计人员和电子设计自动化工具(EDA)之间的界面。其主要目的是用来编写设计文件,建立电子系统行为级的仿真模型,即利用计算机的巨大运算能力对用 HDL 建模的复杂数字逻辑进行仿真,然后再自动综合以生成符合要求且在电路结构上可以实现的数字逻辑网表(Netlist)。根据网表和某种工艺自动生成具体电路,然后生成该工艺条件下具体电路的延时模型,经仿真验证无误后用于制造 ASIC 芯片或写入 FPGA 器件中。

在 EDA 技术领域中,把用 HDL 语言建立的数字模型称为软核(Soft Core),把用 HDL 建模和综合后生成的网表称为固核(Hard Core),对这些模块的重复利用缩短了开发时间、提高了产品开发率、提高了设计效率。

随着 PC 平台上 EDA 工具的发展,PC 平台上的 HDL 仿真综合性能已相当优

越,这就为大规模普及这种新技术铺平了道路。随着电子系统向集成化、大规模、高速度的方向发展,HDL 语言将成为电子系统硬件设计人员必须掌握的语言。

1.2.1 硬件描述语言的起源

硬件描述语言种类很多,有的从 PASCAL 发展而来,也有一些从 C 语言发展而来。有些 HDL 成为 IEEE 标准,但大部分是本企业标准。在 HDL 形成发展之前,已有了许多程序设计语言,如汇编、C、PASCAL、FORTRAN、PROLOG 等。这些语言运行在不同硬件平台、不同的操作环境中,它们适合于描述过程和算法,不适合作硬件描述。CAD 的出现,使人们可以利用计算机进行建筑、服装等行业的辅助设计,而电子辅助设计也同步发展起来。在利用 EDA 工具进行电子设计时,用逻辑图、分立电子元件来设计越来越复杂的电子系统已不适应。任何一种 EDA 工具,都需要一种硬件描述语言来作为 EDA 工具的工作语言。这些众多的 EDA 工具软件开发,各自推出了自己的 HDL 语言。在我国比较有影响的硬件描述语言有:ABEL-HDL 语言、Verilog HDL 语言、AHDL 语言和 VHDL 语言,表 1-1 给出了常见 HDL 语言的主要特点和常用 EDA 平台列表。

表 1-1 常见 HDL 语言的主要特点和常用 EDA 平台列表

HDL 语言	主要特点	常用 EDA 平台	适用范围
ABEL-HDL	早期的硬件描述语言,支持逻辑电路的逻辑方程、真值表和状态图	Lattice;PDS,DATAIO;Synario Xilinx;FOUNDATIONWEBPACK	PAL、GAL、CPLD
Verilog HDL	基于 C 语言的 HDL,易学易用	Altera;MAX+plus II/Quartus II Xilinx;FOUNDATION,ISE Mode Technology;Model/sim	ASIC,IP Core 适合于 RTL 级和门级细节
AHDL	一种模块化的高级语言,是 Altera 公司发明的 HDL,适于描述复杂的组合逻辑、组运算、状态机、真值表和参数化逻辑	Altera;MAX+plus II/Quartus II	Altera 公司的 CPLD/FPGA
VHDL	源于美国国防部提出的超高速集成电路计划,是 ASIC/PLD 设计的标准化硬件描述语言	Altera;MAX+plus II/Quartus II Xilinx; FOUNDATION, Mode Technology;Model/sim	全部,适合行为级,RTL 级和门级
System C	基于 C/C++ 的 HDL,解决了硬件和软件设计长期分家的局面,能在系统级、门级、RTL 级各个层次上进入硬件的模型设计和软件概念设计,能用共同的语言设计硬件和软件	C、C++、Matlab	系统级/算法级和功能级设计

Verilog HDL 语言是在 1983 年由 GDA(GateWay Design Automation)公司开发的,1989 年 CDS(Cadence Design System)公司收购了 GDA 公司, Verilog HDL 语言成为 CDS 公司的私有财产,1990 年 CDS 公司公开了 Verilog HDL 语言,成立了 OVI(Open Verilog Internation)组织来负责的 Verilog HDL。IEEE 于 1995 年制定了 Verilog HDL 的 IEEE 标准,即 Verilog HDL 1364—1995。Verilog HDL 的增强版本于 2001 年批准为 IEEE 标准,即 Verilog HDL 1364—2001。Verilog HDL 最初是想用来做数字电路仿真和验证的,后来添加了逻辑电路综合能力。

VHDL(Very high speed integrated Hardware Description Language)语言是超高速集成电路硬件描述语言,在 20 世纪 80 年代后期由美国国防部开发的,并于 1987 年 12 月由 IEEE 标准化(定为 IEEE 1076—1987 标准),之后 IEEE 又对 87 版本进行了修订,于 1993 年推出了较为完善的 93 版本(被定为 ANSI/IEEE 1076—1993 标准),使 VHDL 的功能更强大,使用更方便,2008 年又推出了 IEEE 1076—2008 标准。

1.2.2 HDL 语言的特征

HDL 语言既包含一些高级程序设计语言的结构形式,同时也兼顾描述硬件线路连接的具体构件,通过使用结构级或行为级描述可以在不同的抽象层次描述设计语言,采用自顶向下的数字电路设计方法,主要包括三个领域五个抽象层次,如表 1-2 所列。

表 1-2 HDL 抽象层次描述表

抽象层次	行为领域	结构领域	物理领域
系统级	性能描述	部件及它们之间的逻辑连接方式	芯片、模块、电路板和物理划分的子系统
算法级	I/O 应答算法级	硬件模块数据结构	部件之间的物理连接、电路板底盘等
寄存器传输级	并行操作、寄存器传输、状态表	算术运算部件、多路选择器、寄存器总线、微定序器、微存储器	芯片、宏单元
逻辑域	用布尔方程叙述	门电路、触发器、锁存器	标准单元布局图
电路级	微分方程表达	晶体管、电阻、电容、电感元件	晶体管布局图

HDL 语言是并发的,即具有在同一时刻执行多任务的能力。一般来讲,编程语言是非并行的,但在实际硬件中许多操作都是在同一时刻发生的,所以 HDL 语言具有并发的特征。HDL 语言还有时序的概念,在硬件电路中从输入到输出总是有延时存在的,为描述这些特征,HDL 语言需要建立时序的概念。因此,使用 HDL 除了可以描述硬件电路的功能外,还可以描述其时序要求。

目前,最主要的硬件描述语言是 VHDL 和 Verilog HDL,均为 IEEE 的技术标准。两种语言的差别并不大,它们的描述能力也是类似的,掌握其中一种语言以后,可以通过短期的学习,较快地学会另一种语言。如果是 ASIC 设计人员,则应掌握 Verilog,因为在 IC 设计领域,90% 以上的公司都采用 Verilog 进行设计。对于 CPLD/FPGA 设计者而言,两种语言可以自由选择。目前,VHDL 已经成为世界上各家 EDA 工具和集成电路厂商普遍认同和共同推广的标准化硬件描述语言。1995 年,我国国家技术监督局制定的《CAD 通用技术规范》推荐 VHDL 作为我国电子设计自动化硬件描述语言的国家标准,本书将选择 VHDL 语言作为 EDA 设计的电路综合语言。

1.3 EDA 技术的层次化设计方法与流程

EDA 技术的出现使数字系统的分析与设计方法发生了根本的变化,采用的基本设计方法主要有三种:直接设计、自顶向下(Top-to-Down)设计、自底向上(Bottom-to-Up)设计。直接设计就是将设计看成一个整体,将其设计成为一个单电路模块,它适合小型简单的设计,而一些功能较复杂的大型数字系统设计适合自顶向下或自底向上的设计方法。自顶向下的设计方法就是从设计的总体要求入手,自顶向下地将设计划分为不同的功能子模块,每个模块完成特定的功能。这种设计方法首先确定顶层模块的设计,再进行子模块的详细设计,而在子模块的设计中可以调用库中已有的模块或设计过程中保留下来的实例。自底向上的设计方法与自顶向下的设计方法恰恰相反。

1.3.1 EDA 技术的层次化设计方法

在 EDA 设计中往往采用层次化的设计方法,分模块、分层次地进行设计描述。描述系统总功能的设计为顶层设计,描述系统中较小单元的设计为底层设计。整个设计过程可理解为从硬件的顶层抽象描述向最底层结构描述的一系列转换过程,直到最后得到可实现的硬件单元描述为止。层次化设计方法比较自由,既可采用自顶向下的设计也可采用自底向上的设计,可在任何层次使用原理图输入和硬件描述语言 HDL 设计。

1. 自底向上设计方法

自底向上设计方法的中心思想是:对整个系统进行测试与分析,各个功能模块连成一个完整的系统,逻辑单元组成各个独立的功能模块,基本门构成各个组合与时序逻辑单元。

自底向上设计方法的特点:从底层逻辑库中直接调用逻辑门单元;符合硬件工程