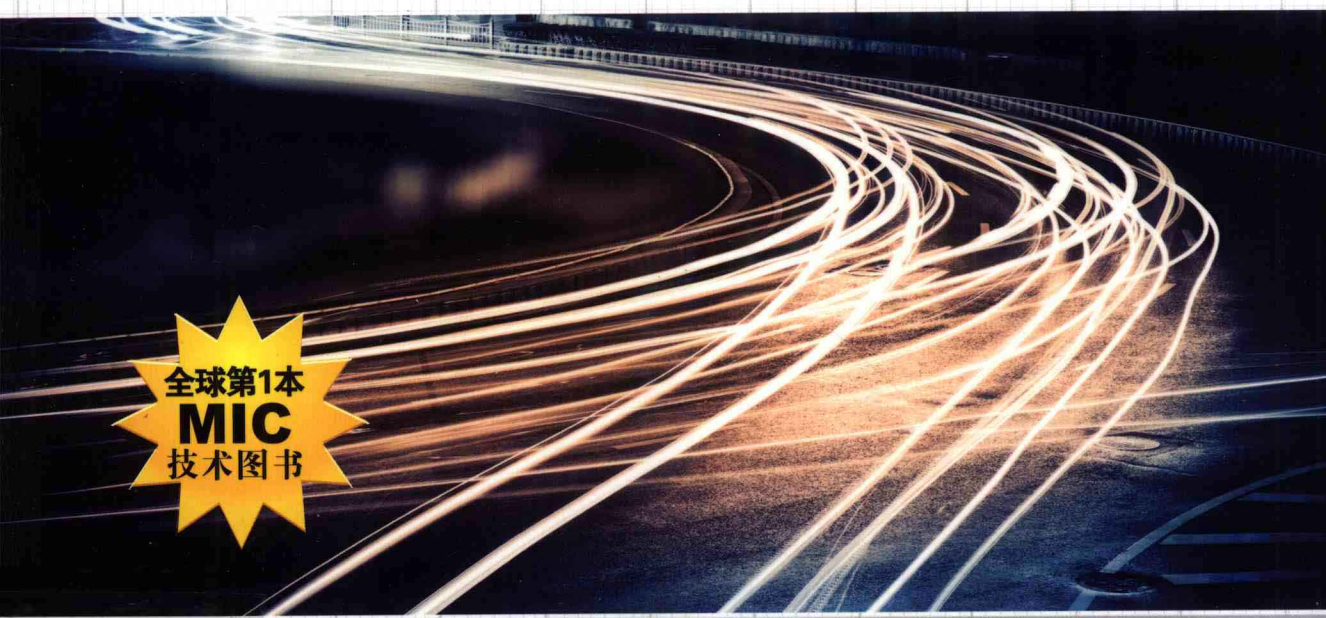
inspur 浪潮 intel

MIC

高性能计算编程指南

王恩东 张清 沈铂 张广勇 卢晓伟 吴庆 王娅娟 编著



中国水利水电出版社
www.waterpub.com.cn

MIC 高性能计算编程指南

王恩东　张清　沈铂　张广勇　卢晓伟　吴庆　王娅娟　编著

中国水利水电出版社
www.waterpub.com.cn

内 容 提 要

本书是全球第一本全面介绍 MIC 软硬件体系架构、应用及编程开发优化的书籍。书中介绍了使用 MIC 进行通用计算所需要了解的硬件架构、语法、程序优化技巧等知识，是进行 MIC 高性能与通用计算程序开发的入门教材和参考书。

本书共分 12 章。第 1 章介绍高性能计算的发展历程；第 2 章深入介绍 MIC 的软硬件架构；第 3 章介绍 MIC 编程环境的搭建；第 4 章引入一个简单的 MIC 实例；第 5 章简要介绍与 MIC 编程相关的 OpenMP 和 MPI 相关知识；第 6 章详细讲解了 MIC 编程的语法；第 7 章介绍 MIC 编程用到的工具软件；第 8 章介绍 MIC 可以使用的数学库及其用法；第 9 章详细讲解如何优化 MIC 程序，从多个方面系统阐述了 MIC 优化的方式和方法；第 10 章通过一个典型的矩阵乘法示例，展示 MIC 优化方法的应用；第 11 章介绍将 MIC 技术应用于工程中的流程和方法；第 12 章引入两个实际工程的例子，讲解如何将 MIC 技术应用于实际生产过程当中。

本书可作为 MIC 的入门学习和编程参考书，主要面向从事高性能计算的程序员与工程师、MIC 加速计算专业领域的科研人员，以及对 MIC 通用计算感兴趣的程序员，也可作为开设相关课程的高等院校与科研机构的教材。

图书在版编目（CIP）数据

MIC高性能计算编程指南 / 王恩东等编著. -- 北京
: 中国水利水电出版社, 2012.11
ISBN 978-7-5170-0338-0

Ⅰ. ①M… Ⅱ. ①王… Ⅲ. ①程序设计 Ⅳ.
①TP311

中国版本图书馆CIP数据核字(2012)第266657号

策划编辑：周春元　　责任编辑：李　炎

书　　名	MIC 高性能计算编程指南
作　　者	王恩东　张清　沈铂　张广勇　卢晓伟　吴庆　王娅娟　编著
出版发行	中国水利水电出版社 （北京市海淀区玉渊潭南路 1 号 D 座　100038） 网址：www.waterpub.com.cn E-mail：mchannel@263.net（万水） sales@waterpub.com.cn 电话：（010）68367658（发行部）、82562819（万水）
经　　售	北京科水图书销售中心（零售） 电话：（010）88383994、63202643、68545874 全国各地新华书店和相关出版物销售网点
排　　版	北京万水电子信息有限公司
印　　刷	北京蓝空印刷厂
规　　格	184mm×240mm　16 开本　20 印张　433 千字
版　　次	2012 年 11 月第 1 版　2012 年 11 月第 1 次印刷
印　　数	0001—4000 册
定　　价	45.00 元

序一

高性能计算（HPC），特别是超级计算机这个分支在计算容量和能力上取得了巨大的发展。这些发展可以归功于若干创新。首先，按照用英特尔公司联合创始人 Gordon Moore 名字命名的家喻户晓的摩尔定律的预测，大约每两年芯片上的半导体晶体管数目会增加一倍。依从摩尔定律，英特尔公司已经持续地实现了在降低晶体管尺寸和功耗的同时不断增大其性能。在此半导体上开展第二个创新，就是一系列不断增强的并行 CPU 微架构，以努力在每一代处理器产品上实现单线程性能和并行性能的完美结合。

HPC 的发展对社会的贡献是巨大的。尽管人们更容易去关注那些巨大的科学成就突破，例如寻找希格斯玻色子，或宇宙膨胀的宇宙学模型，然而现在每个人所能获得的计算能力同样令人印象深刻。一经启动，现在一台基于英特尔至强 E5 处理器家族的双路工作站所交付的性能，大约相当于 15 年前超级计算机 Top500 的第一名的峰值浮点性能 FLOPS。1997 年，当时世界上最快的超级计算机是位于美国桑迪亚国家实验室的“ASCI 红”，是世界上首个突破每秒一万亿次（TeraFLOPS）浮点运算的系统，它采用了 9298 个英特尔奔腾 Pro 处理器，成本约每一万亿次 55,000,000 美元。到 2011 年，每一万亿次（TeraFLOPS）的拥有成本降到了低于 1000 美元。高性能计算确确实实已经为所有人触手可及。

然而，要充分利用系统性能方面的增长，应用本身必须开发微处理器所有的并行特性。最大化应用性能绝不仅仅是写出绝妙的代码。现代并行应用使用了一系列复杂嵌套的并行功能，从处理器内核间的消息通讯，到线程，到在线程上表达数据并行的元素。在英特尔，我们看到了非常多的案例，透过并行优化获得超过十倍速的性能增长。

新的 Intel® Xeon Phi™ 协处理器构建在这些源自英特尔至强处理器的并行编程原则之上。通过集成众多低功耗内核，每一个处理器核具备一个 512 位的 SIMD 处理单元和很多新的向量运算指令，Intel® Xeon Phi™ 协处理器优化了每瓦性能。超过每秒一万亿次的计算能力，Intel® Xeon Phi™ 创造了在一个芯片上的超级计算机。这个崭新的微架构具备突破性的每瓦性能，但也依赖于那些能够充分并行扩展到众多内核、线程和向量的应用程序。英特尔采取了一种崭新的方法来帮助释放这种并行能力。英特尔尽最大可能沿用了我们易于理解的标准编程语言（包括 C、C++和 Fortran），以及现存并行编程标准。当读者和开发人员通过此书学习如何优化使用这些语言，他们不被强迫采用非标准的或是硬件依赖的编程模式。而且，这种基于标准的方法保证了最大的代码重用，并且通过编写可移植、标准化、面向当前和未来的兼容并行代码获得最大的回报。

2011 年，英特尔很高兴同浪潮集团在北京建立了一个并行计算联合实验室。这个新实验室为浪潮集团和一些领先的应用开发人员提供了先期使用 Intel® Xeon 处理器和 Intel® Xeon

Phi™ 协处理器协同开发并行应用的环境。这个实验室的许多学习经验都体现在这本书里。我们希望本书的内容能有助于开发者产生更多的科学发现和创新，帮助这个世界找到更清洁的能源，更准确的天气预报，治愈疾病，建立更安全的货币体系，或是简单地帮助公司将产品和服务更有效地带入市场。

希望你们喜欢本书。这是第一本反映使用 Intel® Xeon Phi™ 协处理器上编程特点的指南。

Rajeeb Hazra, PhD
副总裁，技术计算集团总经理
英特尔公司

序二

人类对计算能力的需求永无止境，高性能计算水平成为世界强国比拼实力的竞赛项目，千万亿次的比赛刚刚落幕，百亿亿次的比赛又拉开帷幕。半导体工艺技术约束了处理器频率的无限增长，多核、众核处理器成为提升计算能力的重要选择。当各种类型的众核处理器粉墨登场时，我们很快发现理论计算峰值尽管得到了很大的提升，但应用软件的兼容性变得糟糕了，应用软件的开发变得复杂了。缺少了应用的高性能计算机成为华而不实的摆设。

2012 年底，英特尔公司推出了基于集成众核架构的至强融核产品。这个产品具有 50 个以上的基于 x86 架构的核心，并集成于一块 PCI Express 接口的卡中。它为至强系列中央处理器提供了有力补充，为用户的高度并行的工作负载带来全新性能体验。该产品编程容易，与传统的程序相比并无明显区别，并且针对至强融核产品编写的代码，可以不加修改地应用于传统基于中央处理器的硬件平台，因而可以充分保护用户的软件投资。至强融核产品可以提供数百个同时运行的硬件线程，因而可以带来极高的并行性，可以充分满足现有应用对高并发度的大量需求。

浪潮-Intel 中国并行计算联合实验室成立于 2011 年 8 月 24 日，该实验室旨在推动中国“百亿亿次”超算系统架构与应用创新，建立高性能计算产业新技术生态环境，加速中国高性能计算进入“百亿亿次”时代。浪潮-Intel 中国并行计算联合实验室的研究创新工作，将对中国未来十年内高性能计算的发展产生积极影响，尤其在全球百亿亿次计算的起步阶段。浪潮-英特尔中国并行计算联合实验室为英特尔至强融核产品的顺利面市做出了很大贡献，并为至强融核产品的普及做出了很大努力。

本书由浪潮-Intel 联合实验室的几位成员共同完成。书中介绍了英特尔至强融核产品的相关知识、使用至强融核进行高性能计算的编程方法、优化使用至强融核程序的方法，以及在实际应用中的两个利用至强融核技术提高性能的成功案例。本书结构清晰、通俗易懂，从编程基础到优化到具体工程开发，表述言简意赅，用简单代码实践阐述理论，并配有大量的图、表、程序片段、完整案例帮助读者理解。本书的几位作者都有丰富的项目经验，因此在讲解语法和优化方法的同时，加入了实战的经验总结，使得本书不仅仅是介绍理论，而且能够与实际生产联系得更加紧密。本书也是全球第一本介绍英特尔集成众核架构的书籍，从侧面体现了几位作者的实力，也说明中国在高性能软件研发领域，积累了一定的成绩。为了让这本书与英特尔至强融核产品同步发布，几位作者以及浪潮-Intel 联合实验室的其他成员付出了巨大的努力，在此我也谨表谢意。

祝愿诸位读者在阅读本书后能够快速掌握英特尔至强融核的使用方法，并通过使用至强融核产品为各自领域的高性能计算应用做出成绩。浪潮集团愿与英特尔公司一道，为高性能产业奉献自己的一份力量。

王恩东

高效能服务器和存储技术国家重点实验室主任

浪潮-Intel 中国并行计算联合实验室主任

前　言

高性能计算是信息领域的前沿高新技术，在保障国家安全、推动国防科技进步、促进尖端武器发展方面具有直接推动作用，是衡量一个国家综合实力的重要标志之一。随着信息化社会的飞速发展，人类对信息处理能力的要求越来越高，不仅石油勘探、气象预报、航天国防、科学研究等需求高性能计算，而且金融、政府、教育、企业、网络游戏等更广泛的领域对高性能计算的需求也在迅猛增长，百亿亿次计算（Exascale）已提上研究日程，人们正期待着未来采用百亿亿次计算机解决更大规模、更加复杂的问题。

21 世纪多核、众核时代已经来临，高性能计算产业正在经历一场深刻的变革，并行计算将是未来的发展趋势，也将再次成为研究热点。目前主流的集群架构系统，采用 CPU 同构模式，其单节点内拥有十几个甚至几十个 CPU 计算核心已非罕事，大规模计算应用中一次甚至可以利用数十万个以上 CPU 核心，然而采用 CPU 同构架构系统将面临着性能功耗比、性能访存比、并行效率等巨大挑战。而采用 CPU+GPU 的异构架构进行通用科学计算，利用 GPU 众核技术进行加速，在业界已掀起一阵热潮，但其也面临着细粒度并行算法、编程效率、大规模计算性能等重大挑战。如何在提高大规模计算系统性能、提高软件生产力的同时缩短编程周期，降低功耗将是我们思考和关注的焦点。

Intel 公司推出了基于集成众核（Many Integrated Core，MIC）架构的至强融核（Intel® Xeon Phi™）系列产品，用于解决高度并行计算问题。该产品双精度性能达到每秒一万亿次以上，它基于现有的 x86 架构，支持 OpenMP、pThread、MPI 等多种业内熟悉的并行编程模型，采用传统的 C/C++/Intel® Cilk™ Plus 和 Fortran 等语言进行软件开发，其特点以编程简单（引语方式）著称，具有丰富的工具链支持。对于采用传统 CPU 平台很难实现性能进一步提升的部分应用，使用 MIC 可以带来性能的大幅提升，并且 CPU 与 MIC 可以共用一份代码，在 x86 架构下实现 CPU+MIC 异构协同计算的完美结合，为广大高性能计算用户提供了全新的计算解决方案。

浪潮-Intel 中国并行计算联合实验室从 2011 年 8 月 24 日成立以来，就一直参与 MIC 技术研究，并在 MIC 平台开展实际的高性能计算应用项目工作，为 Intel® Xeon Phi™ 系列产品最终顺利推出，贡献了自己的一份力量。我们在深入了解 MIC 软硬件的同时，也积累了大量的开发经验。我们很荣幸能够参与到这场高性能计算的技术革命当中，并作为先行者，将 MIC 技术介绍给各位读者。希望通过本书，能让更多的读者了解 MIC 技术，并享受到 Intel® Xeon Phi™ 系列产品带来的好处。

本书适合的读者

本书的主要目标是为开发人员提供一些帮助，使他们能够学会使用 Intel® Xeon Phi™ 系列产品，并利用其开发、移植或优化并行程序。本书的主要内容是讲述一些使用 MIC 技术时的编程语法、程序设计技术和优化手段，并基于我们的应用性能优化经验，介绍一些在实际应用中遇到的问题和解决方案。

我们假设读者拥有一定并行程序开发的基础知识，但是对 MIC 技术知之甚少。本书并非讲解并行计算原理或算法的书籍，因此假设读者拥有相关原理和算法的知识，但是在面对具体并行算法时，本书仍然会进行描述。本书假设读者熟悉 OpenMP、MPI 等并行编程常用的手段，但仍会对常用的语法进行简要的介绍。本书假设读者熟悉 C/C++/Fortran 中的一种或几种编程语言，尤以熟悉 C/C++为佳。但是，书中给出的许多思想和建议也同样适合其他的高级语言，而且，如果以后 Intel 公司的 Intel® Xeon Phi™ 产品支持其他语言，绝大部分优化手段和应用经验仍然可以适用。总的来说，此书大致适合三类人群：

高校、科研院所学生、老师及科研人员，研究并行，研究多核、众核技术者；

IT 从业人员，编写高性能计算软件，利用众核提升程序性能，在高性能计算领域追求性能的开发人员尤为适用；

行业高性能计算领域应用人员，如石油勘探、生物基因、医疗图像、金融、航空航天、气象气候、材料化学等人员，目的是利用 MIC 提升原 CPU 程序性能，从而提高生产力。

我们希望通过我们的努力能够使得本书让更多的读者受益，具有更加广泛的读者群。

关于本书

由于 MIC 架构的特殊性，本书并不能被明确地归到某一类中。这是一本介绍 MIC 编程语言的书，这是一本介绍 Intel® Xeon Phi™ 产品的书，这又是一本介绍并行编程优化的书。通过阅读本书，我们希望读者能够尽量多地了解有关 MIC 的方方面面，更希望读者能够在未来的实践中用上 MIC 技术，用好 MIC 技术。

本书由三篇组成。第一篇为“MIC 基础篇”，包括第 1～8 章，介绍 MIC 架构的基础知识。其中：

第 1 章简要回顾了并行计算的发展历程，并对市面上现有的并行计算的硬件技术进行了对比，然后简要介绍了 MIC 技术的情况，并给出了 MIC 技术的优势。

第 2 章介绍了支撑 MIC 技术的软硬件架构的相关知识。虽然没有这些背景知识并不影响使用 MIC 编程，但深入了解 MIC 架构能够编写出更加适合 MIC 架构的程序。

第 3 章介绍了 MIC 运行、编程环境的安装和配置。由于 MIC 技术包含独立的硬件以及相关的驱动、编译器、编程工具等一系列配套软件，因此需要编程人员，尤其是系统配置人员对此有一定掌握。本章供需要配置系统的读者阅读。

第 4 章通过一个计算圆周率 PI 的小例子，直观地展示了 MIC 程序的特点，并介绍了 MIC

程序背后的运行流程。

第 5 章介绍了 MIC 编程所需的背景知识，包括 OpenMP 和 MPI 的基本语法。如果已有这方面的基础，可以跳过本章。

第 6 章介绍了 MIC 的编程模式、语法、环境变量、编译选项等。通过本章的学习，可以掌握编写自己的 MIC 程序的方法。

第 7 章介绍了 MIC 相关的调试和优化工具以及它们的用法。学会使用工具，可以为调试和优化带来方便。

第 8 章介绍了 Intel 公司的一些可以用在 MIC 上的数学库的用法，包括 VML、FFT、Blas 等。

第二篇为“性能优化篇”，包括第 9 章和第 10 章的内容。其中：

第 9 章首先讲述了 MIC 优化的基本原则和策略，之后分不同方面详细阐述了 MIC 优化的方法与使用场合。本章讲述的内容已基本涵盖 MIC 优化的主要方法，而且，除个别方法以外，大部分方法也通用于 CPU 并行计算编程的实践当中。

第 10 章通过对并行计算中典型示例——矩阵乘法的优化，以理论结合实际的方式，一步步地详细解释了优化步骤是如何应用的。

第三篇为“工程开发篇”，包括第 11 章和第 12 章的内容。这是全书的最后一部分，其中：

第 11 章通过作者对自身团队工程开发优化经验的总结，提炼出一套并行程序开发在工程应用中的方法。对如何判断一个串行或并行的 CPU 程序是否适用 MIC 进行计算，并且如何将程序移植到 MIC 上进行了讨论。

第 12 章通过两个实际生产中的案例，讲述了 MIC 技术是如何对实际项目产生影响的。

本书前期由高效能服务器和存储技术国家重点实验室主任、浪潮-Intel 中国并行计算联合实验室主任、浪潮集团高级副总裁王恩东牵头，并明确写作方向，对技术发展趋势把关，浪潮-Intel 中国并行计算联合实验室首席工程师张清具体负责制定写作计划、确定整本书的提纲、结构、每章节书写的内容、风格和读者定位。中期由张清组织和推进团队写作此书，并定期进行审阅，对执笔作者完成的章节内容的准确性、技术表述的深浅度、可读性进行审核，并反馈修改意见，具体由浪潮-Intel 中国并行计算联合实验室工程师沈铂、张广勇、卢晓伟、吴庆、王娅娟五位作者共同执笔，其中第 1 章由沈铂撰写，第 2 章由吴庆、沈铂撰写，第 3 章由王娅娟撰写，第 4 章由沈铂撰写，第 5 章由沈铂撰写，第 6 章由沈铂撰写，王娅娟也参与了部分撰写工作，第 7 章由吴庆撰写，第 8 章由卢晓伟撰写，第 9 章由张广勇撰写，沈铂、王娅娟也参与了部分撰写工作，第 10 章由张广勇撰写，第 11 章由沈铂撰写，第 12 章由卢晓伟、张广勇撰写。后期由王恩东、张清、Intel 公司的何万青（Warren）博士、Victor Lee（李汇强）博士审阅，张清负责最后内容审定、统稿。

本书中全部完整的源代码已经过作者反复测试通过，但由于 MIC 技术尚处于起步阶段，不能保证源代码在更新版本中仍然可用。因此，如果编译器或 MIC 执行环境有更新，请参阅相应版本的 Intel 官方手册。

致谢

本书的出版是团体协作努力的结果。在此对为本书的编写和出版提供了巨大帮助的人们致以诚挚的谢意。

我们首先感谢浪潮集团、Intel 公司给我们这么好的一个平台，提供我们在浪潮-Intel 中国并行计算联合实验室工作的机会，让我们有幸能研究 MIC 技术；

感谢浪潮集团领导对此书的大力支持，尤其要感谢浪潮集团高性能计算总监刘军对我们提供人力、物力、财力上的大力支持，以及对几位作者的关怀和鼓励，此书才得以顺利完成；

感谢 Intel 公司的 Michael Casscles，何万青博士，郭洪昌，David Scott 博士，段小平，Victor Lee（李汇强）博士对我们并行计算联合实验室日常工作的技术和资源支持。尤其感谢何万青博士在开始写书前，为此书的写作策划提供经验指导，让我们写书过程中少走很多弯路；特别感谢英特尔技术计算集团总经理 Raj Hazra 博士和技术计算市场总监 Joe Curley 等领导对整个浪潮-Intel 中国并行计算联合实验室工作、业务的支持；

感谢我们的应用客户：中国石油集团东方地球物理勘探有限责任公司，中国科学院生物物理研究所，西北工业大学，中国气象科学研究院，山东大学与我们在 MIC 项目上进行合作。尤其感谢中国科学院生物物理研究所的孙飞研究员、张凯博士，西北工业大学的钟诚文教授、李勤俭等允许我们将双方合作的项目作为书中的实际案例呈现给读者。

感谢浪潮集团，Intel 公司对本书出版的大力支持，尤其感谢浪潮高性能服务器产品部蒋永昌经理、张影对此书出版的帮助，为我们写书节省很多宝贵的时间；

感谢一起合作过的谢海波博士，杨晓哲，我们不会忘记那段快乐的时光；

感谢几位作者的家人长期以来对作者的关心和生活上的照顾；

感谢中国水利水电出版社编辑们的辛勤劳动，尤其感谢策划编辑周春元老师，责任编辑李炎老师认真负责的工作和对我们无理要求的宽容，没有你们的帮助，这本书就不会面市。

最后，对前文未能提到的所有相关人员表示歉意，在此一并感谢。

MIC 技术刚刚兴起，书中也难免有错误和不能与时俱进的地方，我们对此表示深深的歉意，并恳请各位读者多提宝贵意见。

张　清

浪潮-Intel 中国并行计算联合实验室首席工程师

目　　录

第二篇 性能优化篇

第三篇　工程开发篇

第一篇
MIC 基础篇

本篇介绍了 MIC 架构的基本知识，包括高性能计算的发展历史，MIC 的软硬件架构，MIC 系统的安装配置以及 MIC 程序的基本语法等。

通过对本篇的学习，可以使读者了解 MIC 架构的背景知识，并学会使用 MIC 编写高性能程序。

1 MIC 高性能计算

在本章中，我们首先简要回顾一下多核、众核计算的发展历史，然后对 Intel 公司推出的 MIC 技术进行简要介绍，最后通过与其他高性能计算技术的对比，了解 MIC 的优势，为用户选择 MIC 技术提供参考。

本章目标

通过本章的学习，你可以：

- 了解并行计算和多核、众核计算的发展历程。
- 了解 MIC 技术概况。
- 了解 MIC 技术相较其他多核、众核技术的特点。

1.1 多核、众核计算的发展

最初的计算机，只有一个计算核心，每次只能运行一个程序。直到实现了批处理功能，才能一次处理多个程序，但这里的一次，只是提交作业时的“一次”，在计算机运算时，仍然是串行处理一系列程序。然而，计算机硬件发展起来以后，单独一个程序很难完全利用起所有的计算资源，这样计算资源就被白白浪费掉了。于是进程的概念就诞生了（后来又在此基础上发展出了线程）。有了进程以及随之而来的进程切换概念，不仅可以充分利用计算资源，同时也出现了广义上“并行”的概念——即同时执行两个或多个任务，当然，此时的“同时”，是从宏观角度观察的，在单一时间片内，仍然只有一个任务在执行。

从 1978 年 Intel 公司发布 8086 处理器以来，家用计算机开始普及，计算机硬件逐渐变得廉价，也使得曾经是高科技玩物的计算机逐渐应用广泛。之后发生了一件里程碑事件，Intel

公司推出 8086 处理器后紧接着又推出了 8087 协处理器。（对程序员很有意义的事：正是 8087 协处理器产生了 IEEE 754 浮点标准。）顾名思义，协处理器是协助主处理器的，必须要和中央处理器结合使用。当时 Intel 公司推出 8087 协处理器的目的是因为中央处理器适合对整数进行运算，对浮点数的支持较弱，而当时的工艺水平又无法在芯片中集成更多的晶体管，因此使用专用的芯片——8087 协处理器，专门负责浮点运算的运算需求。这件事情的意义在于协处理器从此登上历史舞台，处理计算再也不是 CPU 的专利，CPU 第一次有了帮手。虽然由于工艺水平的进步，从 486DX 开始，协处理器已经集成到 CPU 当中去了。但协处理器的概念并没有随之消失。

然而，计算能力总是难以跟上需求的脚步。自从进程概念被提出，计算资源再次显得紧张起来。从 1978 年 Intel 发布 8086 处理器以来，Intel、AMD 等厂家推出的 CPU 性能在不断提高，并且几乎严格遵守摩尔定律，即：每 18～24 个月芯片上可集成的晶体管数量就会翻一倍，这一速度保证了芯片的处理能力和速度的飞速增长。

随着工艺水平的进步，处理器的功能也在不断增强，超标量、超级流水线、超长指令字、SIMD、超线程、分支预测等技术不断应用于 CPU 当中，这些技术带来了“指令级并行”，这是并行领域最底层的概念。它通过 CPU 硬件的支持，让即使是单核的 CPU，也能在二进制指令之间进行并行。但这种并行通常是纯硬件控制的，程序员一般无法控制，只能被动地享受科技发展带来的成果。当然，说完全不能控制并不准确，因为程序员可以通过调整代码或是使用一些特殊的汇编指令，来间接控制 CPU 的行为，但最终的执行效果，仍然由硬件控制。

CPU 飞速发展的趋势在最近几年受到了严峻挑战。CPU 提高单个核心性能的主要手段是提高处理器的工作频率和增加指令级并行。这两种手段都遇到了问题：随着制造工艺的不断提高，晶体管的尺寸已经逐渐接近原子的大小，由此产生的漏电问题愈发严重，同时单位尺寸上的能耗和发热量也越来越多，使得处理器的频率很难像以前那样快速提高，4GHz 的频率成为了处理器厂商难以逾越的关口。另一方面，通用计算中的指令级并行并不多，因此煞费苦心设计获得的性能提高与增加的晶体管数量并不成正比。

当单颗 CPU 的计算能力难以获得大幅提升时，同时使用多颗 CPU 成了科学家们自然而然的想法。于是在一块主板上安装多块 CPU 成为一种相对廉价的解决之道。但是这种方案受制于成本，仅仅流行于对成本和功耗并不敏感的服务器领域。可是利用多 CPU 同时计算的思想，却广泛应用于高性能领域。

早在 1966 年，Michael Flynn 就根据指令和数据流的概念对计算机的体系结构进行了分类，将计算机分为单指令流单数据流计算机（Single Instruction stream and Single Data stream，SISD）、单指令流多数据流计算机（Single Instruction stream and Multiple Data stream，SIMD）、多指令流单数据流计算机（Multiple Instruction stream and Single Data stream，MISD）和多指令流多数据流计算机（Multiple Instruction Stream and Multiple Data Stream，MIMD），即 Flynn 分类法。其中 MISD 非常少见。而 SISD 对应着最原始的批处理机模型。单指令流多数据流计算机即由单一指令部件控制，按照同一指令流的要求处理不同数据。当然，SIMD 通常描述的是