

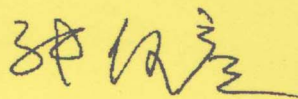
# 半導體元件物理與製程 理論與實務

Semiconductor Device Physics and Process: Theory & Practice

劉傳璽 陳進來 編著 **第三版**

本書  
特色

國立交通大學校長 張俊彥教授 推薦閱讀



- 新增實務上極為重要，但在坊間書籍幾乎不提及的第13章WAT。
- 修訂部份習題與內容，以求涵蓋新世代積體電路製程技術之所需。
- 以最直觀的物理現象與電機概念，清楚闡釋深奧的元件物理觀念與繁瑣的數學公式。
- 適合大專以上學校課程、公司內部專業訓練、半導體從業工程師實務上之使用。

# 半導體元件物理與製程 理論與實務

Semiconductor Device Physics and Process: Theory & Practice

劉傳璽 陳進來 著 **第三版**

五南圖書出版公司 印行

國家圖書館出版品預行編目資料

半導體元件物理與製程：理論與實務／劉傳璽，

陳進來 著．—三版．—臺北市：五南，2011.09

面；公分

ISBN 978-957-11-6374-1 (平裝)

1. 半導體

448.65

100014717



5D75

# 半導體元件物理與製程 —理論與實務(第三版)

Semiconductor Device Physics and  
Process: Theory & Practice

作 者 — 劉傳璽 (347.1) 陳進來 (258.4)

發行人 — 楊榮川

總編輯 — 龐君豪

主 編 — 穆文娟

責任編輯 — 陳玉卿 楊景涵

封面設計 — 簡愷立

出版者 — 五南圖書出版股份有限公司

地 址：106 台北市大安區和平東路二段 339 號 4 樓

電 話：(02)2705-5066 傳 真：(02)2706-6100

網 址：<http://www.wunan.com.tw>

電子郵件：[wunan@wunan.com.tw](mailto:wunan@wunan.com.tw)

劃撥帳號：01068953

戶 名：五南圖書出版股份有限公司

台中市駐區辦公室 / 台中市區中山路 6 號

電 話：(04)2223-0891 傳 真：(04)2223-3549

高雄市駐區辦公室 / 高雄市新興區中山一路 290 號

電 話：(07)2358-702 傳 真：(07)2350-236

法律顧問 元貞聯合法律事務所 張澤平律師

出版日期 2006 年 1 月初版一刷

2006 年 11 月二版一刷

2011 年 9 月三版一刷

定 價 新臺幣 650 元

## 推薦序

---

我從 1960 年開始研究半導體。于 1964 年與張瑞夫博士、郭雙發教授共同成立半導體研究中心，後陸續于 1965 年起在交大電子研究所講授固態物理、量子力學、半導體元件物理、與半導體製程技術，于 1969 年成為正教授，教授不少半導體人才。


台灣 30 年來在電子領域的經營，不論學術界或產業界的成就，全世界有目共睹，尤其在半導體的製程技術與電路設計上，可與世界先進技術並駕齊驅，不遑多讓。台灣在半導體製造技術已屬於業界前沿，擁有全世界最密集半導體製造工廠，且在晶片電路設計上，技術及產值能在激烈的國際競爭下名列前茅。在學術上，有了相關產業的支援，加上學校師生的努力，在重要的論壇或學術會議上（如 IEDM、VLSI、ISSCC、ISCAS 等），無不大放異采，成就令人刮目相看。

陳進來博士是我 1997 年至 2001 年的博士班學生，除了在繁忙的半導體廠研發部門工作之外，能完成交大電子所的博士養成教育，實屬難得，且於畢業後，能受邀進入國際電子元件會議（IEDM），審核業界最前沿的學術論文，並於 2003~2004 年擔任亞洲區主席，提攜相當多國內學術界及產業界先進加入此國際學會，對提升台灣電子工業的能見度有相當貢獻，對於完全在國內受教育的本土學生來說，相當難能可貴。

劉傳璽博士目前任職於銘傳大學電子系副教授。在進入學術界之前，曾先後任職於聯華電子的元件、製程整合、與技術研發等部門，並於 2000 年派遣至美國 IBM 研發部門參與新製程研發團隊的主要成員之一。由於他在業界服務多年的優異表現，於 2002 年擔任 IEEE-DMR 論文審查委員、2003 年受邀擔任 IRPS 議程主持人、以及 2003~2004 年擔任 IEDM 委員會委員。特別一提，他在目前先進 CMOS 奈米技術很熱門的 NBTI 這個主題上的一系列論文，除了廣受研究者的引用外，其方法亦為 JEDEC & FSA 國際標準所採用。

坊間談到半導體元件物理與製程技術的書不勝枚舉，但常偏向於理論的研究或顯得抽象。本書藉由兩位作者在產業界超過十年的實務經驗，不強調理論的推導，而著重於實際的應用，使電子相關從業人員容易接受體會，希望讀者研讀之後能進一步將已知的知識串連，並應用於實際的學習與工作中。

本書適合對半導體元件研習中的學生或從事半導體製程與電路設計者。希望對有電子學基礎者或剛入門的人能很快了解電晶體工作原理及想要利用 MOS 電晶體作為電路設計的工程師，能將此書作為電路設計與半導體製程的良好橋樑。

國立交通大學校長 

2005 年 12 月 1 日

## 作者自序

---

目前積體電路的設計生產模式分為兩種，一為整合元件製造 (IDM)，將電路設計與晶片製造在同一積體電路公司內完成。另一則為台灣發展出的垂直分工模式，電路設計公司 (circuit design house) 專門負責設計特定功能的晶片，而晶片的製造則交給專業的晶圓專工廠 (foundry) 來做。這種生產模式的優點是專業分工，電路設計公司負責設計更多工，更高效率的電路，晶圓專工則專注於半導體製程的整合開發，以提升良率 (yield) 與產能 (throughput)。但此分工模式往往存在一道專業上的隔閡於電路設計者 (circuit designer) 與製程整合工程師 (process integration engineer) 之間。

電路設計者與製程整合工程師共同關注的重點為半導體元件的操作與性能，本書以深入淺出的方式，系統性地介紹 CMOS 元件物理與製程整合所必須具備的基礎理論、重要觀念、先進技術以及製程與電路間的相互關係。本書第一至六章主要由劉傳璽所編寫，第七至十二章則主要由陳進來所編寫。內容大致分為四部分：第一至第五章涵蓋 CMOS 製程整合必備之元件物理觀念、第六至第八章探討 CMOS 製程整合的流程與先進技術、第九至第十一章則分別討論以 CMOS 為主的邏輯電路、數位/類比混合訊號電路、與記憶體電路之 IC 設計和相關半導體製程間的關係、第十二章則介紹系統晶片 (SOC) 與半導體應用。由於強調觀念與實用並重，因此儘量避免深奧的物理與繁瑣的數學；但對於重要的觀念或關鍵技術均會清楚地交代，並盡可能以直觀的解釋來幫助讀者理解與想像，以期收事半功倍之效。

本書宗旨是提供讀者在積體電路製造工程上的 know-how 與 know-why，希望藉由本書的發行，能夠提供製程整合工程師與電路設計者之間一座最佳的橋樑。因此我們花了接近兩年的時間把在半導體業界多年來的技術研發經驗與實務心得，配合參考相關的技術論文和書籍、以及受邀至學界與業界授課的資料，編寫成冊。為了避免談論到產業的營業機密，引述的內容多來自已公開發表的學術論文。另外在先進製程部分，可能存在著專業看法的差異，歡迎業界先進來函討論，謬誤部分也敬請予以指正，以作為再版時參考，謝謝。

劉傳璽 陳進來 謹識

2006 年元月

# 目 錄

---

<b>1</b>	<b>半導體元件物理的基礎</b>	<b>1</b>
1.1	半導體能帶觀念與載子濃度	2
1.1.1	能帶 (energy band) 與能隙 (energy gap 或 bandgap)	2
1.1.2	費米分布函數 (Fermi distribution function)	4
1.1.3	本質載子濃度 (intrinsic carrier concentration)	5
1.1.4	施體 (donors) 與受體 (acceptors)	8
1.1.5	外質半導體之載子濃度	11
1.2	載子的傳輸現象	14
1.2.1	載子漂移 (carrier drift) 與漂移電流 (drift current)	14
1.2.2	載子擴散 (carrier diffusion) 與擴散電流 (diffusion current)	18
1.3	支配元件運作的基本方程式	19
1.3.1	電流密度方程式 (current-density equations)	19
1.3.2	連續方程式 (continuity equations)	20
1.4	本章習題	24
	參考文獻	26
<b>2</b>	<b>P-N 接面</b>	<b>29</b>
2.1	p-n 接面的基本結構與特性	30
2.2	零偏壓	32
2.2.1	內建電位	32
2.2.2	電場分析	34
2.2.3	空乏區寬度	37
2.3	逆向偏壓	38
2.4	空乏層電容	40
2.5	單側陡接面	42

2.6	理想的電流—電壓特性	45
2.6.1	邊界條件與接面定律	45
2.6.2	中性區中的少數載子分布	49
2.6.3	接面二極體的理想 I-V (電流—電壓) 特性	51
2.7	實際的電流—電壓特性	56
2.7.1	逆向偏壓下的產生電流與總電流	57
2.7.2	順向偏壓下的復合電流與總電流	58
2.8	接面崩潰現象與機制	61
2.8.1	穿透效應與稽納崩潰	61
2.8.2	衝擊游離與雪崩崩潰	62
2.9	本章習題	70
	參考文獻	72

### 3 金氧半場效電晶體 (MOSFET) 的基礎 75

3.1	MOS 電容的結構與特性	76
3.2	理想的 MOS (金氧半) 元件	77
3.2.1	理想的 MOS 元件	77
3.2.2	理想 MOS 的臨界電壓與 C-V 特性	88
3.3	實際的 MOS (金氧半) 元件	96
3.3.1	實際狀況的 MOS 元件	96
3.3.2	實際 MOS 的臨界電壓與 C-V 特性	109
3.4	本章習題	116
	參考文獻	118

### 4 長通道 MOSFET 元件 121

4.1	MOSFET 的基本結構與類型	123
4.2	基本操作特性之觀念	127
4.3	電流—電壓特性之推導	132



4.3.1	輸出特性 $I_D - V_D$ .....	133
4.3.2	轉移特性 $I_D - V_G$ .....	136
4.4	其他重要元件參數與特性 .....	140
4.4.1	次臨界特性 (subthreshold characteristics) .....	140
4.4.2	基板偏壓效應 (substrate-bias effect 或 body effect) .....	143
4.4.3	臨界電壓的調整 ( $V_T$ adjustment) .....	145
4.4.4	遷移率退化 (mobility degradation) .....	149
4.5	本章習題 .....	152
	參考文獻 .....	154
<b>5</b>	<b>短通道 MOSFET 元件</b> .....	<b>157</b>
5.1	短通道元件的輸出特性 $I_D - V_D$ .....	159
5.1.1	通道長度調變 (channel length modulation) .....	159
5.1.2	速度飽和 (velocity saturation) .....	162
5.2	短通道元件的漏電流現象 .....	166
5.2.1	臨界電壓下滑 (threshold voltage roll-off) .....	167
5.2.2	汲極引起的位能下降 (drain-induced barrier lowering, DIBL) .....	171
5.2.3	貫穿 (punch-through) .....	174
5.3	本章習題 .....	179
	參考文獻 .....	181
<b>6</b>	<b>CMOS 製造技術與製程介紹</b> .....	<b>183</b>
6.1	CMOS 製造技術 .....	184
6.1.1	熱製程 (thermal process) .....	184
6.1.2	離子佈植 (ion implantation) .....	187
6.1.3	微影製程 (photolithography process) .....	189
6.1.4	蝕刻製程 (etching process) .....	192

6.1.5 薄膜沉積 (thin film deposition) .....	194
6.2 CMOS 製造流程介紹 .....	196
6.2.1 前段製程 (FEOL) .....	196
6.2.2 後段製程 (BEOL) .....	207
6.3 本章習題 .....	215
參考文獻 .....	217

## 7 製程整合 219

7.1 元件發展需求 .....	220
7.1.1 摩爾定律 .....	220
7.1.2 CMOS 元件發展需求 .....	221
7.2 基板工程 (substrate engineering) .....	223
7.2.1 晶片選擇 .....	223
7.2.2 淺溝槽隔離 (STI) .....	225
7.2.3 井工程 (well engineering) .....	227
7.2.4 元件隔離工程 (isolation engineering) .....	229
7.2.5 通道工程 (Channel Engineering) .....	230
7.2.6 噪音隔離 (noise isolation) .....	232
7.3 閘極工程 .....	233
7.3.1 閘極氧化層需求 .....	233
7.3.2 閘電極工程 .....	236
7.3.3 製程考量 .....	238
7.4 源／汲極工程 (Source/Drain engineering) .....	239
7.4.1 源／汲極工程需求 .....	239
7.4.2 源／汲極延伸 (S/D extension) .....	240
7.4.3 袋植入工程 (Halo Engineering) .....	243
7.4.4 側壁子 (Spacer) .....	244
7.4.5 接觸區源／汲極工程 .....	246
7.4.6 自動對準矽化物 (Salicide) .....	247

7.4.7 提高源／汲極 (Raised S/D)	248
7.5 內連線工程 (inter-connection)	249
7.5.1 內連線工程需求	249
7.5.2 低介電材料	251
7.5.3 銅製程	252
7.6 本章習題	255
參考文獻	256

## 8 先進元件製程 257

8.1 先進元件製程需求	258
8.2 SOI	260
8.2.1 SOI 基材的製作	260
8.2.2 SOI 特性	261
8.2.3 完全空乏 (fully deplete) SOI 與完全空乏 (partial deplete) SOI	262
8.2.4 SOI 的工程問題	264
8.3 應變矽 Strain Si	265
8.3.1 應變矽特性	265
8.3.2 全面性應變矽 (global strain)	265
8.3.3 局部性應變矽 (local strain)	269
8.3.4 應變矽的工程問題	270
8.4 非平面元件 3D device	273
8.4.1 鰭式電晶體 (Fin-FET)	273
8.5 高介電閘極氧化層 (high-k gate dielectric)	274
8.5.1 高介電閘極氧化層需求與特性	274
8.5.2 高介電閘極氧化層的工程問題	278
8.6 金屬閘極 Metal gate	282
8.6.1 金屬閘極特性與需求	282
8.7 本章習題	286

參考文獻 .....	287
------------	-----

## 9 邏輯元件 289

9.1 邏輯元件的要求—速度、功率 .....	290
9.2 反向器 (Inverter) .....	291
9.3 組合邏輯 (Combinational Logic) .....	294
9.3.1 基本組合邏輯 .....	294
9.3.2 Pseudo NMOS .....	299
9.3.3 邏輯傳輸閘 (Transmission Gate) .....	300
9.3.4 加法器 .....	302
9.3.5 解碼器 .....	303
9.3.6 編碼器 .....	304
9.3.7 多工器 .....	304
9.4 時序邏輯 Sequential Logic—Latch, DFF .....	305
9.4.1 閘鎖器 .....	305
9.4.2 正反器 .....	306
9.4.3 計數器 .....	308
9.4.4 暫存器 .....	308
9.5 邏輯元件應用 Standard Cell、Gate Array、CPLD、FPGA .....	308
9.5.1 標準單元 (Standard Cell) .....	308
9.5.2 閘矩陣 (Gate Array) .....	309
9.5.3 可程式邏輯元件 (PLD) .....	310
9.6 本章習題 .....	314
參考文獻 .....	315

## 10 邏輯／類比混合訊號 317

10.1 混合訊號特性 .....	318
10.1.1 ADC/DAC 數位／類比轉換 .....	318

10.2	混合訊號電路 .....	320
10.2.1	電源／參考電壓電路 .....	321
10.2.2	放大／差動電路 .....	323
10.2.3	振盪／回授電路 .....	326
10.2.4	射頻元件 .....	329
10.3	混合訊號的主動元件 (Active device) .....	331
10.3.1	CMOS 金氧半導體 .....	331
10.3.2	Bipolar 雙載子電晶體 .....	332
10.4	混合訊號被動元件 (Passive device) .....	334
10.4.1	電阻 (Resistor) .....	334
10.4.2	電容 (Capacitor) .....	336
10.4.3	可變電容器 (Varactor) .....	337
10.4.4	電感 (Inductor) .....	338
10.5	混合訊號電路特別需求 .....	340
10.5.1	匹配 (matching) .....	340
10.5.2	雜訊噪音 (noise) .....	343
10.6	本章習題 .....	349
	參考文獻 .....	350

## 11 記憶體 351

11.1	CMOS 記憶體特性與分類 .....	352
11.2	靜態隨機存取記憶體 SRAM .....	356
11.3	動態隨機存取記憶體 DRAM .....	362
11.4	快閃記憶體 Flash .....	369
11.5	發展中的先進記憶體 .....	376
11.5.1	NROM .....	376
11.5.2	FRAM .....	377
11.5.3	MRAM .....	379
11.5.4	OUM .....	379

11.6 本章習題 .....	383
參考文獻 .....	384

## 12 SOC 與半導體應用 385

12.1 IC 功能分類 .....	386
12.2 SOC .....	387
12.3 半導體應用 .....	390
12.3.1 資訊 Computer .....	390
12.3.2 通訊 Communication .....	393
12.3.3 消費性電子產品 Consumer .....	400
12.3.4 網際網路與半導體產業 .....	407
12.4 本章習題 .....	410
參考文獻 .....	411

## 13 元件電性量測 WAT 413

13.1 直流 (DC) 電性量測 .....	415
13.1.1 MOS 電晶體相關參數量測 .....	415
13.1.2 隔離 (Isolation) 量測 .....	427
13.1.3 電阻 (Resistance) 量測 .....	432
13.1.4 閘極氧化層 (Gate Dielectric) Integrity 量測 .....	435
13.1.5 接面整合 (Junction integrity) 量測 .....	437
13.1.6 設計守則檢查 (Design Rule Check) .....	437
13.2 C-V (capacitance-voltage) 電性量測 .....	442
13.2.1 氧化層電容 (Oxide Capacitance) .....	442
13.2.2 接面電容 (Junction Capacitance) .....	444
13.2.3 電容法求有效通道長度 (Leff) .....	446
13.2.4 金屬間/金屬內電容 (Inter/Intra Metal Capacitance) 量測 .....	448

---

13.3	RF 電性量測 .....	449
13.3.1	量測方法 .....	449
13.3.2	量測校正 .....	451
13.3.3	量測結果 .....	453
13.4	元件模型 .....	459
13.4.1	元件模型介紹 .....	459
13.4.2	元件模型描述 .....	462
13.5	本章習題 .....	467
	參考文獻 .....	469

# 1

## 半導體元件物理的基礎

---

- ◆ 半導體能帶觀念與載子濃度
- ◆ 載子的傳輸現象
- ◆ 支配元件運作的基本方程式



## 本章內容綜述

本章主要是複習半導體元件物理的基本觀念，以期為隨後的章節奠定良好的基礎。我們將先介紹半導體的能帶觀念與熱平衡狀況下的載子濃度觀念，接著再討論半導體元件中載子的傳輸現象與特性，最後將推導支配半導體元件運作的基本方程式。

在此先敬告讀者，由於本書強調觀念與實用並重，因此儘量避免太深奧的物理與繁瑣的數學；反之，對於重要的物理觀念或公式均會清楚地交代，並盡可能地以直觀的物理觀念來幫助理解與想像，使讀者能收事半功倍之效。

## 1.1 半導體能帶觀念與載子濃度

本節討論的主題包括能帶（energy band）與能隙（energy gap）、費米分布函數（Fermi distribution function）、本質載子濃度（intrinsic carrier concentration）、施體（donors）與受體（acceptors）、以及外質半導體（extrinsic semiconductor）之載子濃度。

### 1.1.1 能帶（energy band）與能隙（energy gap 或 bandgap）

能帶理論為量子物理最重要的結果之一，其說明了離散能階的分裂、允許能帶與禁止能帶的形成。電子在固體（solid）中可佔據的稱為允許能帶（allowed energy band），而允許能帶間則是禁止能帶（forbidden energy band）加以分隔。以圖 1-1 所示半導體的能帶圖（energy-band diagram）為例，在絕對零度時，電子佔據最低能量態位，因此所有態位均被電子填滿的稱為價電帶（valence band 或 valance band），而在較高能帶的所有態位都是空的稱為導電帶（conduction band）。導電帶的最底部以  $E_C$  表示，而價電帶的最頂部以  $E_V$  表示。導電帶底部與價電帶頂部間的禁止能帶寬度稱為禁止能隙（forbidden energy gap）或簡稱為能隙（energy gap 或 bandgap） $E_g$ ：