

电子工程师
成长之路

Cadence

高速电路板设计 与实践

◎ 周润景 赵建凯 编著



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

电子工程师
成长之路

© 周润景 赵建凯 编著

Cadence

高速电路板 设计与实践



电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书以 Cadence Allegro SPB 16.5 为基础, 从设计实践的角度出发, 以具体电路为范例, 以 PCB 设计正常设计流程为顺序, 由浅入深地讲解了元器件建库、原理图设计、布局、布线、规则设置、后处理等 PCB 设计的全过程。本书内容包括原理图输入及元器件数据集成管理环境的使用, PCB 设计工具的使用, 以及后期电路设计处理需要掌握的各项技能等。

本书内容简明扼要, 适合从事 PCB 设计工作的初、中级读者阅读, 也可作为高等学校相关专业的教学用书。

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有, 侵权必究。

图书在版编目 (CIP) 数据

Cadence 高速电路板设计与实践 / 周润景, 赵建凯编著. —北京: 电子工业出版社, 2013.1
(电子工程师成长之路)

ISBN 978-7-121-15251-1

I. ①C… II. ①周… ②赵… III. ①印刷电路-计算机辅助设计 IV. ①TN410.2

中国版本图书馆 CIP 数据核字 (2012) 第 259686 号

责任编辑: 张 剑 (zhang@phei.com.cn)

印 刷: 北京中新伟业印刷有限公司

装 订: 北京中新伟业印刷有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1092 1/16 印张: 22.75 字数: 582 千字

印 次: 2013 年 1 月第 1 次印刷

印 数: 4 000 册 定价: 58.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

随着工程技术的电子化、集成化和系统化的迅速发展，电路设计已经进入了一个全新的时代，目前高速电路设计业已成为了电子工程技术发展的主流。而 Cadence 以其强大的功能和高级的绘图效果，逐渐成为了 PCB 设计行业中的主导软件。Cadence 完善的集成设计系统和强大的功能符合高速电路设计的速度快、容量大、精度高等要求，使其成为 PCB 设计方面的优秀代表。本书以 Cadence 公司最新发布的 Allegro SPB 16.5 作为开发平台，以实际案例贯穿整个 PCB 设计开发的全过程，设计思路清晰，更加具有实用性。

最新版 Cadence 软件在使用制程方面的全新优化和增强，可以使用户在原有基础上进一步提高设计的稳定性，缩短开发周期，完善系统的综合性能。

Allegro 16.5 中的最新技术包括：

- 增加了对埋入式器件的支持，允许在 PCB 中方便地添加并管理埋阻和埋容元件
- 群组布线时导通孔的各种散出方式
- 智能的 PDF 打印功能支持直接将光绘文件制作成 PDF 文档
- 增加尺寸标注的关联性，使标注保持与对象的关联，对象移动，标注的坐标值更新，标注 location 适应性变化
- MCAD—ECAD 流程的增加，帮助用户实现与机构工程师的顺畅交流和合作
- 更高效的用户界面提升用户的设计效率

本书共 14 章，其中赵建凯编写了第 1 章～第 3 章，第 4 章～第 14 章由周润景编写，全书由周润景负责统稿。参加本书编写的还有张丽娜、张红敏、张丽敏、徐宏伟、吕小虎、王伟、张鹏飞、任冠中、丁莉、王志军、胡训智、李琳和宋志清。

本书的出版得到了北京迪浩永辉科技公司执行董事黄胜利先生、技术经理王鹏先生和电子工业出版社张剑先生的大力支持，也有很多读者提出了宝贵的意见，在此一并表示衷心的感谢！

为便于读者阅读、学习，特提供本书实例下载资源。请访问 <http://yydz.phei.com.cn> 网站，到“资源下载”栏目下载。

由于 Cadence 公司的 PCB 工具性能非常强大，不可能通过一本书完成全部内容的详尽介绍，加上时间与水平有限，书中难免有不妥之处，还望广大读者批评指正。

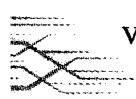
编著者

第 1 章 Cadence Allegro SPB 16.5 简介	1
1.1 概述	1
1.2 功能特点	1
1.3 设计流程	3
1.4 Cadence Allegro SPB 16.5 新功能介绍	4
第 2 章 Capture 原理图设计工作平台	7
2.1 Design Entry CIS 软件功能介绍	7
2.2 原理图工作环境	8
2.3 设置图纸参数	8
2.4 设置打印属性	12
第 3 章 制作元器件及创建元器件库	14
3.1 创建单个元器件	14
3.1.1 直接新建元器件	15
3.1.2 用电子表格新建元器件	23
3.2 创建复合封装元器件	25
3.3 大元器件的分割	27
3.4 创建其他元器件	29
习题	30
第 4 章 创建新设计	31
4.1 原理图设计规范	31
4.2 Capture 基本名词术语	31
4.3 建立新项目	33
4.4 放置元器件	34
4.4.1 放置基本元器件	35
4.4.2 对元器件的基本操作	38
4.4.3 放置电源和接地符号	39
4.4.4 完成元器件放置	40
4.5 创建分级模块	41
4.6 修改元器件序号与元器件值	50
4.7 连接电路图	51
4.8 标题栏的处理	56
4.9 添加文本和图像	57

习题	58
第 5 章 PCB 设计预处理	59
5.1 编辑元器件的属性	59
5.2 Capture 到 Allegro PCB Editor 的信号属性分配	71
5.3 建立差分对	76
5.4 Capture 中总线 (Bus) 的应用	78
5.5 原理图绘制后续处理	87
5.5.1 设计规则检查	87
5.5.2 为元器件自动编号	92
5.5.3 回注 (Back Annotation)	94
5.5.4 自动更新元器件或网络的属性	95
5.5.5 生成网络表	96
5.5.6 生成元器件清单和交互参考表	98
5.5.7 属性参数的输出/输入	101
习题	102
第 6 章 Allegro 的属性设置	103
6.1 Allegro 的界面介绍	103
6.2 设置工具栏	108
6.3 定制 Allegro 环境	109
习题	120
第 7 章 焊盘制作	121
7.1 基本概念	121
7.2 热风焊盘的制作	123
7.3 导通孔焊盘的制作	125
7.4 贴片焊盘的制作	132
第 8 章 元器件封装的制作	136
8.1 封装符号基本类型	136
8.2 集成电路封装 (IC) 的制作	137
8.3 连接器 (IO) 封装的制作	147
8.4 分立元器件 (DISCRETE) 封装的制作	166
8.4.1 贴片的分立元器件封装的制作	167
8.4.2 直插的分立元器件封装的制作	170
8.4.3 自定义焊盘封装制作	174
习题	183
第 9 章 PCB 的建立	184
9.1 建立 PCB	184
9.2 导入网络表	207
习题	209

第 10 章 设置设计规则	210
10.1 间距规则设置	210
10.2 物理规则设置	214
10.3 设定设计约束 (Design Constraints)	217
10.4 设置元器件/网络属性	218
习题	225
第 11 章 布局	226
11.1 规划 PCB	227
11.2 手工摆放元器件	232
11.3 快速摆放元器件	236
11.4 原理图与 Allegro 交互摆放	240
习题	245
第 12 章 覆铜 (Shape)	246
12.1 基本概念	246
12.2 为平面层建立覆铜	248
12.3 分割平面	250
12.4 分割复杂平面	263
12.5 双面 PCB 及布线层的覆铜	268
习题	268
第 13 章 布线	269
13.1 布线的基本原则	269
13.2 布线的相关命令	270
13.3 定义布线的格点	270
13.4 手工布线	271
13.5 扇出 (Fanout By Pick)	276
13.6 群组布线	277
13.7 自动布线前的准备工作	281
13.8 自动布线	287
13.9 控制并编辑布线	295
13.9.1 控制布线的长度	295
13.9.2 差分布线	301
13.9.3 高速网络布线	308
13.9.4 45° 角布线调整 (Miter By Pick)	311
13.9.5 改善布线的连接	313
13.10 优化布线 (Gloss)	318
习题	324
第 14 章 后处理	325
14.1 重命名元器件序号	325

14.2	回注 (Back Annotation)	328
14.3	文字面调整	329
14.4	建立丝印层	333
14.5	建立孔位图	335
14.6	建立钻孔文件	337
14.7	建立 Artwork 文件	338
14.8	输出底片文件	350
14.9	浏览 Gerber 文件	350
	习题	353



Cadence Allegro SPB 16.5 简介

1.1 概述

Cadence 新一代的 Allegro SPB 16.5 系统互连设计平台优化并加速了高性能、高密度的互连设计，建立了从 IC 制造、封装和 PCB 的一整套完整的设计流程。Cadence Allegro 可提供新一代的协同设计方法，以便建立跨越整个设计链，包括 I/O 缓冲区、IC、封装及 PCB 设计人员的合作关系。Cadence 公司著名的软件有 Cadence Allegro, Cadence LDV, Cadence IC 5.0, Cadence OrCAD 等。

功能强大的布局、布线设计工具 Allegro PCB 是业界领先的 PCB 设计系统。Allegro PCB 是一个交互的环境，用于建立和编辑复杂的多层 PCB。Allegro PCB 丰富的功能可以满足当今世界设计和制造的需求。针对目标按时完成系统协同设计，使 Cadence Allegro 平台能协同设计高性能的集成电路、封装和 PCB 的互连，降低成本并加快产品上市时间。

Cadence Allegro 系统互连平台能够跨集成电路、封装和 PCB 协同设计高性能互连。应用 Cadence Allegro 平台的协同设计方法，工程师可以迅速优化 I/O 缓冲器之间，或者跨集成电路、封装和 PCB 的系统互连，从而避免硬件设计返工，并降低硬件成本和缩短设计周期。约束驱动的 Allegro 流程可用于设计捕捉、信号完整性和物理实现。由于它还得到 Cadence Encounter 与 Virtuoso 平台的支持，Allegro 协同设计方法使得高效的设计链协同成为现实。

系统互连是一个信号的逻辑、物理和电气连接，也包括相应的回路和功率配送系统。目前，集成电路与系统设计团队在设计高速系统互连时正面临前所未有的挑战。由于集成电路的集成度不断增长，芯片的 I/O 和封装引脚数量也在迅速增加。GHz 级的数据传输速率同样导致极高速的 PCB 与系统需求增加。同时，平均的 PCB 大小不断缩小，功率配送要求也随着芯片晶体管数目的攀升不断提高。

解决这些复杂的问题和应对不断增长的上市时间压力的需要，使得传统的系统组件设计方法变得过时和不合时宜。在高速系统中完成工作系统互连需要新一代的设计方法，它应该让设计团队把注意力集中在提高跨 3 个系统领域的系统互连的效率上。

1.2 功能特点

Cadence 公司的 Allegro SPB 16.5 软件针对 PCB 板级的电路系统设计流程包括原理图输

入, 数字、模拟及混合电路仿真, FPGA 可编程逻辑器件设计, 自动布局、布线, PCB 版图及生产制造数据输出, 以及针对高速 PCB 的信号完整性分析与电源完整性分析等, 从前到后提供了完整的输入、分析、版图编辑和制造的全线 EDA 辅助设计工具。

Cadence Allegro SPB 16.5 软件系统主要包括以下 18 个功能模块。

(1) Design Entry HDL: Design Entry HDL 提供了一个原理图输入和分析环境。它的功能与扩展模拟 (数字电路和模拟电路), 以及 PCB 版图设计解决方案集成在一起, 是作为所有与系统和高速设计流程相关的 CAE 要求的任务中心。原理图设计方法已经通过若干提高生产效率的措施得以简化, Design Entry HDL 使得设计的每一个阶段流水线化。

(2) Design Entry CIS: Design Entry CIS 是世界上领先的在 Windows 操作系统上实现的原理图输入解决方案, 直观、简单、易用且具有先进的部件搜索机制, 是迅速完成设计捕捉工具的选择。Design Entry CIS 对应于以前版本的 Capture 和 Capture CIS, 是 Cadence 公司收购原 OrCAD 公司的产品, 是国际上通用的标准的原理图输入工具, 设计快捷方便, 图形美观, 与 Allegro 实现了无缝链接。

(3) Design Entry HDL Rules Checker: Design Entry HDL 的规则检查工具。

(4) Layout Plus: 原 OrCAD 公司的 PCB 设计工具。

(5) Layout Plus Smart Route Calibrate: Layout Plus 的布线工具 (Smart Route)。

(6) Library Explorer: 进行数字设计库管理的软件, 可以调用 Design Entry HDL、PCB Librarian、PCB Designer、Allegro System Architect 等工具建立的元器件符号和模型。

(7) Online Documentation: 在线帮助文档。

(8) Model Integrity: 模型编辑与验证工具。

(9) Package Designer: 芯片和封装的设计分析软件, 它把芯片级的 I/O 可行性和规划功能与业界领先的集成电路封装设计工具组合到一起, 形成一种强大的协同设计方法。该产品家族包括一个嵌入式、经过验证的 3D 场计算器, 允许工程师在电气与物理设计要求之间做出折中选择, 以满足成本和性能目标。

(10) PCB Editor: 一个完整的高性能 PCB 设计软件。通过顶尖的技术, 为创建和编辑复杂、多层、高速、高密度的 PCB 设计提供了一个交互式、约束驱动的设计环境。它允许用户在设计过程的任意阶段定义、管理和验证关键的高速信号, 并能抓住最关键的设计问题。

(11) PCB Librarian: Allegro 库开发, 包括焊盘、自定义焊盘形状、封装符号、机械符号、Format 符号和 Flash 符号的开发。

(12) PCB Router: CCT 布线器。

(13) PCB SI: 提供了一个集成的高速设计与分析环境。它能流水线化完成高速数字 PCB 系统和高级集成电路封装设计, 方便电气工程师在设计周期的所有阶段探究、优化和解决与电气性能相关的问题。约束驱动的设计流程提高了首次成功的概率, 并降低产品的整体成本。

(14) Allegro Physical Viewer: Allegro 浏览器模块。

(15) Project Manager: Design Entry HDL 的项目管理器。

(16) SigXplorer: 网络拓扑的提取和仿真。

(17) AMS Simulator: 工业标准的模拟、数字及模拟/数字混合信号仿真系统, 具有仿真速度快, 精度高, 功能强大等特点。仿真库内所含元器件种类丰富, 数量众多。

(18) PCB Editor Utilities: 包含 Pad Designer、DB Doctor 和 Batch DRC 等工具。

1.3 设计流程

整个 PCB 的设计流程可分为以下 3 个主要部分。

1. 前处理

此部分主要是开始 PCB 设计前的准备工作。

1) **原理图的设计** 设计者根据设计要求用 Capture 软件绘制电路原理图。

2) **创建网络表** 绘制好的原理图经检查无误后,可以生成送往 Allegro 的网络表。网络表文件包含 3 个部分,即 pstxnet.dat、pstxprt.dat 和 pstchip.dat。

3) **建立元器件封装库** 在创建网络表前,每个元器件都必须有封装。由于实际元器件的封装是多种多样的,如果元器件的封装库中没有所需的封装,就必须自己动手创建元器件封装,并将其存放在指定目录下。

4) **创建机械设计图** 设置 PCB 外框及高度限制等相关信息,产生新的机械图文件 (Mechanical Drawing),并存储到指定目录下。

2. 中处理

此部分是整个 PCB 设计中最重要的一部分。

1) **读取原理图的网络表** 将创建好的网络表导入 Allegro 软件,取得元器件的相关信息。

2) **摆放机械图和元器件** 首先摆放创建好的机械图,其次摆放比较重要的或较大的元器件(如 I/O 端口器件,集成电路),最后摆放小型的元器件(如电阻、电容等)。

3) **设置 PCB 的层面** 对于多层的 PCB,需要添加 PCB 的层面,如添加 VCC、GND 层等。

4) **进行布线(手工布线和自动布线)** 手工布线可以考虑到整个 PCB 的布局,使布线最优化,但缺点是布线时间较长;自动布线可以使布线速度加快,但会使用较多的导通孔。有时自动布线的路径不一定是最佳的,故经常需要把这两种方法结合起来使用。

5) **放置测试点** 放置测试点的目的是检查该 PCB 能否正常工作。

3. 后处理

此部分是输出 PCB 的最后工作。

1) **文字面处理** 为了使绘制的电路图清晰易懂,需要对整个电路图的元器件序号进行重新排列,并使用回注 (Back Annotation) 命令,使修改的元器件序号在原理图中也得到更新。

2) **底片处理** 设计者必须设定每一张底片是由哪些设计层面组合而成的,再将底片的内容输出至文件,然后再将这些文件送至 PCB 生产车间制作 PCB。

3) **报表处理** 产生该 PCB 的相关报表,以便给后续的工厂工作人员提供必要的信息。常用的报表有元器件报表 (Bill of Material Report)、元器件坐标报表 (Component Location Report)、信号线接点报表 (Net List Report)、测试点报表 (Testpin Report) 等。

1.4 Cadence Allegro SPB 16.5 新功能介绍

1. 器件嵌入式设计 (Embedded Component Design)

Cadence Release 16.5 提供了强大的器件内嵌解决方案, 用户可以更方便地应用 Allegro PCB Editor 完成一些高端 PCB 的设计。

在 PCB Editor 和 Package/SiP 工具中都可以应用器件嵌入式设计, 只要在 16.5 版本的 license 中选择“Miniaturization”即可。

可以在 Allegro PCB Editor 中为器件添加“EMBEDDED_PLACEMENT”属性, 此属性有两个属性值, 即“REQUIRED”(强制器件嵌入)和“OPITIONAL”(根据实际需要确定器件是否嵌入)。

在 Allegro 16.5 界面执行菜单命令“Setup”→“Embedded Layer Setup”, 弹出“Embedded Layer Setup”对话框, 如图 1-4-1 所示。在此可以设置嵌入式摆放的层 (Layer)、器件的摆放方位 (Body Up or Body Down)、连接方法和全局参数。

执行菜单命令“Setup”→“Constraints”, 在弹出的窗口中选择“Modes”选项, 在打开的 DRC 检查设置界面中选择“Design Modes (Package)”选项卡, 如图 1-4-2 所示, 可见 Allegro 16.5 版本新增了两个用于嵌入式器件设计的 DRC 检查限制, 通过设置这两个检查项来进行 DRC 检查。

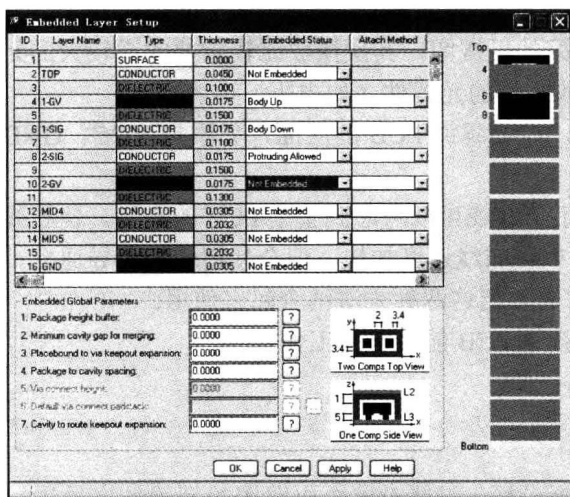


图 1-4-1 嵌入层设置界面

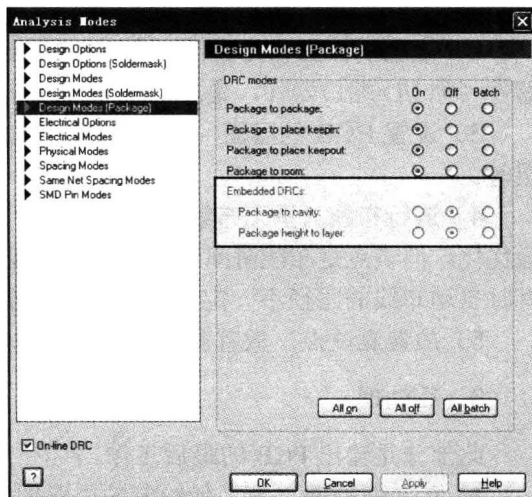


图 1-4-2 Embedded DRCs 设置界面

2. 图形化用户界面 (Graphical User Interface)

1) 点画模式的高亮显示 Allegro 16.5 新增点画模式 (Stipple Patterns), 在对对象进行颜色指定和高亮显示时, 都可以设定点画模式, 颜色设置界面如图 1-4-3 所示。

➤ Assign color (颜色指定) 用于对对象分配颜色, 同时可以搭配点画模式提供更多元的显示

➤ **Highlight (高亮)** 指令允许对网络等增加点画模式信息

➤ 颜色设置窗口允许为层 (Layers) 增加点画模式信息

2) **动态覆铜和静态覆铜的显示** Allegro 16.5 在动态覆铜和静态覆铜的显示上提供了不同的显示效果。

3) **状态栏功能更新** 新版本中可以通过单击状态栏的某一区域实现某种功能。例如, 在状态栏点选模式区域, 即可切换到其他模式, 如图 1-4-4 所示。

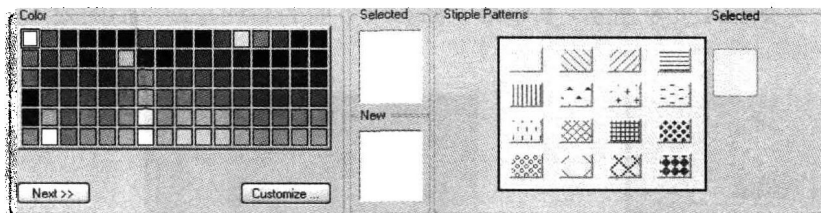


图 1-4-3 Cadence 16.5 颜色设置

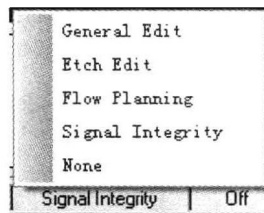


图 1-4-4 Cadence 16.5 状态栏设置工作模式

4) **3D 显示功能** “3-D Viewer” 窗口中新增了动态层面的显示功能, 即切换层面显示的同时, “3-D Viewer” 窗口中也会自动切换层面。

3. 增强的电气层编辑功能 (Etch Edit Enhancement)

1) **差分线相位调整功能 (Differential Phase Tuning)** 相位调整是另一种通过鼠标操作布线, 使布线发生变化, 从而控制线长的方法, 类似于延迟调整。但是, 相位调整仅适用于差分信号线。执行菜单命令 “Route” → “Phase Tune”, 命令激活后, 可以在 “Options” 选项卡中设置参数, 操作时只需用鼠标单击差分线的某段即可。参数设置及差分线相位调整后的结果如图 1-4-5 和图 1-4-6 所示。

2) **群组布线导通孔模式 (Group Route Via Patterns)** 群组布线过程中, 添加导通孔时可以选择导通孔的类型 (via pattern)。16.5 版本提供了 6 种导通孔类型, 如图 1-4-7 所示。

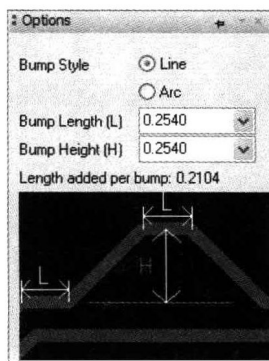


图 1-4-5 “Options” 选项卡

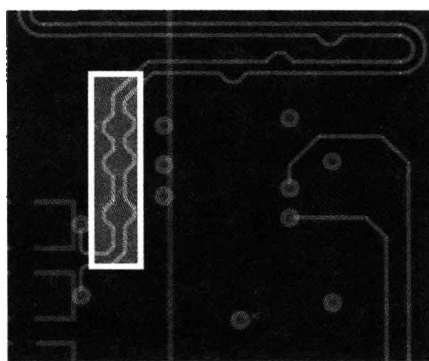


图 1-4-6 相位调整效果

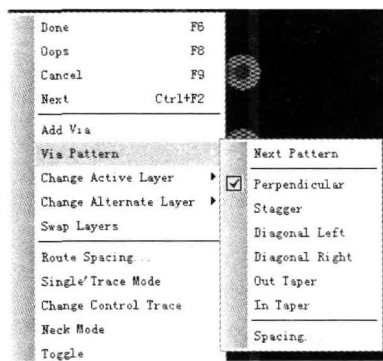


图 1-4-7 群组布线导通孔类型选择

3) **渐进式布线功能 (Trace Tapering)** 该功能是指在 PCB 布线过程中线宽逐渐变化的一种布线方法, 其目的是为了防止线宽的突变。在 RF 和软板电路设计中应用广泛。渐进

式布线主要是为了减小线宽变化处所受到的机械应力，同时也能改善信号传输的质量。该功能是在泪滴的基础上添加的，在泪滴参数设置中也有渐进式布线的设置。其操作方法如下所述。

(1) 执行菜单命令“Route”→“Gloss”→“Parameters”，在弹出的窗口中选择“Fillet and tapered trace”选项，弹出“Fillet and tapered trace”窗口，设置参数如图 1-4-8 所示。

(2) 执行菜单命令“Route”→“Gloss”→“Add Tapered Trace”，单击布线宽度变化的位置，可以看到调整后的效果如图 1-4-9 所示，其中最上面和最下面的布线是调整后的效果，中间布线未进行调整。

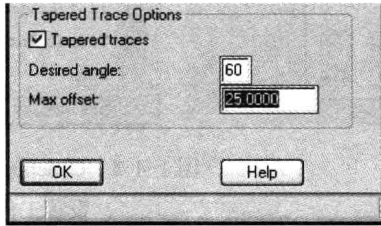


图 1-4-8 “Fillet and tapered trace”窗口

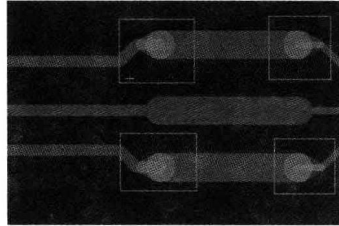


图 1-4-9 渐进式布线效果展示

4. 智能 PDF 输出 (Intelligent PDF Output)

16.5 版本集成了 PDF 输出功能，将 PCB 的数据包括器件、网络、测试点等信息输出成 PDF 文件。

PDF 输出文件在层面选择上是以光绘文件为依据的，所以进行 PDF 输出前必须先生成光绘文件。

2.1 Design Entry CIS 软件功能介绍

Design Entry CIS 软件功能如图 2-1-1 所示。

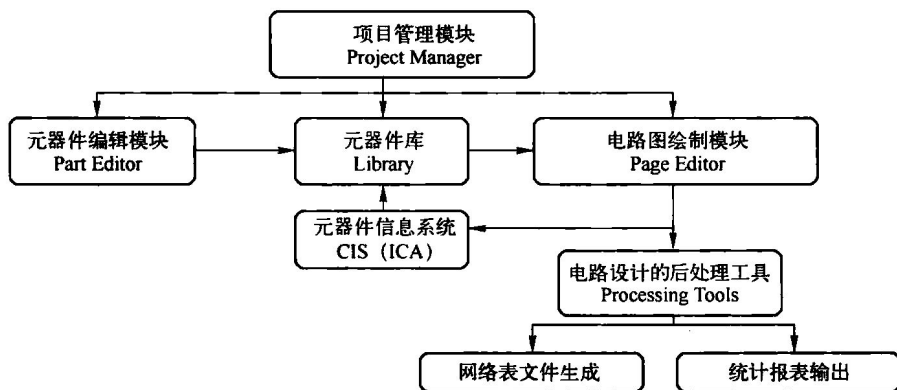


图 2-1-1 Design Entry CIS 软件功能

1) 项目管理模块 (Project Manager) Capture CIS 对电路设计实行项目管理。Project Manager 既管理电路图的绘制, 还协调处理电路图与其他软件之间的接口和数据交换, 并管理各种资源和文件。

2) 元器件编辑模块 (Part Editor) Capture CIS 软件包提供的元器件库包含数千万种元器件符号, 供绘制电路图时调用。软件中还包含元器件编辑模块 (Part Editor), 可以修改元器件库中的元器件或添加新的元器件符号。

3) 电路图绘制模块 (Page Editor) 在 Page Editor 中可以绘制各种电路的原理图。

4) 元器件信息系统 (Component Information System, CIS) 该模块不仅可以对元器件和元器件库实施高效管理, 而且还可以通过互联网元器件助理 (Internet Component Assistant, ICA), 从指定网站提供的元器件数据库中查阅近百万种元器件, 并根据需要添加到电路设计中或添加到软件包的库里。

注意: Capture 和 Capture CIS 的区别在于 Capture 软件包中没有 CIS 模块。

5) 电路设计的后处理工具 (Processing Tools) 对编辑好的电路图, Capture CIS 还提供一些后处理工具, 如对元器件进行自动编号、设计规则检查、输出各种统计报告, 以及生成网络表文件等。

2.2 原理图工作环境

在程序文件夹中执行菜单命令 “Cadence SPB 16.5” → “Design Entry CIS”, 打开 “Cadence Product Choices” 对话框, 选择 “OrCAD Capture”, 如图 2-2-1 所示。单击 “OK” 按钮, 进入 OrCAD Capture 主界面, 如图 2-2-2 所示。图中最下面窗口负责显示 Capture 操作流程和错误信息。

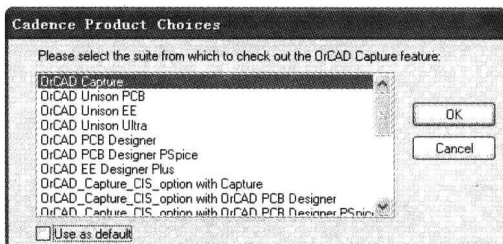


图 2-2-1 选择 “OrCAD Capture”

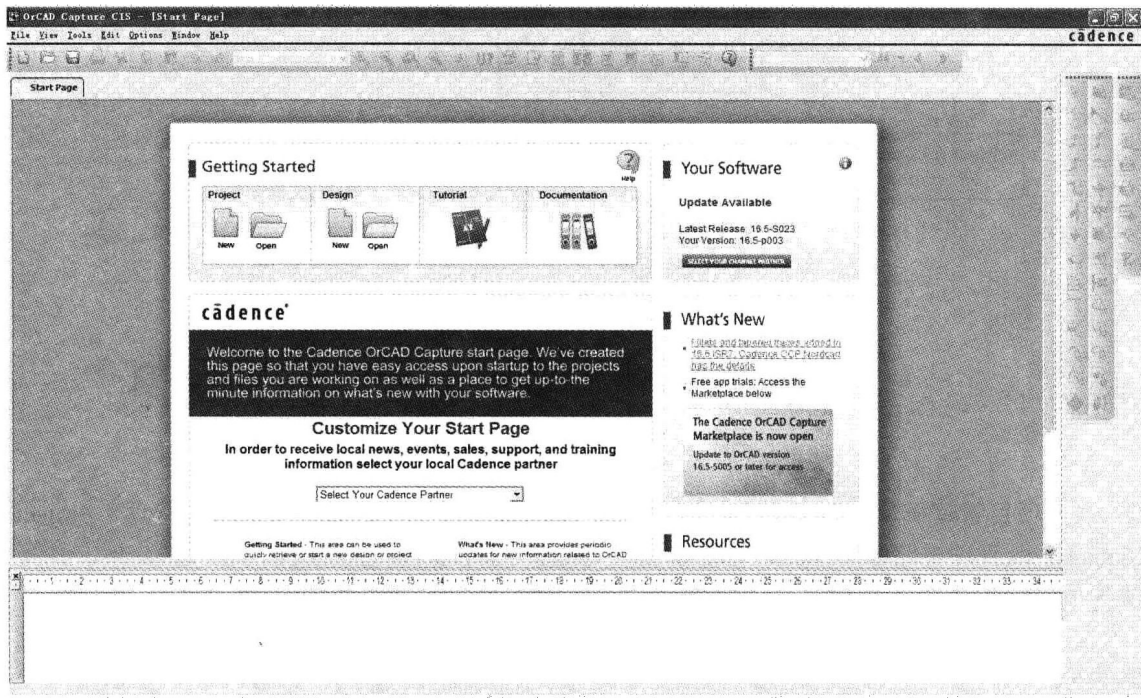


图 2-2-2 “OrCAD Capture” 主界面

2.3 设置图纸参数

执行菜单命令 “Options” → “Preferences...”, 弹出如图 2-3-1 所示的参数设置对话框。此对话框包括 7 个选项卡, 即 “Colors/Print”、“Grid Display”、“Pan and Zoom”、“Select”、

“Miscellaneous”、“Text Editor”和“Board Simulation”。

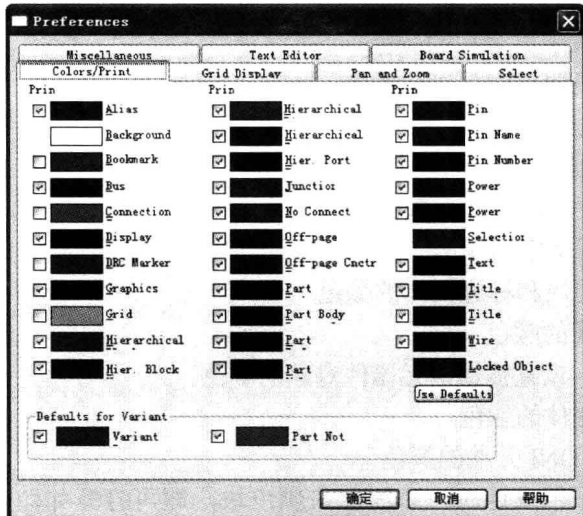


图 2-3-1 参数设置对话框

1. 设置颜色

“Colors/Print”选项卡的功能是设置各种图件的颜色及打印的颜色。用户可以根据自己的习惯设置颜色的类别；也可选用默认值，只需单击“Use Defaults”按钮即可。

- Alias: 设置网络别名的颜色
- Background: 设置图纸的背景颜色
- Bookmark: 设置书签的颜色
- Bus: 设置总线的颜色
- Connection: 设置连接处方块的颜色
- Display: 设置显示属性的颜色
- DRC Marker: 设置 DRC 标志的颜色
- Graphics: 设置注释图案的颜色
- Grid: 设置格点的颜色
- Hierarchical Block: 设置层次块的颜色
- Hier. Block Name: 设置层次名的颜色
- Hierarchical Pin: 设置层次块 I/O 端点的颜色
- Hierarchical Port: 设置层次块 I/O 端口的颜色
- Hier. Port Text: 设置层次块 I/O 端口文本的颜色
- Junction: 设置节点的颜色
- No Connect: 设置不连接指示的符号的颜色
- Off-page: 设置端点连接器的颜色
- Off-page Cnctr: 设置端点连接器文字的颜色
- Part Body: 设置元器件的颜色