



高等学校电子与通信工程类专业“十二五”规划教材

EDA技术与VHDL 设计实验指导

主 编	黄沛昱	
副主编	刘乔寿	应 俊
主 审	王汝言	



西安电子科技大学出版社
<http://www.xduph.com>

高等学校电子与通信工程类专业“十二五”规划教材

EDA 技术与 VHDL 设计实验指导

主 编 黄沛昱

副主编 刘乔寿 应 俊

主 审 王汝言



西安电子科技大学出版社

内 容 简 介

本书从现代电子系统设计的角度出发,以全球著名可编程逻辑器件供应商 Altera 公司的集成 EDA 开发工具 Quartus II 为开发平台,介绍了 EDA 技术及其应用,所选实验项目具备基础性、典型性、设计性、综合性、创新性,突出 EDA 技术的实用性和工程性。

全书共分 5 章,按照“入门了解—基础实验—能力提升”的理念进行划分。第 1 章是 Altera Quartus II 9.1 使用介绍,主要介绍 EDA 设计的一般流程;第 2 章是 EDA 技术设计入门篇,分成 7 个实验项目,侧重于各知识点的掌握;第 3 章介绍 EDA 技术在控制与接口方面的应用,分成 5 个实验项目,引入了 DDS(直接数字频率合成)技术、嵌入式逻辑分析仪的使用等;第 4 章介绍 EDA 技术在数字通信领域的应用,分成 2 个实验项目;第 5 章主要介绍著名仿真软件 ModelSim 的使用流程以及如何通过 Quartus II 直接调用 ModelSim 进行仿真。

本书可作为高等学校电子信息工程、电子科学与技术、通信工程、信息工程等电子信息类专业的实验教材,也可作为工程技术人员的参考用书。

图书在版编目(CIP)数据

EDA 技术与 VHDL 设计实验指导/黄沛昱主编. —西安:西安电子科技大学出版社,2012.8

高职学校电子与通信工程类专业“十二五”规划教材

ISBN 978-7-5606-2841-7

I. ① E… II. ① 黄… III. ① 电子电路—计算机辅助设计—应用软件—高等学校—教材
② 硬件描述语言—程序设计—高等学校—教材 IV. ① TN702 ② TP312

中国版本图书馆 CIP 数据核字(2012)第 146729 号

策 划 邵汉平

责任编辑 阎 彬 邵汉平

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

网 址 www.xduph.com

电子邮箱 xdupfb001@163.com

经 销 新华书店

印刷单位 陕西光大印务有限责任公司

版 次 2012 年 8 月第 1 版 2012 年 8 月第 1 次印刷

开 本 787 毫米×1092 毫米 1/16 印 张 11.5

字 数 271 千字

印 数 1~3000 册

定 价 21.00 元

ISBN 978-7-5606-2841-7/TN·0660

XDUP 3133001-1

如有印装问题可调换

前 言

EDA 技术是当今电子信息领域最先进的技术之一,已广泛应用于电子、通信、工业自动化、智能仪表、图像处理以及计算机等领域。因此,EDA 技术是电子工程师必须掌握的一门技术。教育部高度重视 EDA 技术的教学,认为电子设计自动化课程是电子类专业的核心课程之一,要求电子技术类课程的体系和内容根据目前市场的发展要求作相应的改革。2011 年全国大学生电子设计竞赛中,需要使用 EDA 技术的赛题超过全部赛题的三分之一。通过对国外一些高校的调研,我们发现许多著名高校的 EDA 技术本科教学有两个明显的特点:一是在各专业课程中涉及较多;二是在实验中大量引入新技术、新方法与新器件,更多地注重创新性、设计性、综合性项目,突出 EDA 技术的实用性,以及面向工程实际的特点。

重庆邮电大学通信与信息工程学院信息基础教研中心于 2010 年成功申请校级教改项目——以工程实践能力培养为目标的“电子设计自动化”课程改革,力求解决目前 EDA 课程教学中存在的几个重要问题。这些问题包括:

- (1) 教学内容陈旧,不能反映当前流行技术,不能体现现代电子系统设计思想。
- (2) 过于重视理论教学,忽视实践教学的重要性。
- (3) 理论教学以教师讲授为主,比较枯燥,学生的理解也仅仅停留在死记硬背上。
- (4) 教学条件落后,实验设备不能满足教学要求。

经过一年多的课程建设,项目组取得了一定的成效。从 2011 级学生开始调整了实验学时数,增加为 16 学时,采取传统实验与开放实验相结合的形式,一方面保证基本项目的完成,另一方面给予学生更多的自主权,提高他们的积极性。理论教学也改革了教学内容和教学方法,通过简单的例子启发式地引入基本概念和语法,并结合实际问题来加深学生的理解,有效地提高了学生的学习兴趣。

为解决实验条件落后的现状,项目组自行研发了 EDA 综合实验箱。该实验箱能够同时支持单片机和可编程逻辑器件,采用模式化结构,可以根据具体电子系统的要求选择不同的模式,进行动态电路配置,并配有扩展接口。该实验箱和目前市场现有实验设备相比,性价比突出。

在总结教改成效的基础上,根据课程教学要求,以提高学生的实践动手能力和工程设计能力为目的,从应用的角度出发,我们编写了本书。本书具有以下几个特点:

(1) 结构合理,将教学内容分为入门篇和提高篇。入门篇侧重于各知识点的强化,如软件的使用、VHDL 语言的设计等;提高篇侧重于 EDA 技术在实际中的应用。

(2) 精心选取的实验项目具备基础性与典型性,可在 EDA 综合实验箱上完成,也可在其他硬件条件下完成。

(3) 提供 EDA 综合实验箱使用说明,包括实验箱结构、功能键的使用、模式说明、引脚分配等,有助于学生了解实验箱的构成原理、掌握使用方法,并通过实验箱验证设计结果。

全书共分 5 章,按照“入门了解—基础实验—能力提升”的理念进行划分。

第 1 章属于入门了解,以 Altera 公司的集成 EDA 开发工具 Quartus II 为例,详细讲述每个设计流程的功能。

第 2 章是基础实验部分,侧重于各知识点的掌握。整章分为 7 个实验项目。第 1、2 个实验项目采用原理图形式完成,作为数字电路实验的延伸,并进一步使学生掌握 EDA 软件的使用。实验 3 至实验 6 采用硬件描述语言 VHDL 进行设计,每个实验项目均对应一个典型模块的设计,如计数器、分频器、数码管显示等,还各自对应一个语法知识点,如 if 语句、case 语句、状态机等。实验 7 数字频率计的设计是上述知识的综合应用,采用原理图和 VHDL 语言混合设计的形式。在每个实验中都会出现一定的软件使用技巧,如 LPM 模块的使用、图形观察工具的使用。在实验项目中会进行实验背景知识的讲解、方案的分析、程序的示例和重要知识点的提示,当然也会给同学们留下足够的思考空间和需要进行引申设计的内容。

第 3 章、第 4 章属于能力提升部分。其中第 3 章主要介绍 EDA 技术在控制与接口方面的应用,分 5 个实验项目,包括蜂鸣器的控制、矩阵键盘的控制、DDS(直接数字频率合成)设计、D/A 转换的控制、字符型 LCD 的显示控制,其中还引入了嵌入式逻辑分析仪的使用等。第 4 章介绍 EDA 技术在通信领域的应用,包含两个实验:数字调制和冗余校验。

第 5 章在对比 Quartus II 各版本的基础上,介绍了著名的仿真软件 ModelSim,以及如何通过 Quartus II 调用 ModelSim 进行仿真,以便让读者了解最新版本软件的性能并能更加专业地使用它。

在附录中,提供了我们自行研发的 EDA 综合实验箱的使用说明,包括实验箱的结构、功能按键使用、模式分类、引脚分配等内容,帮助同学们了解实验箱的构成原理并掌握使用方法,以便在实验箱上进行硬件设计结果的验证。

本书由重庆邮电大学教务处处长王汝言主审。本书在编写过程中得到了重庆邮电大学信息基础教研中心雷芳副教授、谭钦红副教授的大力支持与帮助,在这里表示深深的谢意。

限于作者水平,书中难免存在不妥之处,真诚地欢迎读者批评指正。作者邮箱:huangpy@cqupt.edu.cn。

编者

2012 年 02 月

于重庆邮电大学

目 录

第 1 章 Altera Quartus II 9.1 使用介绍	1
1.1 概述	1
1.2 Quartus II 设计流程	2
1.2.1 设计输入	2
1.2.2 综合	3
1.2.3 布局布线	4
1.2.4 仿真	4
1.2.5 时序分析	5
1.2.6 编程和配置	5
1.3 一个设计实例	6
本章小结	23
第 2 章 EDA 技术实验——设计入门篇	25
实验 1 基于原理图的计数器设计	25
实验 2 参数可设置宏功能模块 LPM 的应用	29
实验 3 基于 VHDL 的计数器设计	40
实验 4 数控分频器的设计	46
实验 5 数码管显示设计	53
实验 6 简单状态机的设计	57
实验 7 数字频率计的设计	66
第 3 章 EDA 技术实验——提高篇 1(控制与接口类)	73
实验 8 硬件电子琴的设计	73
实验 9 矩阵键盘扫描电路	77
实验 10 直接数字频率合成器(DDS)设计	86
实验 11 D/A 转换控制	99
实验 12 字符型 LCD 显示	109
第 4 章 EDA 技术实验——提高篇 2(通信类)	119
实验 13 数字二进制频移键控调制模块的设计	119
实验 14 循环冗余校验模块设计	129
第 5 章 Quartus II 10.0 以上版本及 ModelSim 使用介绍	138
5.1 新增功能与区别	138
5.2 使用 ModelSim 进行仿真	139

5.2.1 ModeliSim 用户界面介绍	140
5.2.2 一个设计实例	146
5.2.3 利用 Testbench 实现仿真	151
5.2.4 实现后仿真	155
5.3 通过 Quartus II 调用 ModelSim.....	156
本章小结	161
附录 EDA 综合实验箱使用说明	163
参考文献	178

第1章 Altera Quartus II 9.1 使用介绍

EDA(Electronic Design Automation, 电子设计自动化)技术能够让设计者利用硬件描述语言和 EDA 软件完成系统硬件的功能。

本章比较详细地介绍了 Altera 公司的 EDA 软件 Quartus II 的基本功能及设计流程, 并通过一个实例详细讲解了设计的具体步骤, 还给出了一些需要注意的事项。

1.1 概 述

Quartus II 是著名可编程逻辑器件生产厂商 Altera 开发的综合性开发软件, 可以在 XP、Linux、UNIX 上使用, 已取代 MAX+PLUS II。MAX + PLUS II 曾经是最优秀的 PLD 开发平台之一, 适合开发早期的中小规模 CPLD 或者 FPGA, 但目前 Altera 已停止更新其版本。

利用 Quartus II 软件能够高效地进行 CPLD、FPGA 以及 ASIC 的设计, 是一条实现设计概念的快速途径。Quartus II 支持的 Altera 公司的可编程逻辑器件(PLD)包括 Arria II、Arria GX、Cyclone、Cyclone II、Cyclone III、Cyclone IV、HardCopy II、HardCopy III、HardCopy IV、MAX II、MAX V、MAX 3000A、MAX 7000AE、MAX 7000B、MAX 7000S、Stratix、Stratix II、Stratix II GX、Stratix III、Stratix IV、Stratix V 和 Stratix GX devices 系列。该软件提供以下完整的逻辑设计能力:

- ★ 多种设计手段;
- ★ 自动布局布线;
- ★ 强有力的逻辑综合;
- ★ 功能和时序仿真;
- ★ 时序分析;
- ★ 自动出错锁定;
- ★ 器件编程配置;
- ★ 利用 SignalTab II 逻辑分析仪进行嵌入式逻辑分析;
- ★ 支持 Altera 的 IP 核, 包含 LPM/MegaFunction 宏功能模块库。

此外, 该软件还提供了与第三方 EDA 工具软件的本地链接, 能够使用诸如 Synplify、ModelSim 等著名综合、仿真软件。另一方面, 该软件通过与 DSP Builder、MATLAB/Simulink 工具相结合, 可以方便地实现各种 DSP 应用系统; 该软件支持 Altera 的片上可编程系统(SOPC)开发, 是集系统级设计、嵌入式软件开发、可编程逻辑设计于一体的一种综合性的开发平台。

目前 Quartus II 软件的最新版本 11.1 是业界性能和效能首屈一指的软件, 支持 Altera

Qsys 的系统级集成工具新产品。Qsys 系统集成工具提高了系统开发速度，支持设计重用，从而缩短了 FPGA 的设计过程，节省了时间，减轻了工作量。此外，该版软件实现了对 Stratix V FPGA 系列的扩展支持，如增加了收发器模式和特性等。

Quartus II 软件的设计具有标准流程，以下讲述和实验均采用目前较流行的 Quartus II 9.1 版本。

1.2 Quartus II 设计流程

Quartus II 的设计流程如图 1-1 所示，主要包括设计输入、综合、布局布线、仿真、时序分析、编程和配置几个环节。

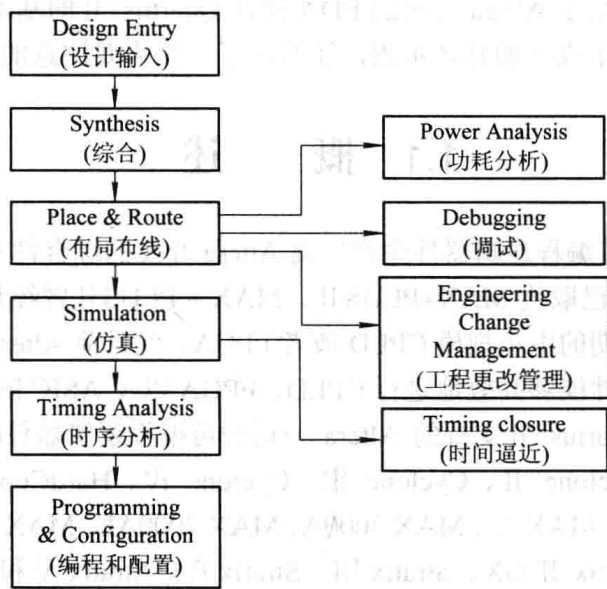


图 1-1 Quartus II 设计流程

1.2.1 设计输入

Quartus II 的设计方式多样，可以使用 Block Editor 建立原理图文件，或使用 Text Editor 通过 AHDL、VHDL、Verilog HDL 硬件描述语言建立设计。

此外，Quartus II 还支持采用 EDA 设计输入和综合工具生成的 EDIF 文件或者 VQM 文件，也支持采用 MAX+PLUS II 建立的原理图文件。Quartus II 具体支持的文件见表 1-1。

表 1-1 Quartus II 支持的设计文件类型

支持设计文件类型	后缀名	支持设计文件类型	后缀名
原理图设计文件	.bdf	图形设计文件(MAX+PLUS II)	.gdf
AHDL 设计文件	.tdf	EDIF 输入文件	.edf、.edif
VHDL 设计文件	.vh、.vhd、.vhdl	VQM 文件	.vqm
Verilog HDL 设计文件	.v、.vlg、.verilog		

(1) 原理图设计文件：几乎所有的 EDA 设计工具都会提供原理图设计输入方式。这种

方式的优点在于简单、直观,类似于数字电路中画电路图的形式;缺点是直观的图形背后调用的模块库不兼容导致可移植性不好。值得一提的是,Quartus II 实现了从原理图到 HDL 硬件描述语言的双向自动转化功能,即可以实现原理图和 HDL 的混合输入,该方法在进行大型综合设计时颇有意义,我们将在后面的实验中看到实例。

(2) AHDL 设计文件:采用 Altera 公司自有的硬件描述语言 AHDL,与 Altera 器件底层的相关设计结合良好,适合设计较复杂的组合逻辑、批处理、状态机等。但由于其只能用于 Altera 的综合器,因此可移植性不好。

(3) VHDL 设计文件:采用 IEEE 标准描述语言 VHDL。VHDL 是目前较常用的硬件描述语言之一,具有与硬件电路无关和与设计平台无关的特性。

(4) Verilog HDL 设计文件:采用 IEEE 标准描述语言 Verilog HDL。Verilog HDL 也是目前常用的硬件描述语言之一。该语言支持行为描述,在门级描述方面拥有独特的优势,可移植性较好。

(5) 图形设计文件:采用 MAX+PLUS II 软件 Graphic Editor 建立的原理图设计文件。

(6) EDIF 输入文件:网表(Netlist)文件,记录的是设计的组成及连接方式等,由第三方综合工具生成。与上述五种设计输入的层次不同,EDIF 输入文件可理解为是已完成综合的设计。Quartus II 会根据网表文件的描述进行布局布线,将设计具体部署到确定的 Altera 器件中。

(7) VQM 文件:通过 Synplicity Synplify 或者 Quartus II 生成的 Verilog HDL 格式的网表文件。

1.2.2 综合

综合就是将硬件描述语言、原理图等翻译成基本逻辑门、触发器、存储器等基本逻辑单元的连接关系,它是文字描述与硬件实现的桥梁。综合后生成的文件称为网表。在这个过程中,综合器会根据用户的约束条件与本身的算法进行优化,目的是让生成的设计拥有更快的速度和占有更好的资源。

可以使用 Quartus II 自带的 Analysis & Synthesis 模块进行综合,也可以使用其他第三方的 EDA 综合工具,如 Synplicity 公司的 Synplify、Synplify Pro 综合器, Mentor 公司的 Graphics Design Architect、Graphics LeonardoSpectrum 综合器来进行综合。实现 Quartus II 与第三方软件接口的工具就是 NativeLink,它支持第三方软件工具到 Quartus II 的无缝链接,可使双方在后台进行参数与命令交互,而使用者完全不用关心 NativeLink 的操作细节。

Analysis & Synthesis 模块支持 VHDL 1987(IEEE 标准 1076-1987)、1993(IEEE 标准 1076-1993)和 2008 标准,支持 Verilog HDL 1995(IEEE 标准 1364-1995)、2001(IEEE 标准 1364-2001)标准,支持 System Verilog 2005 标准。在默认情况下,使用 VHDL 1993 和 Verilog HDL 2001 标准。当然,也可以自行制定使用标准,方法是:选择 Assignments 菜单 Settings 对话框中的 Analysis & Synthesis Settings,打开 VHDL Input 或者 Verilog HDL Input 页,即可指定标准,如图 1-2 所示。



 选择不同的语言标准,有可能导致某些语法不能够综合!

设计者还可以在不编辑源代码的情况下设置某些属性,用于删除重复或冗余逻辑,保留某些寄存器,优化速度或区域,设置状态机的编码级别等。

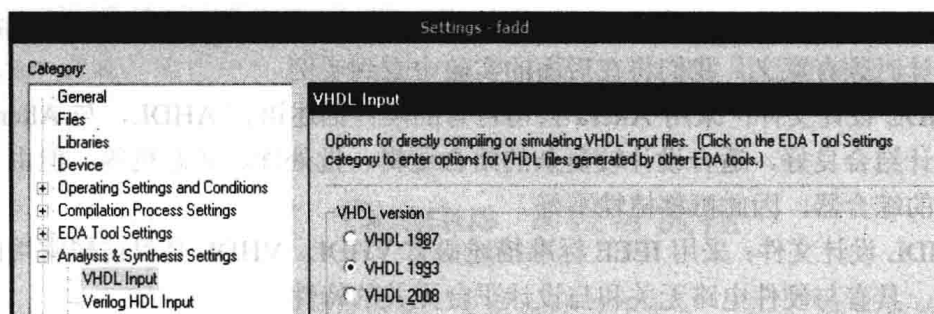


图 1-2 设置 VHDL 支持标准

1.2.3 布局布线

在 Quartus II 中由 Fitter 模块执行布局布线功能。Fitter 使用由 Analysis & Synthesis 建立的数据库,将工程的逻辑和时序要求与目标器件的可用资源相匹配。它将每个逻辑功能分配给最合适的逻辑单元位置,进行布线,并选择相应的互连路径和引脚分配。

设计者可以使用时序逼近布局图(Assignments→Timing Closure Floorplan)或者底层编辑器(Tools→Chip Editor)来查看或调整逻辑分配情况、布线拥塞情况、路径的布线延时等。还可以使用信号探针(Tools→SignalProbe Pins)或者嵌入式逻辑分析仪(Tools→SignalTab II Logic Analyzer)来进行在线调试。配置数据文件可以跟随设计文件一并下载于目标器件中,用以捕捉目标器件的内部信号节点的信息,而又不影响原硬件系统的正常工作。SignalTab II Logic Analyzer 将测得的样本信号暂存于目标器件的 RAM 中,然后通过 JTAG 端口将信息上传至 Quartus II 软件,由软件将采集的数据以波形显示。如果设计硬件时没有预留 JTAG 端口,则采用 SignalProbe Pins 进行调试,将选定的信号送往外部逻辑分析器或者示波器。SignalTab II Logic Analyzer 的具体使用将在后面的实验中(实验 10)详细讲解。

总的来说,可以通过以上提及的调试工具来修复设计期间未解决的错误,或是使设计最优化。

1.2.4 仿真

仿真的目的就是在软件环境下检查设计文件是否和预期目的一致。在 Quartus II 中,仿真分为功能仿真和时序仿真。功能仿真(也叫前仿真)的主要目的是验证设计文件的逻辑功能是否正确,是否满足设计要求,不考虑时延。其实在完成设计后就可以进行功能仿真了。时序仿真(也叫后仿真)是指在综合、布线以后,电路的最终形式已经固定下来,已得到综合出的网表,这时再加上器件物理模型进行仿真,以得到精确的延时。多数情况下,时序仿真验证的结果基本与实际电路的工作结果相一致。

当然,设计者也可以使用第三方的 EDA 仿真工具,例如 Cadence 的 Verilog XL、NC-VHDL, Mentor Graphic 公司的 ModelSim。在第 5 章中,将详细介绍使用 ModelSim 进行仿真的流程以及如何使用 Quartus II 直接调用 ModelSim 进行仿真。

具体设置第三方 EDA 仿真工具的方法见图 1-3(Assignments→Settings→EDA Tool

Settings→Simulation)。同样,也可以选择 Design Entry/Synthesis 来设置第三方的设计、综合工具,见图 1-4。

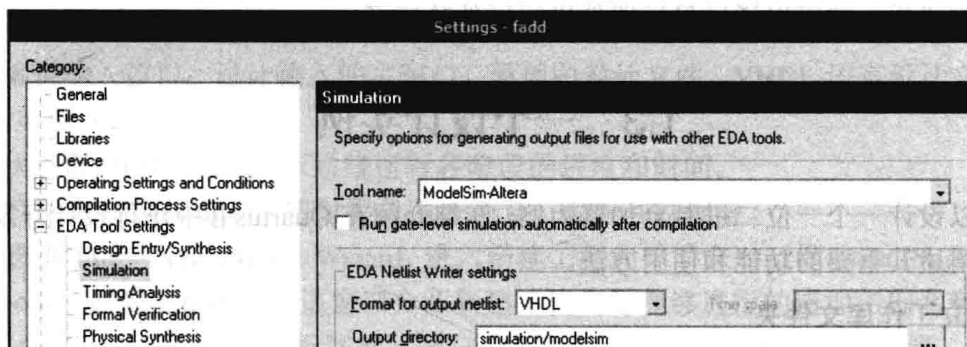


图 1-3 设置第三方仿真工具(ModelSim)

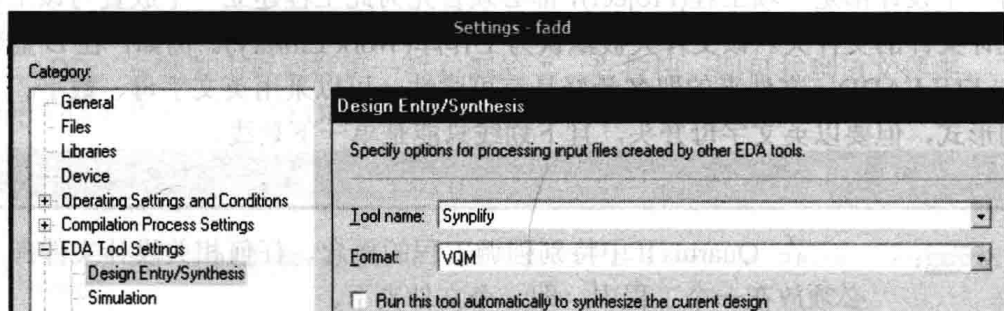


图 1-4 设置第三方的设计、综合工具(Synplify)

1.2.5 时序分析

对于数字系统设计工程师来说,时序分析是设计中的重要内容。尤其是随着时钟频率的提高,留给数据传输的有效读写窗口越来越小,要想在很短的时间内让数据信号从驱动端完整地传送到接收端,就必须进行精确的时序计算和分析。同时,时序和信号完整性也是密不可分的,良好的信号质量是确保稳定的时序的关键。

Timing Analyzer 模块允许用户分析设计中所有逻辑的性能。在默认情况下,作为全编译的一部分自动运行,该模块能够观察和报告时序信息,包括建立时间(t_{su})、保持时间(t_h)、时钟至输出延时(t_{co})、引脚至引脚延时(t_{pd})、最大时钟频率(f_{max})等,以确定电路的时序性能。

从 Quartus II 6.0 版本开始,新增了具备 ASIC 设计风格的静态时序分析工具——TimeQuest,功能较 Timing Analyzer 更强大,而且使用界面友好,易于深入进行时序约束和结果分析。

另外,Quartus II 软件支持在 UNIX 工作站上使用 Synopsys 公司的 PrimeTime 软件进行时序分析,支持使用 Mentor 公司的 BLAST、Tau 板级验证工具进行板级时序分析。

1.2.6 编程和配置

使用 Quartus II 软件成功编译后,就可以对 Altera 的目标器件进行编程或配置,这是 Quartus II 设计流程的最后一步。通过 Assembler 模块生成的配置文件,包括 .pof(Programmer Object File)和 .sof(SRAM Object File)两种格式。其中“.sof”配置文件是由下载电缆将其直

接下载到 FPGA 中的; “.pof” 配置文件是存放在配置器件里的。在默认情况下, 启动全编译会自动运行 Asssembler 模块。

配置完成后, 就可以通过目标器件进行硬件验证了。

1.3 一个设计实例

本节以设计一个一位二进制全加器为例, 详细介绍在 Quartus II 中进行设计开发的具体步骤, 并阐述其重要的功能和使用方法。

1. 建立工作库文件夹

首先建立工作库文件夹, 以便存放设计文件和相关文件。

任何一个设计都是一项工程(Project), 都必须首先为此工程建立一个放置与该工程相关的所有设计文件的文件夹。该文件夹被默认为工作库(Work Library)。例如: 在 D 盘建立一个文件夹 FULLADD。文件夹的取名最好具有可读性, 可以采用英文字母、数字、下划线相结合的形式, 但要以英文字母开头, 且下划线只能是单一下划线。



注意: 在 Quartus II 中特别强调工程的概念, 任何相关设计文件都必须放在一个工程中, 即一个文件夹下。

2. 建立一个新的工程

(1) 打开 Quartus II 9.1 软件, 进入图 1-5 所示的开发环境界面。

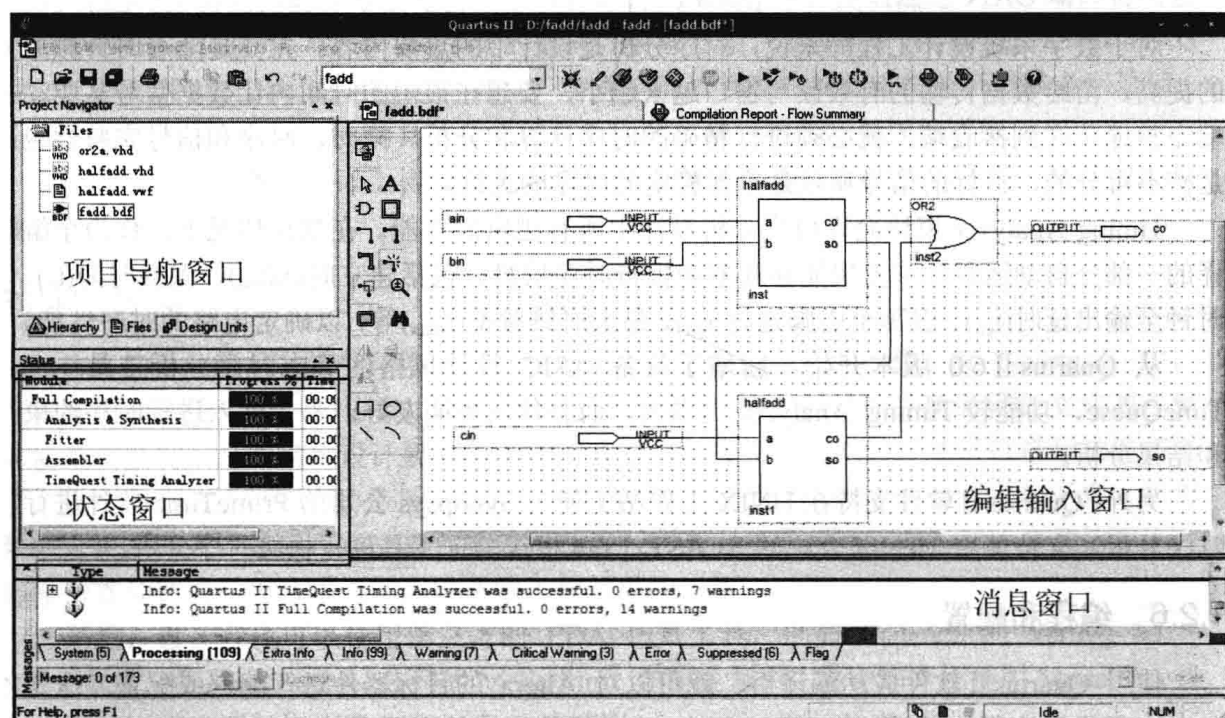


图 1-5 Quartus II 开发环境界面

① 项目导航窗口(Project Navigator): 包括 3 个可以切换的标签。Hierarchy 栏以图形的方式显示工程的层次体系结构; Files 栏显示工程的文件; Design Units 栏显示设计单元信息。

② 编辑输入窗口: 设计输入的主窗口, 原理图设计文件、VHDL 语言设计文件、编译仿真报告等都在这里显示。

③ 状态窗口(Status): 显示系统运行各阶段的进度和时间。

④ 消息窗口(Message): 实时提供系统消息、警告和错误等。

(2) 选择 File→New Project Wizard, 进入新建工程向导简介对话框(New Project Wizard: Introduction), 如图 1-6 所示。该窗口介绍新建工程向导能够进行的诸如工程名和路径、顶层设计实体名、工程文件、目标器件、第三方 EDA 工具的选择等参数的设置。点击 Next 按钮进入参数设置对话框, 如图 1-7 所示, 分别设置工程存放路径、工程名以及顶层设计实体名。整个工程将存放在步骤 1 所建的文件夹 FULLADD 中, 因此工程路径为 D:\FULLADD。左键单击对话框第一栏右侧的“...”按钮, 即可找到该文件夹。工程名与顶层设计实体名相同, 取名 FULLADD(全加器, 具有可读性)。

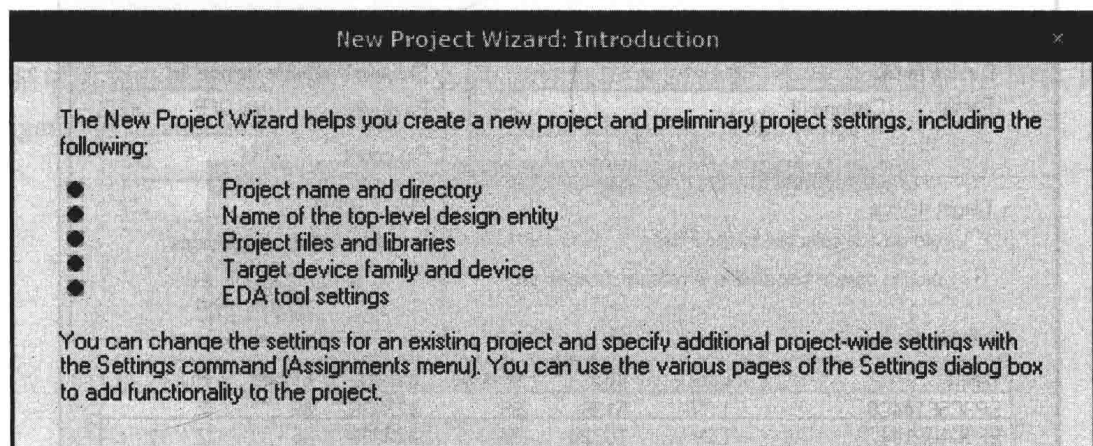


图 1-6 新建工程向导



图 1-7 利用 New Project Wizard 创建工程 FULLADD

(3) 单击 Next 按钮进入 Add Files 对话框, 如图 1-8 所示。该对话框允许添加已有的设计文件。用户可以左键单击“...”按钮, 选择需要添加的相关文件, 并按 Add 键确认。本例还没有任何设计文件, 所以单击 Next 按钮, 直接进入下一步。

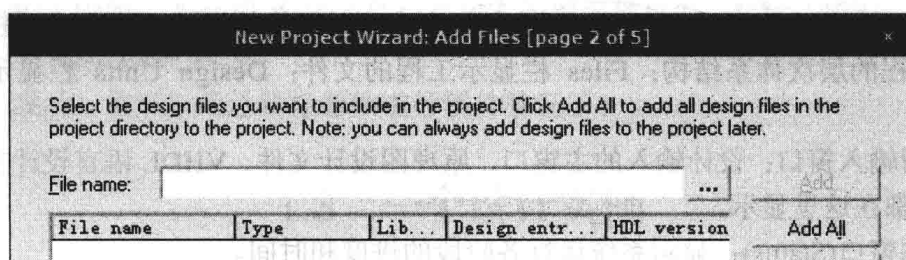


图 1-8 添加用户特定的设计文件

(4) 选择目标芯片的型号。EDA 综合实验箱上采用的可编程逻辑器件的型号是 EP3C10E144C8, 读者可以自己观察芯片确认型号。该型号属于 Cyclone III 系列。在选择器件系列后, 会有很多不同型号的器件列出。为了方便选择, 可以通过窗口右边的三个过滤选项来过滤, 见图 1-9。第一项 Package 是封装形式, 第二项 Pin count 是器件引脚数量, 第三项 Speed grade 是器件速度等级。

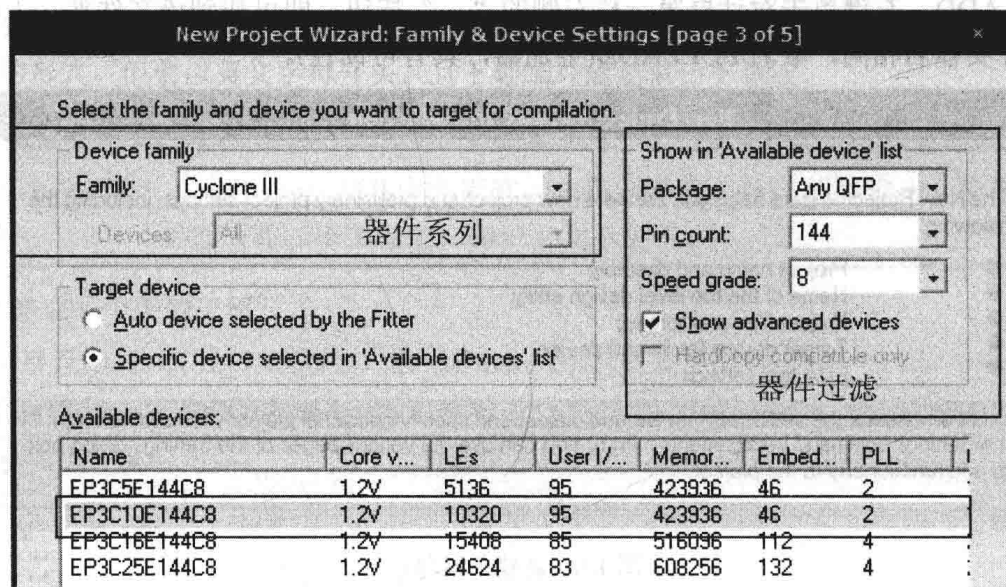


图 1-9 选择目标器件型号

在这里, 有必要对 Altera 公司器件的命名规则作简单介绍, 以 EP3C10E144C8 为例。

- EP: 典型器件前缀, 还可能有 EPC(EPROM 器件前缀)、EPX(快闪逻辑器件前缀)等。
- 3C: Cyclone III 系列, 又如 2C 代表 Cyclone II 系列。
- 10E: 逻辑单元数量, 10k。
- E: 封装形式。
- 144: 引脚数量。
- C: 温度范围 0°C~85°C。
- 8: 速度等级, 数字越小速度越快。

(5) 添加第三方 EDA 工具。如图 1-10 所示, 本例不做任何选择, 表示使用 Quartus II 自带的所有设计工具。单击 Next 按钮进入下一步骤。

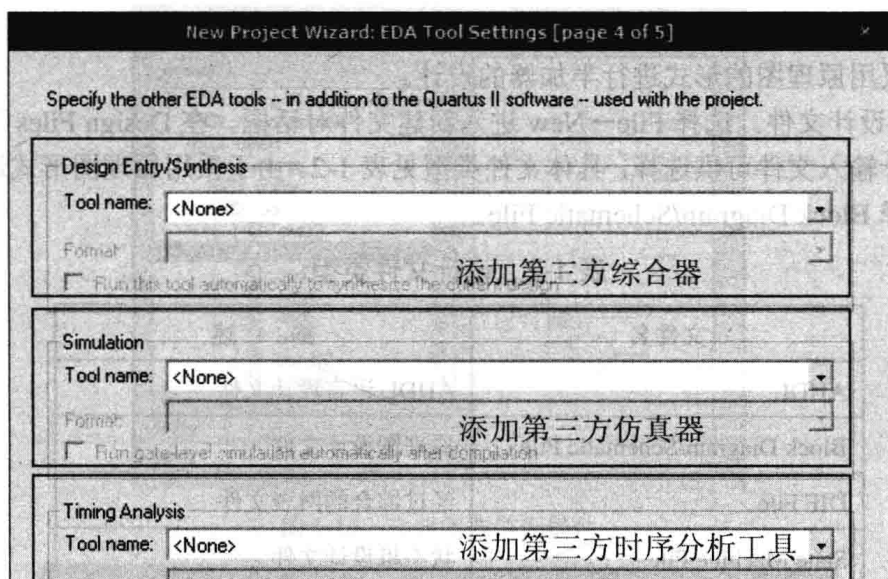


图 1-10 第三方 EDA 工具添加

(6) 设置总结。如图 1-11 所示，该窗口显示之前的所有设置，用于确认。如果设置正确，则单击 Finish 按钮，否则可单击 Back 按钮返回重新设置。工程设置完成后，可在 Project Navigator 窗口 Hierarchy 栏看见新建的工程 FULLADD，见图 1-12。

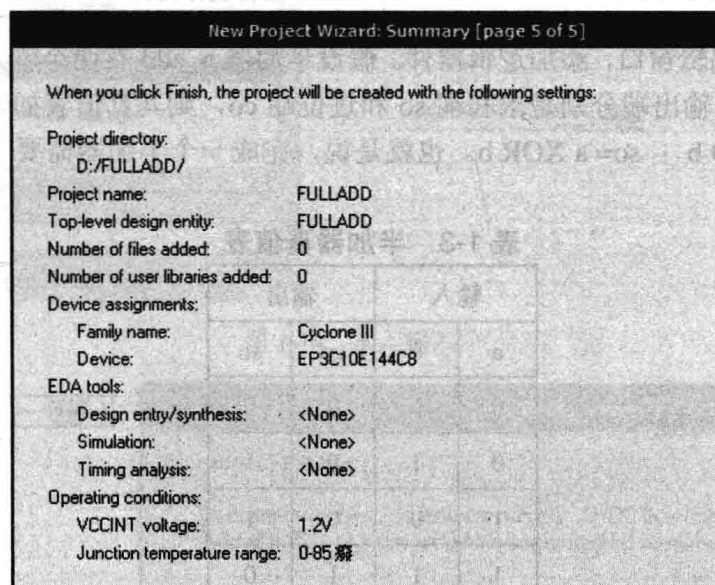


图 1-11 工程设置总结

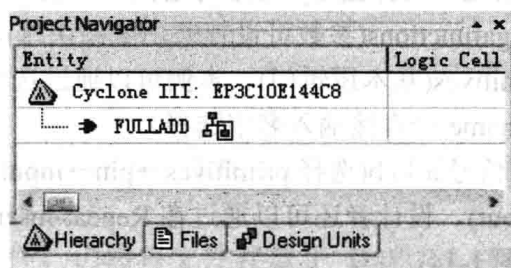


图 1-12 工程导航窗口显示新建工程

3. 设计输入

本例将采用原理图的形式进行半加器的设计。

(1) 新建设计文件。选择 File→New 进入新建文件对话框。在 Design Files 下有多种不同类型的设计输入文件可供选择，具体文件类型见表 1-2。由于采用原理图形式进行设计输入，本例选择 Block Diagram/Schematic File。

表 1-2 设计文件类型

文件名	描 述
AHDL	AHDL 语言设计文件
Block Diagram/Schematic File	原理图设计文件
DIF File	经过综合的网表文件
State Machine File	状态机设计文件
SystemVerilog HDL File	SystemVerilog HDL 语言设计文件
Tcl Script File	命令行可执行文件
Verilog HDL File	Verilog HDL 语言设计文件
VHDL File	VHDL 语言设计文件

(2) 进入图形编辑窗口，添加逻辑器件。假设半加器 h_add 有两个输入端，分别是加数 a 和加数 b，有两个输出端分别是求和端 so 和进位端 co，则其真值表如表 1-3 所示。这样能够得出 $co=a \text{ AND } b$ ； $so=a \text{ XOR } b$ 。也就是说，完成一个半加器需要一个与门和一个异或门。

表 1-3 半加器真值表

输入		输出	
a	b	co	so
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

双击图形编辑窗口空白处，可弹出 Symbol 对话框，如图 1-13 所示。在左上角的元件库中一共包含 3 个库：megafunctions(参数可设置宏功能模块库)、others(集合 MAX+PLUS II 中的 74 系列芯片)、primitives(基本逻辑门)。本例可以通过选中 primitives→logic 来选择与门和异或门，也可以在 name 处直接输入名字选择。

此外，还需要两个输入信号 a 和 b(选择 primitives→pin→input)和两个输出信号 co 和 so，(选择 primitives→pin→output)。设计者还可以通过在 Repeat-insert mode 前的方框内打勾，表示重复输入该器件，见图 1-14。

双击输入输出端口，改变输入输出信号名称，使其具有可读性，见图 1-15。