

TI DAVINCI DSP
系统开发应用技巧丛书

DAVINCI 技术剖析 及实战应用开发指南

沈沛意 张亮 周梦 董洛兵 王剑 编著



西安电子科技大学出版社
<http://www.xduph.com>

内 容 简 介

达芬奇(DAVINCI)技术是 TI 公司推出的一种应用于数字视频的内涵丰富的综合体,它是处理数字图像、视频、语音和音频信息的新平台。达芬奇技术包括达芬奇处理器(基于 ARM+DSP 的片上系统)、软件、开发工具、算法库和其他的一些技术上的支持。

本书深入地解析了 DAVINCI 技术的原理、创建的方法及步骤。本书从实际应用的角度,以基于 DAVINCI 技术的硬件平台 DM6467 和 DM365 为例,系统地讲述了 DAVINCI 技术在各个处理器平台下的 Codec、Server 和 App 三部分的详细内容,包括各种配置文件、源文件等内容及功能,三部分的创建生成方法、应用程序的编写和算法的调用流程,以及各个处理器的 UBOOT、UBL、Linux 内核开发和硬件系统的烧写方法等;同时,针对 DAVINCI 技术在 CCS 中的实际应用进行了讲解,包括 CCS 开发环境的配置和 DAVINCI 技术的具体实现等内容;最后,从算法和内存两方面介绍了 DSP 系统算法的优化,以及基于裸通信机制的 DAVINCI 核间通信模型。

本书还提供了各个 DAVINCI 硬件平台下的开始环境、算法及应用程序的源码。

本书是针对科研中的实际问题进行讨论和阐述的,并且本书中所有例程都经过实际测试,可以在出版社网站上进行下载和测试。本书既可作为高等院校电子类专业本科生、研究生的嵌入式系统相关教学实验教材,也可作为相关音视频开发科研人员的工具书和参考书。

图书在版编目(CIP)数据

DAVINCI 技术剖析及实战应用开发指南 / 沈沛意等编著. —西安:西安电子科技大学出版社, 2012. 4
(TI DAVINCI DSP 系统开发应用技巧丛书)

ISBN 978 - 7 - 5606 - 2720 - 5

I. ① D… II. ① 张… III. ① 数字信号—信号处理 IV. ① TN911.72

中国版本图书馆 CIP 数据核字(2011)第 278493 号

策 划 戚文艳

责任编辑 戚文艳 李恩科

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

网 址 www.xduph.com 电子邮箱 xdupfb001@163.com

经 销 新华书店

印刷单位 西安文化彩印厂

版 次 2012 年 4 月第 1 版 2012 年 4 月第 1 次印刷

开 本 787 毫米×1092 毫米 1/16 印 张 15

字 数 351 千字

印 数 1~3000 册

定 价 27.00 元

ISBN 978 - 7 - 5606 - 2720 - 5/TN · 0637

XDUP 3012001 - 1

*** 如有印装问题可调换 ***

本社图书封面为激光防伪覆膜,谨防盗版。

前 言

随着多媒体技术的不断发展和应用，数字视频以其不可阻挡的趋势渗入到人们的工作和生活中，并正在带来一场革命。视频功能的增加，可以使各种电子产品及嵌入式应用的附加值大大增加。用户可以通过视频交互，开启各种基于视频服务的大门，包括视频点播、互动和导向等；先进的监视系统可以采集视频信号并实时处理、自动跟踪目标，还可以改善服务的可靠性。

然而，随着基于视频的应用的发展，开发者面临着更大的压力，因为数字视频的实现是极其复杂的。开发者需要花费很长的时间来熟悉各种多媒体的标准，而这些标准又在不停地改变。同时，已有数字视频的实现，往往与特定的硬件平台和操作系统绑定在一起，开发者只能通过编写和修改代码来进一步开发和改变。总之，数字视频的实现是复杂、费时且昂贵的过程。

但随着达芬奇(DAVINCI)技术的出现和发展，这一切都在发生改变。

2005年，TI公司推出了应用于数字视频领域的一种内涵丰富的综合体——DAVINCI(达芬奇)技术。达芬奇技术是以多处理器硬件结构(ARM+DSP)和开放软件结构为基础的。它的硬件产品在一个芯片封装内集成了ARM嵌入式处理器内核与C64x+数字信号处理器内核，提高了系统集成度，降低了系统板级成本，双处理器的协同运作效率也有很大提高；它的软件架构对复杂性较高的算法部分进行了模块化，大大增强了算法与应用程序的独立性，使得算法部分具有了良好的可扩展性。

DAVINCI处理器将高性能可编程的核与存储器及外设集成在一起，包括一个可编程的DSP处理器，以及面向视频的硬件加速器，可为实时的压缩-解压缩算法及其他通信信号处理提供所需的计算功能；处理器还将一个RISC处理器和DSP组合在一起，增加对控制界面和用户界面的支持，使其更加易于编程；该处理器所集成的视频外设降低了系统的成本，简化了设计。这种多处理器的硬件结构构成了开放软件的基础，便于灵活、快速地开发各类包含数字视频的产品。

目前市场提供的关于DAVINCI开发的书籍大多都是由TI公司的网站上提供的datasheet翻译而来，这些书大多都是概念性的介绍，翻译错误百出，没有太大的实际指导意义。

本书针对与实际应用中的具体开发流程密切相关的知识进行了详细的讲解。与其他类型的书相比，本书力图在以下方面有所突破：

- (1) 合理阐述DAVINCI技术的系统结构和处理器。
- (2) 详细阐述DAVINCI技术的开发原理、步骤以及应用：包括DAVINCI技术中Codec、Server和App三部分的核心内容，讲述了其中所包含的文件、需要特别注意的问题以及开发过程中的各种配置文件等内容。
- (3) 以TMS320DM6467、TMS320DM365实际典型硬件平台为例，详细地讲解了在实

际应用开发的过程中，各种处理器开发环境的搭建、各种参数的基本配置以及具体算法创建的演示范例和应用程序创建实例，详细描述了包含在 DAVINCI 硬件平台上的 UBL、UBOOT 以及 Linux 内核的开发和系统的烧写、启动。

(4) 全面阐述 DAVINCI 技术中的 DSP 算法的优化方法。

(5) 系统讲述 CCS 开发环境的配置和 DAVINCI 技术的实现。

(6) 讲述 DAVINCI 核间通信的原始机制及依据此机制建立的核间通信模型。

本书全面系统地提供了各个开发平台下的开发环境、算法及应用程序创建实例的源码。本书的出版，一方面可以极大地促进相关的科研工作，解决科研工作中没有相关参考书的紧迫需求，同时，也可以弥补目前 TI 嵌入式处理器相关教材的匮乏。

本书第 1 章由张亮、沈沛意编写，第 2 章由王剑、张亮编写，第 3、4 章由张亮、周梦编写，第 5、6、7 章由张亮、周梦和沈沛意编写，第 8 章由董洛兵、张亮、周梦编写。西安电子科技大学的王军宁教授、李云松教授在百忙中审阅了全书，提出了许多宝贵的意见。

在本书的撰写过程中，得到了 TI 公司大学计划负责人沈洁女士、浙江大学陈耀武教授、西安电子科技大学杨刚教授、张向东教授的大力支持和帮助。西安电子科技大学的华磊、周海龙、范晔、刘春红、曹冰、李博、马萧、夏盛新、刘中辉、刘玄、刘施、曹二奎、徐锡杰、罗玲利、胡正川、郑少雄、吴晓晨、丁洁琼、康越等研究生对本书的内容作了大量的校对工作，同时，对书中的所有例程进行了验证。在本书的撰写过程中还得到了各种科研项目及基金的支持，其中包括：国家自然科学基金（61072105）、陕西省自然科学基金（2010JM8005）、中央高校基本科研业务费、模式识别国家重点实验室开放课题等，在此向他们一并表示感谢。

在从事科研和教学的同时，我们得到了西安电子科技大学武波教授的大力支持和帮助，得到了西安电子科技大学软件学院许多老师的帮助和鼓励。特别是在筹建西安电子科技大学—TI 多核嵌入式联合实验室的过程中，始终得到了浙江大学陈耀武教授、西安电子科技大学傅丰林教授的关心和支持，因此，本书也是编者对他们所表达的一份真诚的感谢。

在承担繁重的科研、教学工作的同时，能够及时完成本书的撰写，作为编者，我们都深深地感到任务的艰巨，在此，特别感谢依然在攻读博士学位的张丽女士和毛翠平女士，感谢你们对我们的理解、支持和对家庭的无私的奉献。

希望本书能够为读者带来切实的参考价值，欠妥之处还望读者体谅并及时指正，不胜感激。

沈沛意 张亮

2012 年 3 月

目 录

第 1 章 绪论	1
1.1 达芬奇技术概述	1
1.2 达芬奇技术的组成	2
1.2.1 达芬奇硬件处理器	2
1.2.2 达芬奇的软件介绍	8
1.2.3 达芬奇的开发工具	12
1.3 达芬奇技术的优点	15
1.4 Codec Engine 简介	15
1.4.1 Codec 概述	16
1.4.2 Server 概述	16
1.4.3 App 概述	17
1.5 小结	17
第 2 章 达芬奇软件开发中的自动化工具	18
2.1 软件管理方式 SVN	18
2.1.1 CVS 版本管理系统	18
2.1.2 Subversion 版本管理系统	18
2.2 编译管理	19
2.2.1 工具依赖	19
2.2.2 创建一个简单的 Automake 工程	19
2.2.3 软件开发环境创建	22
2.2.4 Automake 管理 framework 工程	23
2.2.5 Makefile.am 文件的编写规则	25
2.3 自动脚本生成	27
2.3.1 Autogen 工具简介	27
2.3.2 def 文件解析	28
2.3.3 tpl 文件解析	29
2.3.4 由 def 和 tpl 文件自动生成参数文件	30
2.4 CMake 工具的使用	35
2.4.1 CMake 工具简介	35
2.4.2 CMake 工具的简单例子	36
2.4.3 简单示例工程化	39
2.4.4 静态库和动态库的构建	41
2.4.5 外部共享库的使用	42
2.5 小结	43
第 3 章 算法创立者 Codec	44
3.1 Codec 里的源码结构	44

3.1.1	package.bld	44
3.1.2	package.xdc	45
3.1.3	package.xs	46
3.1.4	package.mak	47
3.1.5	<MODULE>.xdc	47
3.1.6	<MODULE>.xs	48
3.1.7	源代码文件	48
3.1.8	lib 和 package 文件夹	54
3.2	Codec 的生成方法	54
3.2.1	人脸跟踪算法简介	55
3.2.2	基于 examples 自带的算法生成 Codec	57
3.2.3	基于 RTSC 生成 Codec	63
3.3	小结	70
第 4 章	服务集成者 Server	71
4.1	Server 里的 cfg 文件	71
4.1.1	配置需要的 Module	71
4.1.2	Codec 的 Module	73
4.1.3	配置 Server	74
4.1.4	配置 DSKT2	77
4.1.5	配置 DMAN3	79
4.1.6	配置 RMAN	80
4.2	Server 中的 tcf 文件	80
4.2.1	environment 环境数组变量	80
4.2.2	内存映射的 mem_ext 数组	81
4.2.3	设置 device_regs	85
4.2.4	设置 params	85
4.2.5	utils.loadPlatform 的使用	86
4.2.6	配置 bios 命名空间	86
4.2.7	prog.gen() 的使用	87
4.3	Server 的生成方法	87
4.3.1	Server 端文件的修改	87
4.3.2	基于 XDC 生成 Server Package	89
4.3.3	使用基于 configuro 的 Makefile 文件生成 Server Package	89
4.4	小结	91
第 5 章	Engine 集成和应用者 App	93
5.1	App 里的配置文件	93
5.1.1	ARM 端算法的创建	93
5.1.2	DSP 端算法的创建	94
5.2	核心 Engine 的 APIs	94

5.2.1	Engine_open	94
5.2.2	Engine_close	95
5.2.3	获取内存和 CPU 信息	95
5.2.4	获取算法信息	95
5.3	VISA 的 APIs	96
5.3.1	创建算法实例——*_create	96
5.3.2	删除算法实例——*_delete	98
5.3.3	控制算法实例——*_control	98
5.3.4	处理数据——*_process	99
5.4	Server 的 APIs	100
5.4.1	获取 Server 句柄	100
5.4.2	获取内存的 heap 信息	100
5.4.3	重新配置 Server 端的算法堆	102
5.5	软件跟踪——GT_trace	103
5.5.1	配置 TraceUtil	103
5.5.2	GT_trace 的使用	105
5.6	各类 API 的调用流程	107
5.6.1	API 调用流程概述	107
5.6.2	API 调用实例	107
5.7	小结	113
第 6 章	基于 TMS320DM6467 的开发系统演示范例	114
6.1	DM6467 硬件开发系统	114
6.2	DM6467 开发环境搭建	115
6.2.1	Linux 开发环境的搭建	115
6.2.2	SDK 套件安装	118
6.2.3	SDK 套件的配置	120
6.2.4	修改其他文件	121
6.3	DM6467 开发实例	122
6.3.1	DM6467 中自带算法库的使用	122
6.3.2	算法的实现过程	126
6.4	DM6467 UBL、UBOOT 及 Linux 内核开发	130
6.4.1	UBL 代码和相关配置	130
6.4.2	UBOOT 结构和配置	132
6.4.3	Linux 内核开发	139
6.5	DM6467 硬件系统烧写	143
6.5.1	文件系统的制作	143
6.5.2	NAND Flash 分区	147
6.5.3	内核和文件系统的烧写	148
6.6	小结	149

第 7 章 基于 TMS320DM365 的开发系统演示范例	150
7.1 DM365 硬件开发系统.....	150
7.2 DM365 开发环境搭建.....	151
7.2.1 Linux 开发环境的搭建.....	151
7.2.2 SDK 套件的安装.....	151
7.2.3 SDK 套件的配置.....	152
7.2.4 修改其他文件.....	153
7.3 DM365 开发实例.....	153
7.3.1 DM365 中的视频子系统 VPSS.....	153
7.3.2 DM365 视频子系统驱动开发.....	157
7.3.3 DM365 中自带算法库的使用.....	180
7.3.4 算法的实现过程.....	189
7.4 内核和文件系统的制作及烧写.....	193
7.4.1 UBOOT 文件的烧写.....	193
7.4.2 内核文件的制作和烧写.....	197
7.4.3 文件系统的制作和烧写.....	199
7.5 小结.....	200
第 8 章 DSP 系统算法优化和 DAVINCI 核间通信模型	201
8.1 算法的优化.....	201
8.1.1 数据类型的优化.....	201
8.1.2 数值操作的优化.....	202
8.1.3 变量定义及使用的优化.....	202
8.1.4 函数的调用.....	203
8.1.5 程序流程的设计.....	203
8.2 内存的优化.....	204
8.2.1 Cache 的优化.....	204
8.2.2 DDR2 的优化.....	205
8.3 DAVINCI 核间通信机制.....	207
8.3.1 ARM 和 DSP 之间的联系.....	207
8.3.2 ARM-DSP 中断.....	208
8.4 基于裸机制的 DAVINCI 核间通信模型.....	209
8.5 小结.....	210
附录 A Codec 端 make 命令的输出	211
附录 B config.bld 文件	220
附录 C package.bld 文件	224
附录 D makefile 文件	225
附录 E 本书中用到的术语和缩写对照表	226
参考文献	229

第1章 绪 论

随着多媒体技术的不断发展和应用，数字视频以其不可阻挡的趋势渗入到人们的工作和生活中，并在商业、国防、公共事业等方面产生了巨大的应用价值。但是，数字视频的实现是一件很复杂的事情，这主要是因为：多媒体标准众多，而且还在不断地变化；现有数字视频的实现常基于特定的操作系统和硬件平台，会导致不可避免的重编码和修改；数字视频编码和操作方式具有多样性，因此导致开发者陷入细节而费时、费力。达芬奇(DAVINCI)技术的出现将使数字视频的实现得到极大的简化。

2005年，TI公司推出了应用于数字视频领域的一种内涵丰富的综合体——DAVINCI(达芬奇)技术。达芬奇技术以多处理器硬件结构(ARM+DSP)和开放软件结构为基础，具有高功能、低功耗等特点，能够快速、方便地开发含有数字视频应用的产品。

本章简单介绍了达芬奇技术的基本知识，描述了达芬奇技术的硬件处理器、达芬奇技术的软件和开发工具以及达芬奇技术的执行框架——Codec Engine等。本章的内容有利于初学者对达芬奇技术有一个概括性的理解，并为后面几章的学习做一铺垫。

1.1 达芬奇技术概述

达芬奇技术实际上就是包含有针对数字音视频优化的基于DSP的系统解决方案，其中有四个基本组成，即芯片、软件、开发工具套件和支持，如图1.1所示。

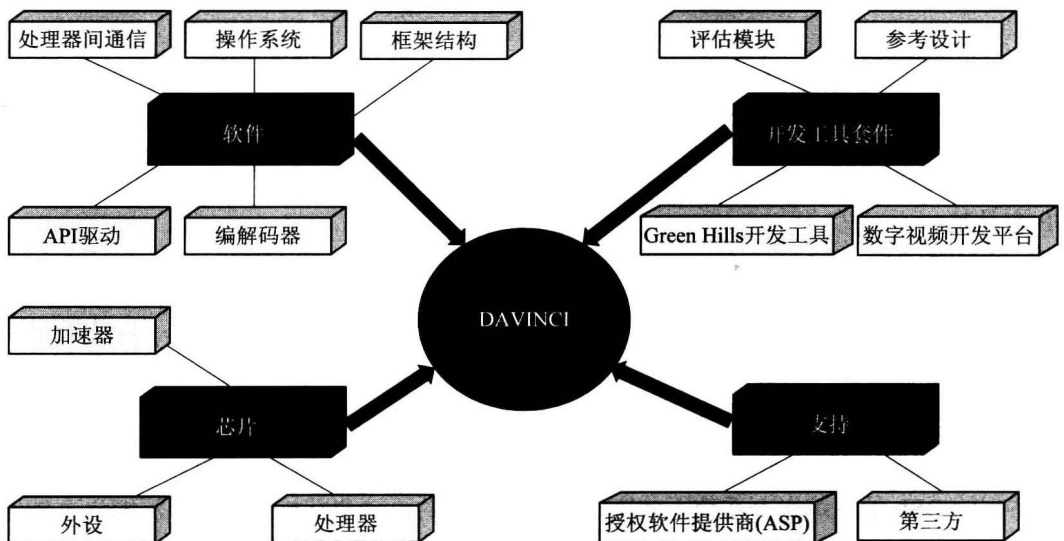


图 1.1 达芬奇技术系统构成

达芬奇芯片是一个具有双核硬件结构(ARM+DSP)的单片系统,集成有 TI 高性能 C64+ 核心 DSP、ARM9 核心处理器、视频前端处理器和视频加速器,还有非常丰富的外围设备,如数字视频、数字音频、高速网络、DDR2 高速存储器、ATA 硬盘和多种存储卡等接口。一方面,可编程的 DSP、面向视频的硬件加速器以及实时的压缩-解压缩算法保障了其具有强大的计算能力;另一方面,基于 RISC 的 ARM 处理器为控制界面和用户界面提供了简便的编程支持。达芬奇技术以多处理器的硬件结构为基础,同时提供了开放的软件结构。达芬奇技术建立在已有的嵌入式操作系统(例如 Linux)的驱动程序之上,因此,开发者不需要重新熟悉繁杂的 API,从而降低了数字视频实现的复杂性。

在软件方面,达芬奇技术全面支持由底层到高层的软件系统。达芬奇技术在嵌入式操作系统方面对 Linux 的支持极为完善,也有支持 WinCE 的能力;在数字视频、影像、语音和音频上可以支持 H.264、MPEG4/2、H.263、VC1、JPEG、G.711/G.723、MP3、WMA 等多种编解码器;通过多媒体框架结构进行数字视频软件系统的集成,并提供 API 驱动程序支持,同时有助于实现处理器间的通信。

达芬奇有多种开发工具套件以满足各种需求,其中评估模块和参考设计有益于硬件设计,而数字视频开发平台和 Green Hills 开发工具对缩短软件系统集成时间有很大帮助。达芬奇的支持体系很强大,其中既有来自 TI 公司授权软件提供商(ASP)的支持,也有更为广泛的第三方网络的支持。所有的数字视频类产品都有机会采用达芬奇技术,不仅有众所周知的产品,如数码相机或摄像机、个人媒体播放器、数字机顶盒、IP 可视电话、数字媒体网关、数字视频服务器、IP 网络摄像机、数字硬盘录相机等,还有包含汽车智能视觉在内的新产品,当然还有更多的产品将脱颖而出。

总之,达芬奇技术是一个内容十分丰富的综合体,它的出现会使数字视频的实现发生改变。

1.2 达芬奇技术的组成

1.2.1 达芬奇硬件处理器

达芬奇处理器在很短时间内就发展成了一个具有相当规模的系列, TI 公司的三大主力 DSP 产品是:

- C2000 系列: C50X、F20X、F24X、F24XX(控制器)。
- C5000 系列: C54X、C54XX、C55XX(低功耗)。
- C6000 系列: C62XX、C67XX、C64XX(高性能)。

除了上述 C2000、C5000 和 C6000 系列外, C3X 系列也有使用,而其他型号都基本淘汰。需要注意的是,同一系列中不同型号的 DSP 一般都具有相同的 DSP 核、相同或兼容的汇编指令系统;它们的差别仅在于片内存储器的大小、外设资源(如定时器、串口、并口等)的多少。不同系列的 DSP 的汇编指令系统不兼容,但汇编语言的语法非常相似。除了汇编语言外, TI 公司还为每个系列提供了优化 C 编译器,方便用户使用 C(ANSI 的标准 C)语言进行开发,效率可以做到手工汇编的 90% 甚至更高。下面我们简单介绍一下这几个常用的系列。

(1) C2000 系列。C2000 系列是一个控制器系列，全部为 16 位定点 DSP。该系列中的一些型号具有片内 Flash RAM，如 TMS320F24X、TMS320LF240X 等。TI 公司所有 DSP 中，也只有 C2000 中有 Flash。作为控制器，C2000 系列除了有一个 DSP 核以外，还有大量的外设资源，如 A/D、定时器、各种串口(同步或异步)、WATCHDOG、CAN 总线、PWM 发生器、数字 IO 脚等。

(2) C5000 系列。C5000 系列是一个定点低功耗系列，特别适用于手持通信产品，如手机、PDA、GPS 等。目前的处理速度一般在 80~400 MIPS。C5000 系列主要分为 C54XX 和 C55XX 两个系列。两个系列在执行代码级是兼容的，但它们的汇编指令系统却不同。C5000 包含的主要外设设有 McBSP 同步串口、HPI 并行接口、定时器、DMA 等。其中 C55XX 提供 EMIF 外部存储器扩展接口，允许用户直接使用 SDRAM、SBSRAM、SRAM、EPROM 等各种存储器。因为 C54XX 没有提供 EMIF，所以只能直接使用静态存储器 SRAM 和 EPROM。另外，C5000 系列一般都使用双电源供电，其 I/O 电压和核电压一般不同，而且不同型号也有差别。不过，TI 公司提供的全系列的 DC-DC 变换器可以解决 DSP 的电源问题。C5000 系列一般都提供 PGE 封装，便于 PCB 板的制作。

(3) C6000 系列。C6000 系列是一个 32 位的高性能的 DSP 芯片，目前的处理速度为 800~2400 MIPS，而且还在不断提高。其中，C62XX 为定点系列，C67XX 和 C64XX 为浮点系列。同 C55XX 一样，C6000 也提供 EMIF 扩展存储器接口，方便用户使用各种外部扩展存储器，如 SBSRAM、SDRAM、SRAM、EPROM。C6000 提供的主要外设设有 McBSP 同步串口、HPI 并行接口、定时器、DMA 等。另外，在 C6000 的一些型号中还提供了 PCI 接口。C6000 只提供 BGA 球形封装，在 PCB 板制作时需要多层板，增加了开发和调试的难度。另外，C6000 系列的功耗较大，需要仔细考虑 DSP 与系统其他部分的电源分配，选择适当的 DC-DC 转换器。

(4) C3X 系列。C3X 系列虽然不是目前 TI 的主流产品，但作为一个 32 位的低价位浮点 DSP，仍然被广泛使用。其中，TMS320VC33 的最高处理速度为 150MFLOP。C3X 系列的结构比较简单，外设也比较少，主要有同步串口、DMA 通道、定时器，能用于数字 I/O 的引脚也只有两条。TMS320VC33 的参数说明如下：

- 高品质的浮点 DSP，13 ns 和 17 ns 指令周期。
- 34 K × 32 bit 片内 RAM。
- X5 PLL 时钟产生器。
- 低功耗，<200 mV@150 MFLOP。
- 16/32 bits 整数和 32/40 bits 浮点数运算。
- 32 位指令字，24 bits 地址线。
- 具有 Bootloader。具有一个串口，两个 32 位的定时器和 DMA。
- 8 个扩展精度寄存器，R0，R1，…，R7。
- 双电压供电，1.8 V 核电压和 3.3 V 的 IO 电压。
- 支持 JTAG 调试标准。4 个简单、高效的预译码信号。

TI 公司的 DAVINCI(达芬奇)处理器系列基于 TMS320C64X + DSP 内核，还可以包括可升级、可编程的数字信号处理 SOC、加速器和外设。达芬奇处理器包括 TMS320DM3X、TMS320DM643X、TMS320DM644X、TMS320DM646X、TMS320DM647/TMS320DM648 等系列。

下面对达芬奇处理器系列进行较详细的介绍。

表 1.1 对 TMS320DM646X 系列的片上系统进行了横向的对比。由表中的内容可以看出，同一系列的处理器从总体上来说差别很小，只是在部分硬件性能上有些差异。以表中的 AVCE6467T 和 VCE6467T 为例，AVCE6467T 和 VCE6467T 差别很小，AVCE6467T 较 VCE6467T 而言功能更为强大。AVCE6467T 在 VCE6467T 的基础上，包括基础包、支持前向纠错等；在软件方面，音频上支持 G.722，视频上支持 H.264 SVC 等。

表 1.1 TMS320DM646X 系列的片上系统

	AVCE6467T	TMS320DM6467-729	TMS320DM6467-594	TMS320DM6467T-1000	VCE6467T
状态	ACTIVE	ACTIVE	ACTIVE	ACTIVE	ACTIVE
SubFamily	TMS320-DM646X SOC	TMS320DM646X SOC	TMS320DM646X SOC	TMS320DM646X SOC	TMS320-DM646X SOC
DMA/Ch	64 EDMA	64 EDMA	64 EDMA	64 EDMA	64 EDMA
Frequency /MHz	1000	729	594	1000	1000
I ² C	1	1	1	1	1
McASP	2	2	2	2	2
On-Chip L2/SRAM/KB	128 (DSP)	128 (DSP)	128 (DSP)	128 (DSP)	128 (DSP)
PWM /Ch	2	2	2	2	2
Timers	2 64 bit GP 1 64 bit WD	2 64 bit GP 1 64 bit WD	2 64 bit GP 1 64 bit WD	2 64 bit GP 1 64 bit WD	2 64 bit GP 1 64 bit WD
Core Supply /V	1.3	1.2	1.2 1.05 (Smart Reflex)	1.3	1.3
EMAC	10/100/1000	10/100/1000	10/100/1000	10/100/1000	10/100/1000
IO Supply /V	1.8 3.3	1.8 3.3	1.8 3.3	1.8 3.3	1.8 3.3
On-Chip L1/SRAM /KB	64(DSP) 56(ARM)	64(DSP) 56(ARM)	64(DSP) 56(ARM)	64(DSP) 56(ARM)	64(DSP) 56(ARM)
SPI	1	1	1	1	1
UART (SCI)	3	3	3	3	3
CPU	1 C64X+ 1 ARM9	1 C64X+ 1 ARM9 DAVINCI High Definition Video	1 C64X+ 1 ARM9 DAVINCI High Definition Video	1 C64X+ 1 ARM9 DAVINCI High Definition Video	1 C64X+ 1 ARM9
HPI	1 32/16 bit	1 32/16 bit	1 32/16 bit	1 32/16 bit	1 32/16 bit

表 1.2 对 TMS320DM3X 系列的片上系统进行了对比分析。

表 1.2 TMS320DM3X 系列的片上系统

	TMS320DM335-216	TMS320DM365-300	TMS320DM365-270	TMS320DM365-216	TMS320DM368
Status	ACTIVE	ACTIVE	ACTIVE	ACTIVE	ACTIVE
SubFamily	TMS320DM3X AMR9 Based SOC	TMS320DM3X AMR9 Based SOC	TMS320DM3X AMR9 Based SOC	TMS320DM3X AMR9 Based SOC	TMS320DM3X AMR9 Based SOC
ADC		1	1	1	1
Boot Loader Available	YES	YES	YES	YES	YES
Core Supply /V	1.3	1.35	1.2	1.2	1.35
DMA/Ch	64 EDMA	64 EDMA	64 EDMA	64 EDMA	64 EDMA
EMAC		10/100	10/100	10/100	10/100
HPI		1 16 bit	1 16 bit	1 16 bit	1 16 bit
IO Supply /V	1.8 3.3	1.8 3.3	1.8 3.3	1.8 3.3	1.8 3.3
Operating Temperature Range/°C	-40~100 0~85	0~85 -40~85	0~85	0~85	0~85 -40~85
PWM/Ch	4	4	4	4	4
ROM/KB	8	16	16	16	16
Timers	3 64 bit GP 1 64 bit WD	4 64 bit GP 1 64 bit WD	4 64 bit GP 1 64 bit WD	4 64 bit GP 1 64 bit WD	4 64 bit GP 1 64 bit WD
Voice Codec		1	1	1	1
Audio Codec Bundle		MP3 AAC WMA AEC	MP3 AAC WMA AEC	MP3 AAC WMA AEC	MP3 AAC WMA AEC
CPU	1 ARM9	1 ARM9	1 ARM9	1 ARM9	1 ARM9
DAC	1	3	3	3	3
EMIF	1 8/16 bit EMIFA 1 16 bit mDDR/DDR2	1 8/16 bit EMIFA 1 16 bit mDDR (168 MHz) /DDR2 (270 MHz)	1 8/16 bit EMIFA 1 16 bit mDDR (168 MHz) /DDR2 (216 MHz)	1 8/16 bit EMIFA 1 16 bit mDDR (168 MHz) /DDR2 (173 MHz)	1 8/16 bit EMIFA 1 16 bit mDDR (168 MHz) /DDR2 (340 MHz)
I ² C	1	1	1	1	1
Key Scan		1	1	1	1
McBSP		1	1	1	1
RAM/KB	32	32	32	32	32
Trace Enabled	YES	YES	YES	YES	YES
UART(SCI)	3	2	2	2	2
USB	1	1	1	1	1
ASP	2				
External Memory Type Supported	Async SRAM mDDR DDR2 SDRAM OneNAND NAND Flash SmartMedia/XD	Async SRAM mDDR DDR2 SDRAM OneNAND NAND Flash SmartMedia/XD	Async SRAM mDDR DDR2 SDRAM OneNAND NAND Flash SmartMedia/XD	Async SRAM mDDR DDR2 SDRAM OneNAND NAND Flash SmartMedia/XD	Async SRAM mDDR DDR2 SDRAM OneNAND NAND Flash SmartMedia/XD

最后，简单区分一下 OMAP3525/30 处理器，如表 1.3 所示。

表 1.3 OMAP3525/30 处理器

	OMAP3525	OMAP3530
Status	ACTIVE	ACTIVE
SubFamily	OMAP3525/30 Processor	OMAP3525/30 Processor
Core Supply/V	0.8~1.35	0.8~1.35
DMA/Ch	64 EDMA 32 bit Channel SDMA	64 EDMA 32 bit Channel SDMA
EMIF	1 32 bit SDRC 1 16 bit GPMC	1 32 bit SDRC 1 16 bit GPMC
Frequency/MHz	430	520
I ² C	3	3
McSPI	4	4
Timers	12 32 bit GP 2 32-bit WD	12 32 bit GP 2 32 bit WD
Video Port(Configurable)	1 Dedicated Output 1 Dedicated Input	1 Dedicated Output 1 Dedicated Input
External Memory Type Supported	LPDDR NOR Flash NAND flash OneNAND Asynch SRAM	LPDDR NOR Flash NAND flash OneNAND Asynch SRAM
IO Supply/V	1.8 3.0(MMC1 Only)	1.8 3.0(MMC1 Only)
McBSP	5	5
On-Chip L1/SRAM/KB	112(DSP) 32(ARM Cortex-A8)	112(DSP) 32(ARM Cortex-A8)
Pin/Package	423FCBGA 515POP-FCBGA	423FCBGA 515POP-FCBGA
RISC Frequency/MHz	600	720
ROM/KB	15(DSP) 32(ARM Cortex-A8)	15(DSP) 32(ARM Cortex-A8)

以下具体介绍上述系列中的 TMS320DM6467 处理器、OMAP3530 处理器和 TMS320DM365 处理器。

1. TMS320DM6467 处理器

TMS320DM6467 是一种基于 DSP 的超强性能 SoC，针对实时、多种格式的高清视频转换进行了专门的设计。DM6467 数字媒体处理器集成了一个 ARM926EJ-S 核与 600 MHz 的 C64X + DSP 核，并采用高清视频/影像协处理器(HD-VICP)、视频数据转换引擎以及目标视频端口接口，在执行高达 H.264HP@L4(1080p 30fps、1080i 60fps、720p 60fps)的同步多格式高清编码、解码与转码方面，实现了超过 3 GHz 的 DSP 处理能力。DM6467 处理器适用于媒体网关、多点控制设备、数字媒体适配器、数字视频服务器和监控领域的 IP 机顶盒等。

TMS320DM6467-594 处理器的硬件性能如表 1.4 所示。

表 1.4 TMS320DM6467-594 处理器硬件性能

	TMS320DM6467-594
CPU	1 C64X+; 1 ARM9; Davinci High Definition Vido
Peak MMACS	4752
RISC Frequency/MHz	297
Frequency/MHz	594
On-Chip L1/SRAM/KB	64(DSP), 56(ARM)
On-Chip L2/SRAM/KB	128(DSP)
ROM/KB	8(ARM)
EMIF	1 16/8 bit EMIF, 1 32/16 bit DDR2(297MHz)
External Memory Type Supported	Async SRAM, DDR2 SDRAM, NAND Flash, SmartMedia/SSFDC/xD
DMA/Ch	64 EDMA
Video Port(Configurable)	VPIF, 1 for Dual SD or Single HD or Single Raw Capture, 1 for Dual SD or Single HD Display
Transport Stream Interface	2 TSIF for MPEG Transport Stream Input and Output
Hardware Coprocessor	2 HDVICPs
ATA/CF	ATA
EMAC	10/100/1000
PCI	1 32 bit[33 MHz]
HPI	1 32/16 bit
VDCE	1
CRGEN	2
McASP	2
I2C	1
SPI	1
UART(SCI)	3
VLYNQ	1
USB	1
PWM/Ch	2
Timers	2 64 bit GP, 1 64 bit WD
Hardware Accelerators	VDCE, Chroma Conversion, Edge Padding, Anti-alias Filtering
Core Supply/V	1.2, 1.05(SmartReflex)
IO Supply/V	1.8, 3.3
Operating Temperature Range/°C	-40~105, 0~85

2. OMAP3530 处理器

OMAP3530 是 TI 公司专为智能手机、GPS 系统和笔记本电脑等低功耗便携式应用而设计的应用处理器。在单个芯片上集成了 ARM Cortex-A8 内核、TMS320C64X + DSP 内核、图形引擎、视频加速器以及丰富的多媒体外设，其中的 Cortex-A8 内核拥有超过当今 300 MHz ARM9 器件 4 倍的处理性能。OMAP3530 处理器可广泛用于流媒体、2D/3D 游戏、视频会议、高分辨率静态图像、3G 多媒体手机、高性能 PDA 等方面，它包含高性能移动产品所需的高效电源管理技术。

OMAP3530 处理器的主要硬件特性如下：

- (1) CPU 单元。
 - (a) OMAP 应用处理器，核心频率为 600 MHz。
 - (b) 720 MHz ARM Cortex-A8 Core。
 - (c) 520 MHz TMS320C64X + DSP Core。
 - (d) 16、32 位的 SDRAM 控制器地址空间总共为 1 GB。
 - (e) 支持 1 GB 以上的 SDRAM、NAND Flash。
- (2) 通信接口。
 - (a) 提供 2 路 SPI：SPI1、SPI2。
 - (b) 提供 GPMC 总线。
 - (c) 提供音频输入/输出接口。
 - (d) 支持 2 路 MMC/SD。
 - (e) 提供 24 位 DSS 接口。
- (3) 电器参数。
 - (a) 工作温度：0~70℃。
 - (b) 环境湿度：20%~90%，非冷凝。

3. TMS320DM365 处理器

TMS320DM365 处理器中，ARM926EJ-S 内核在实现高达 300 MHz 速率的同时，还可将视频编码/解码的任务交由集成高清视频加速器来执行，显著优化了系统的性能。DM365 集成了众多组件，其中包括 H.264、MPEG-4、MPEG-2、MJPEG 与 VC1 等编/解码器，可实现高度的视频灵活性，并确保与传统的视频编/解码器的高度互操作性，同时还可以在同一平台上扩展出一个产品系列，使开发人员将系统成本降低 25%。

TMS320DM365 拥有丰富的外设资源，包括 EMAC、USB 2.0、DDR2/NAND、5 SPIs、2 UARTs、2 MMC/SD/SDIO 等。此外，拥有一个视频处理子系统和两个可以配置的视频/图像外设，即视频处理前端(VPFE)和视频处理后端(VPBE)。其中 VPFE 提供与 CCD/CMOS 图像模块和视频解码器的接口；VPBE 提供对屏幕显示的硬件支持以及复合 NTSC/PAL 和数字 LCD 输出。

1.2.2 达芬奇的软件介绍

与以往的数字视频处理器系统相比，达芬奇的特别之处还在于其强大的软件系统支持基础。达芬奇系统在底层以通用嵌入式实时操作系统为基础，通过构建达芬奇框架结

构——DAVINCI Framework 来协调各部分工作，并对数字视频(Video)、影像(Image)、语音(Speech)和音频(Audio)类的软件提供相应的应用程序接口，即简称为 VISA API，另外也对简单外设软件接口提供应用程序接口，即 EPSI API。

达芬奇软件系统结构体系如图 1.2 所示。

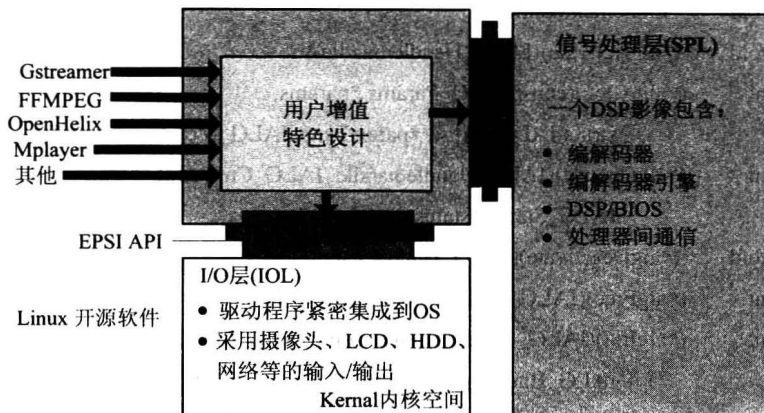


图 1.2 达芬奇软件系统结构

在该体系中，VISA 包含在 SPL 层中，实现基本的编/解码器功能；EPSI 则包含在 IOL 层中，实现基本的输入/输出功能。还有一个 APL 层，用以支持高级应用的开发。

为了使 DSP 算法规范化，TI 公司曾经大力推广 eXpressDSP 的开发理念并获得成功，目前全球上千种由 TI 公司或第三方提供的算法均具有 eXpressDSP 的兼容性，这个 DSP 的算法标准称为 xDAIS。xDAIS 可以提供为所有兼容性算法与一致化的 API 管理存储器资源的能力。而在达芬奇的软件中所使用的是一个针对数字媒体的算法标准，称为 xDM。xDAIS-DM 可视为是扩展的 xDAIS。

1. xDAIS 和 xDM

xDAIS 和 xDM^[1]继承了 TI DSP 在单个处理器上执行各种媒体功能的能力，开发人员通过执行 xDAIS 和 xDM 标准来和 eXpressDSP 保持一致。xDAIS 和 xDM 提供了一组编程的规定和应用程序编程的接口(API)，使不同来源的算法能够尽快地集成。xDAIS 可以抑制算法之间共享系统资源所引发的问题；xDM 则是规定一个标准的 API，用于应用程序调用特定种类的算法，使系统的集成者可以迅速地将算法转移到另外的资源。xDM 标准里定义的 API 也称为 VISA(视频、图像、语音和音频)。

xDAIS 作为一个 DSP 的开发框架，定义了以下一些接口：

- IALG：为算法实例对象的创建定义了独立于框架的算法接口。
- IDMA2^[2]：为 C64X 和 C5000 使用统一的 DMA 资源处理方式定义的算法接口。
- IDMA3：为 C64+和 C5000 使用统一的 DMA 资源处理方式定义的算法接口。

IALG 接口最主要的工作是定义算法中需要使用的内存，提高片上系统内存的使用效率，所有算法都必须实现 IALG 接口。

xDAIS 的 API 是基于 C 的，我们知道，C 是面向过程的，因此不存在面向对象里拥有的封装、继承、重构等特性，那么，我们的应用程序是如何实现接口的呢？对于这点，xDAIS