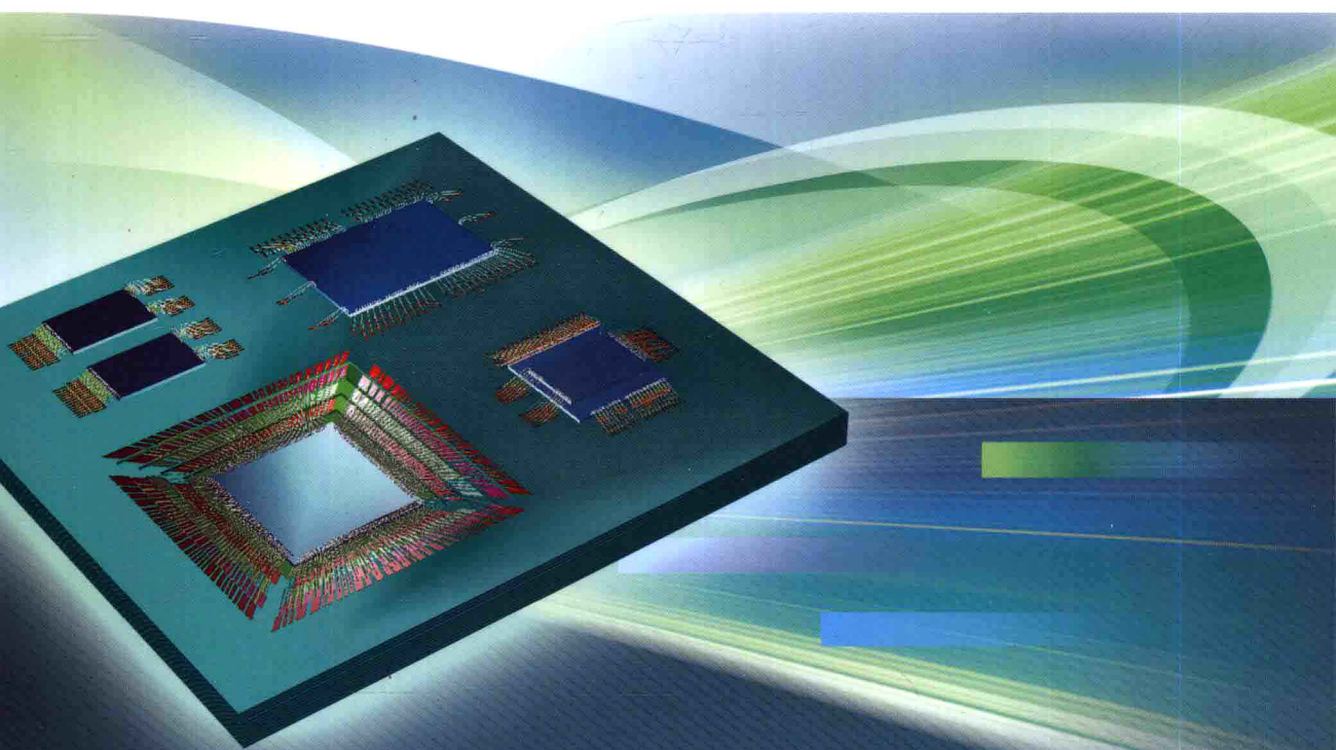


SiP 系统级封装 设计与仿真

—Mentor Expedition Enterprise Flow

·高级应用指南·

◎ 李扬 刘杨 编著



 电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

SiP 系统级封装设计与仿真

Mentor Expedition Enterprise Flow
高级应用指南

李 扬 刘 杨 编著

電子工業出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书介绍了 SiP 系统级封装的发展历程, 以及当今最热门的 SiP 技术, 并对 SiP 技术的发展方向进行了预测。

本书重点基于 Mentor Expedition Enterprise Flow 设计平台, 介绍了 SiP 设计与仿真的全流程。特别对键合线 (Wire Bonding)、芯片堆叠 (Die Stacks)、腔体 (Cavity)、倒装焊 (Flip Chip) 及重分布层 (RDL)、埋入式无源元件 (Embedded Passive Component)、参数化射频电路 (RF)、多版图项目管理、多人实时协同设计 (Xtreme)、3D 实时 DRC 等最新的 SiP 设计技术及方法做了详细的阐述。在本书的最后一章介绍了 SiP 仿真技术, 并通过实例阐述了 SiP 的仿真方法。

本书适合 SiP 设计用户、封装及 MCM 设计用户, PCB 设计的高级用户, 所有对 SiP 技术感兴趣的设计者和课题领导者, 以及寻求系统小型化、低功耗、高性能解决方案的科研工作者。

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有, 侵权必究。

图书在版编目 (CIP) 数据

SiP 系统级封装设计与仿真: Mentor Expedition Enterprise Flow 高级应用指南 / 李扬, 刘杨编著. —北京: 电子工业出版社, 2012.5

ISBN 978-7-121-16841-3

I. ①S… II. ①李… ②刘… III. ①电子电路—电路设计—计算机辅助设计 IV. ①TN702

中国版本图书馆 CIP 数据核字 (2012) 第 074304 号

责任编辑: 柴 燕

印 刷: 北京东光印刷厂

装 订: 三河市皇庄路通装订厂

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编: 100036

开 本: 787×1092 1/16 印张: 26.5 字数: 678.4 千字 彩插: 2 页

印 次: 2012 年 5 月第 1 次印刷

印 数: 4 000 册 定价: 69.00 元



凡所购买电子工业出版社的图书, 如有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

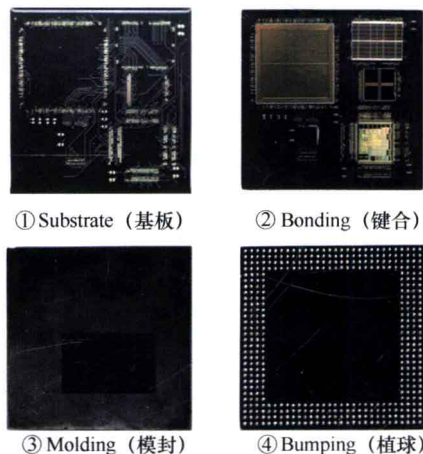


图 1-20 在 Mentor SiP 平台完成的用户项目

图 1-10 SiP 版图 6 大核心设计功能



图 2-4 电子产品发展趋势及对应的封装形式发展

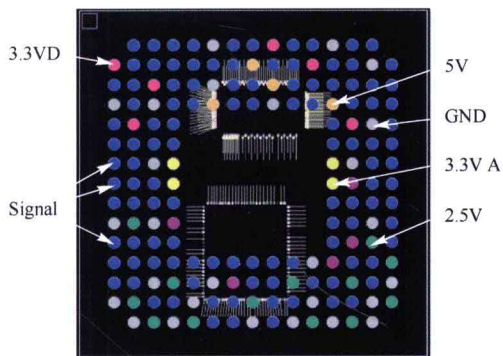


图 5-4 电源、地管脚的一种典型分配图



11-52 通过双击鼠标放大实时 3D 窗口

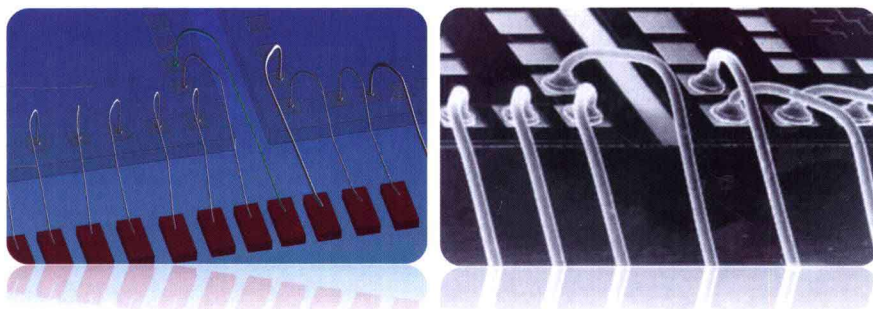


图 11-2 Expedition 可支持最复杂形状的 Wire Bonding



图 11-18 添加 Bond Wire 和移动 Bond Pad 时能实时显示跨距和角度信息

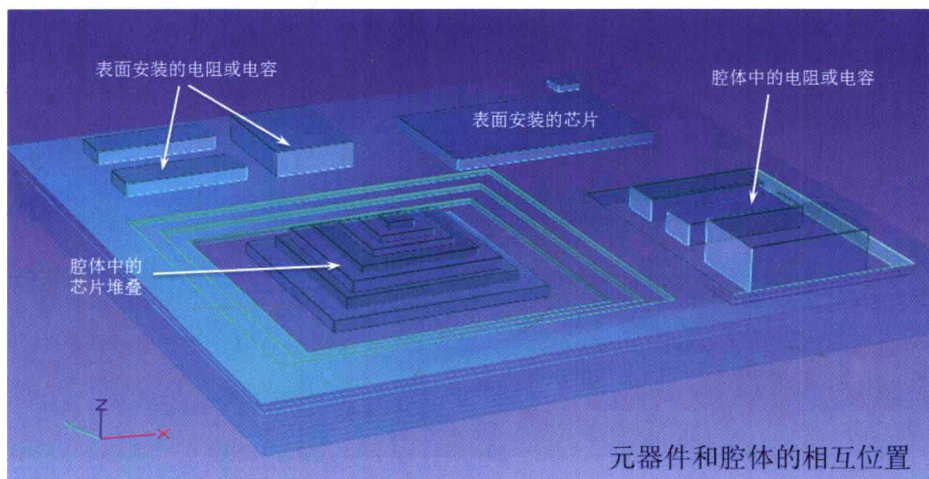


图 12-12 将元器件放置到腔体中



图 12-25 芯片堆叠创建窗口

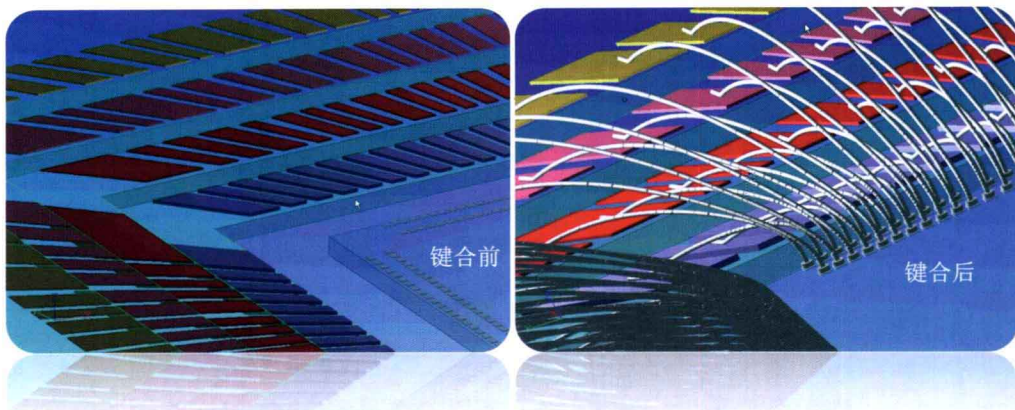


图 12-35 多阶腔体设计实例

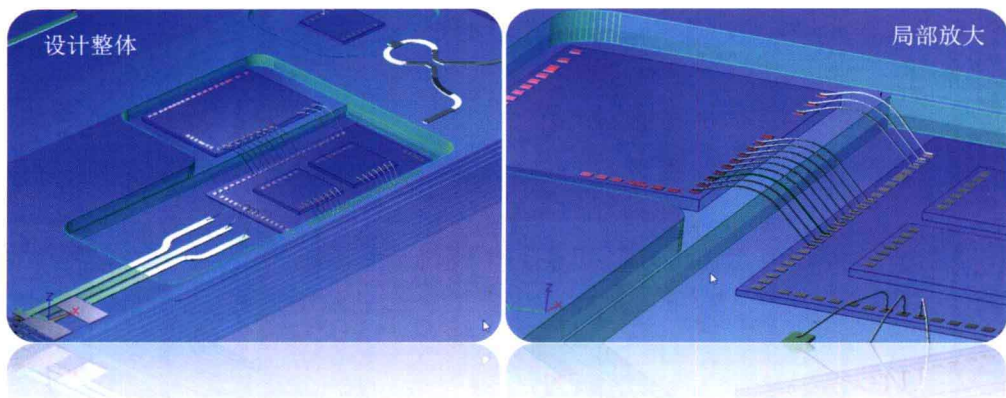


图 12-36 混合技术设计实例

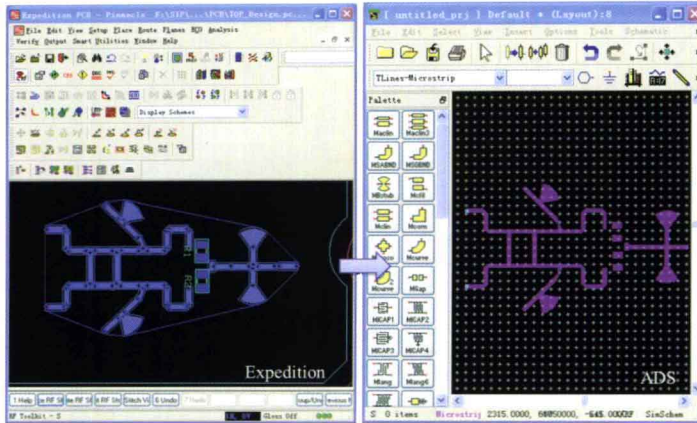


图 16-54 从 Expedition 中将 RF Layout 数据传输到 ADS

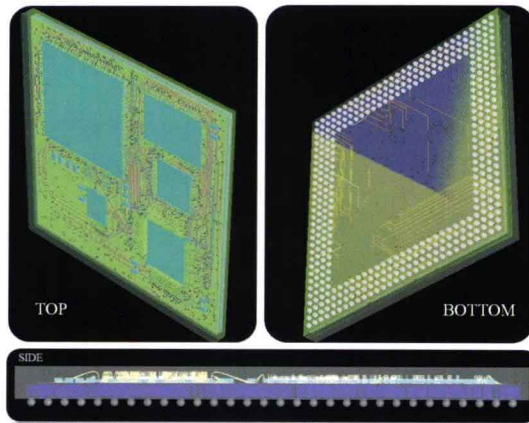


图 18-19 从各个角度查看完成生产加工的 SiP 产品

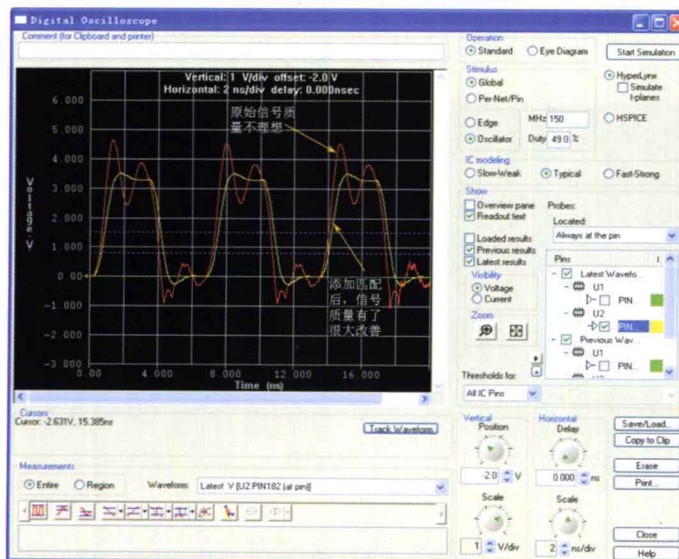


图 21-12 添加匹配前后两次仿真结果比较

前 言

SiP (System in Package) 系统级封装技术正成为当前电子技术发展的热点, 受到了来自多方面的关注, 这些关注既来源于传统封装 Package 设计者, 也来源于传统的 MCM 设计者, 更多来源于传统的 PCB 设计者, 甚至 SoC 的设计者也开始关注 SiP。

和 Package 比较而言, SiP 是系统级的多芯片封装, 能够完成独立的系统功能。

和 MCM 比较而言, SiP 是 3D 立体化的多芯片封装, 其 3D 主要体现在芯片堆叠和基板腔体上, 同时, SiP 的规模和所能完成的功能也比 MCM 有较大提升。

和 PCB 比较而言, SiP 技术的优势主要体现在小型化、低功耗、高性能方面。实现和 PCB 同样的功能, SiP 只需要 PCB 面积的 10%~20%, 功耗的 40%左右, 性能也会有比较大的提升。

和 SoC 比较而言, SiP 技术的优势主要体现在周期短、成本低、易成功方面。实现同样的功能, SiP 只需要 SoC 研发时间的 10%~20%, 成本的 10%~15%, 并且更容易取得成功。

在国内, 越来越多的电子设计工程师开始关注和学习 SiP 的技术, 但由于目前关于 SiP 设计和仿真方面的综合书籍很缺乏, 设计者往往无从下手, 这在一定程度上也阻碍了 SiP 技术在国内的快速发展。

作者近几年一直从事 SiP 技术的研究和 SiP 用户项目的技术支持工作, 参与了国内多款 SiP 的设计工作。

在参与这些项目的过程中, 作者了解到越来越多的用户对于 SiP 设计仿真技术的迫切需求, 意识到国内急需一本 SiP 设计与仿真方面的综合书籍。正是基于这种原因, 我们编写了此书。

本书总共分为 21 章, 系统地讲述了 SiP 从设计到仿真的全过程。

其中, 第 1 章、第 6 章至第 21 章为李扬编写, 第 2 章至第 4 章为刘杨编写, 李扬做了内容的补充和修改, 第 5 章为两人联合编写, 最终由李扬统一定稿。

由于作者所参与的 SiP 项目均使用了 Mentor 公司的 SiP 设计及仿真工具, 所以本书基于 Mentor 公司的工具来讲述 SiP 的设计和仿真方法。下面为本书各章的内容简介。

- 第 1 章主要讲述了 Mentor 公司 SiP 技术的发展, 以及 Mentor SiP 设计及仿真平台。
- 第 2 章讲述了封装及 SiP 的基础知识, 以及封装厂家和芯片供应商等信息。
- 第 3 章以 BGA 封装为主, 讲述了 SiP 封装的生产流程。
- 第 4 章介绍了新兴的封装技术及其应用, 包括 TSV、IPD 及 PoP 等技术。
- 第 5 章讲述了 SiP 设计与仿真的整个流程。
- 第 6 章介绍了 SiP 设计中心库的建立与管理。
- 第 7 章介绍了 SiP 原理图输入的方法, 原理图设计的各种选项及中文配置等功能。
- 第 8 章介绍了多版图项目管理及原理图多人协同设计的原理及实现方法。
- 第 9 章介绍了 SiP 版图的创建和版图相关的设置与操作。
- 第 10 章介绍了 SiP 设计中的约束规则管理。

- 第 11 章介绍了 Wire Bonding 的模型定义、参数设置及设计方法。
- 第 12 章介绍了腔体 Cavity 及芯片堆叠 Die Stack 的定义和设计方法。
- 第 13 章介绍了倒装焊 FlipChip 及 RDL 的概念和设计方法。
- 第 14 章介绍了 SiP 基板布线和敷铜处理的各种操作方法。
- 第 15 章介绍了埋入式电阻电容 EP 的工艺、材料及设计方法。
- 第 16 章介绍了 RF 射频电路的设计方法，RF 原理图和版图设计以及与仿真工具的连接。
- 第 17 章介绍了 SiP 版图实时协同设计技术 Xtreme 及其实现方法。
- 第 18 章介绍了 3D 实时 DRC 检查，并通过 3D Viewer 模拟了 SiP 生产加工全流程。
- 第 19 章介绍了设计检查 DRC 技术，包括 Online DRC、Batch DRC 及 Hazard 的查看。
- 第 20 章介绍了 SiP 设计完成后，各种相关生产数据的输出。
- 第 21 章介绍了 SiP 的各种仿真技术。

上述各章的内容基本上概括了 SiP 设计中可能遇到的各种情况和问题。

对于本书中还未涉及的但在 SiP 设计中切实需要的技术和方法，希望读者也能够提出来，我们会在后续的版本中给予补充。

编写此书时，我们力求将此书编写成一本综合而全面的 SiP 书籍。因此，除了详尽介绍了 SiP 设计中的各种技术和方法外，在本书的最后一章，我们介绍了 SiP 的仿真技术。

为了降低 SiP 设计的门槛，打消初学者对刚开始设计 SiP 时的各种顾虑和疑惑，本书的内容除了描述 SiP 设计和仿真之外，还介绍 SiP 生产厂家、裸芯片供应商等相关信息，供读者参考。

此外，本书有 3 章内容专门介绍了封装及 SiP 的基础知识、生产流程及与 SiP 相关的新兴技术，从而使得那些在接触本书之前对 SiP 或封装 Package 知之甚少的工程师也能在本书的指导下，高速、高质量地完成 SiP 的设计。

当然，虽然我们尽了最大的努力，力求做到完美，但是由于作者水平以及知识领域的限制，本书中难免会出现纰漏和谬误。恳请专家和广大读者能够给予指正，以便在后续的版本中得到更正。

衷心希望此书的出版能够对我国 SiP 技术及相关产业的发展起到一定的推动作用。

李 扬

2012 年 3 月

于北京

目 录

第 1 章	Mentor 公司 SiP 设计仿真平台	1
1.1	从 Package 到 SiP 的发展	1
1.2	Mentor 公司 SiP 技术的发展	4
1.3	Mentor SiP 设计与仿真平台	5
1.3.1	平台简介	5
1.3.2	原理图输入	6
1.3.3	系统设计协同	7
1.3.4	SiP 版图设计	7
1.3.5	信号完整性和电源完整性仿真	11
1.3.6	热分析仿真	12
1.3.7	Mentor SiP 设计仿真平台的优势和先进性	12
1.4	在 Mentor SiP 平台中完成的项目介绍	13
第 2 章	封装基础知识	15
2.1	封装的定义与功能	15
2.2	封装技术的演变与发展	16
2.3	SiP 及其相关技术	18
2.3.1	SiP 技术的出现	18
2.3.2	SoC 与 SiP	19
2.3.3	SiP 相关的技术	21
2.4	封装市场发展	24
2.5	封装厂家	26
2.5.1	传统封装厂家	26
2.5.2	不同领域的 SiP 封装企业	27
2.6	裸芯片提供商	28
第 3 章	SiP 生产流程	30
3.1	BGA—主流的 SiP 封装形式	30
3.2	SiP 封装生产流程	32
3.3	SiP 封装的三要素	35
第 4 章	新兴封装技术	38
4.1	TSV (硅通孔) 技术	38
4.1.1	TSV 介绍	38

4.1.2	TSV 技术特点	39
4.1.3	TSV 的应用领域和前景	41
4.2	IPD (Integrated Passive Device) 技术	42
4.2.1	IPD 介绍	42
4.2.2	IPD 的优势	43
4.3	PoP (Package on Package) 技术	45
4.3.1	3D SiP 的局限性	45
4.3.2	PoP 的应用	45
4.3.3	PoP 设计的重点	47
4.4	代表电子产品 (苹果 A4 处理器)	48
第 5 章	SiP 设计与仿真流程	51
5.1	SiP 的设计与仿真流程	51
5.2	Mentor 环境中的设计与仿真流程	53
5.2.1	库的建立	54
5.2.2	原理图设计	54
5.2.3	版图设计	55
5.2.4	设计仿真	57
第 6 章	中心库的建立及管理	59
6.1	中心库的结构	59
6.2	Dashboard 介绍	60
6.3	原理图符号库的建立	61
6.4	裸芯片 Cell 库的建立	67
6.4.1	创建裸芯片 Padstack	67
6.4.2	创建裸芯片 Cell	68
6.5	BGA Cell 库的建立	72
6.5.1	创建 BGA Padstack	72
6.5.2	手工创建 BGA Cell	74
6.5.3	使用 Die Wizard 创建 BGA Cell	77
6.5.4	LP Wizard 专业建库工具	78
6.6	Part 库的建立	78
6.7	通过 Part 创建 Cell	82
第 7 章	原理图输入	84
7.1	网表输入	84
7.2	基本原理图输入	86
7.2.1	启动 DxDesigner	86
7.2.2	新建项目	92
7.2.3	设计检查	96

7.2.4	设计规则设置	97
7.2.5	设计打包 Package	97
7.2.6	输出 Partlist	100
7.2.7	原理图中文输入	102
7.2.8	进入版图设计环境	103
7.3	基于 DxDataBook 的原理图输入	104
7.3.1	DxDataBook 介绍	104
7.3.2	DxDataBook 使用	105
7.3.3	元器件属性的校验和更新	108
第 8 章	多版图项目管理与原理图 多人协同设计	110
8.1	多版图项目管理	110
8.1.1	SiP 与 PCB 协同设计的需求	110
8.1.2	多版图项目设计流程	111
8.2	原理图多人协同设计	113
8.2.1	协同设计的思路	113
8.2.2	原理图多人协同设计的操作方法	114
第 9 章	版图的创建与设置	118
9.1	创建版图模板	118
9.1.1	版图模板定义	118
9.1.2	创建 SiP 版图模板	119
9.2	创建版图项目	127
9.2.1	创建 SiP 项目	127
9.2.2	进入版图设计环境	128
9.3	版图相关设置与操作	130
9.3.1	版图 License 控制介绍	130
9.3.2	鼠标操作方法	132
9.3.3	三种常用操作模式	135
9.3.4	显示控制 Display Control	139
9.3.5	编辑控制 Editor Control	145
9.3.6	参数设置 Setup Parameters	152
9.4	版图布局	152
9.4.1	元器件布局	152
9.4.2	网络自动优化	154
9.5	版图中直接查看原理图 eDxD View	155
9.6	版图中文输入	156
第 10 章	约束规则管理	159
10.1	CES 约束编辑系统	159

10.2	方案 Scheme	161
10.2.1	创建方案 Scheme	161
10.2.2	在版图设计中应用 Scheme	162
10.3	定义基板的层叠及其物理参数	163
10.4	网络类规则 Net Class	164
10.4.1	创建网络类并指定网络到网络类	164
10.4.2	定义网络类规则	165
10.5	间距规则 Clearance	166
10.5.1	间距规则的创建与设置	166
10.5.2	通用间距规则	168
10.5.3	网络类到网络类间距规则	168
10.6	约束类 Constraint Class	170
10.6.1	新建约束类并指定网络到约束类	170
10.6.2	电气约束分类	171
10.6.3	编辑约束组	174
10.7	CES 和版图数据交互	175
第 11 章	Wire Bonding 设计	177
11.1	Wire Bonding 概述	177
11.2	Bond Wire 模型	178
11.2.1	Bond Wire 模型定义	179
11.2.2	Bond Wire 模型参数	183
11.3	Wire Bonding 工具栏及其应用	184
11.3.1	手动添加 Bond Wire	185
11.3.2	移动及旋转 Bond Pad	185
11.3.3	自动添加 Bond Wire 及 Power Ring	186
11.3.4	Bond Wire 规则设置	188
11.3.5	实时 Bond Wire 编辑器 Wire Model Editor	197
第 12 章	腔体及芯片堆叠设计	202
12.1	腔体 Cavity	202
12.1.1	腔体的定义	202
12.1.2	腔体的创建	204
12.1.3	将芯片放置到腔体中	206
12.1.4	在腔体中键合	207
12.1.5	埋入式腔体设计及将分立器件埋入基板	208
12.2	芯片堆叠	212
12.2.1	芯片堆叠的概念	212
12.2.2	芯片堆叠的创建	213
12.2.3	并排堆叠芯片	215

12.2.4	调整堆叠中芯片的相对位置	216
12.2.5	芯片堆叠的键合	217
第 13 章	FlipChip 及 RDL 设计	219
13.1	FlipChip 的概念及特点	219
13.2	RDL 的概念	220
13.3	RDL 设计	221
13.3.1	Bare Die 及 RDL 库的建立	221
13.3.2	RDL 原理图设计	224
13.3.3	RDL 版图设计	225
13.4	FlipChip 设计	230
13.4.1	FlipChip 原理图设计	230
13.4.2	FlipChip 版图设计	231
第 14 章	布线与敷铜	238
14.1	布线	238
14.1.1	布线综述	238
14.1.2	手工布线	238
14.1.3	Plow 布线模式	239
14.1.4	Gloss 平滑模式	241
14.1.5	固定 Fix 和锁定 Lock	242
14.1.6	层的切换	243
14.1.7	移动导线和过孔	244
14.1.8	电路复制	245
14.1.9	半自动布线	247
14.1.10	自动布线	247
14.1.11	差分对布线	249
14.1.12	长度控制布线	252
14.2	敷铜	257
14.2.1	敷铜定义	257
14.2.2	敷铜设置	258
14.2.3	绘制敷铜形状	262
14.2.4	修改敷铜形状	264
14.2.5	生成负片敷铜	266
14.2.6	删除敷铜数据	266
14.2.7	检验敷铜数据	267
第 15 章	埋入式电阻、电容设计	268
15.1	埋入元器件技术的发展	268
15.1.1	分立式埋入技术	268

15.1.2	平面式埋入技术	269
15.2	埋入式电阻、电容的工艺和材料	270
15.2.1	埋入式电阻电容的工艺 Processes	271
15.2.2	埋入式电阻、电容的材料 Materials	278
15.2.3	电阻材料的非线性特征	282
15.3	电阻、电容自动综合	283
15.3.1	自动综合前的准备	283
15.3.2	电阻自动综合	286
15.3.3	电容自动综合	290
第 16 章	RF 射频电路设计	294
16.1	RF SiP 技术	294
16.2	Mentor RF 设计流程	295
16.3	RF 原理图设计	295
16.3.1	RF 元器件库的配置	295
16.3.2	RF 原理图工具栏	297
16.3.3	RF 原理图设计	303
16.4	原理图与版图 RF 参数的相互传递	305
16.5	RF 版图设计	307
16.5.1	RF 版图工具箱	307
16.5.2	RF 单元的 3 种类型	310
16.5.3	Meander 添加及编辑	311
16.5.4	RF Control Pane	314
16.5.5	创建用户自定义的 RF 形状	314
16.5.6	RF Via	315
16.5.7	RF Group	318
16.5.8	其他 RF 编辑功能	319
16.6	和 RF 仿真工具连接并传递数据	322
16.6.1	连接 RF 仿真工具	322
16.6.2	版图 RF 数据传递	324
16.6.3	原理图 RF 数据传递	324
第 17 章	版图实时协同设计	326
17.1	版图实时协同设计技术 Xtreme	326
17.2	实时协同软件的配置	328
17.3	启动 Xtreme 实时协同设计	329
第 18 章	3D 实时 DRC 检查	334
18.1	Wire Model Editor 3D 实时显示及 DRC 检查	334
18.1.1	Wire Model Editor 3D 实时显示	334

18.1.2	Wire Model Editor 3D 实时 DRC 检查	337
18.2	3D Viewer 实时显示及 DRC 检查	338
18.2.1	3D Viewer 概述	338
18.2.2	3D Viewer 实时查看	340
18.2.3	3D 模拟 SiP 生产加工全流程	341
18.2.4	导入 3D 结构设计数据	344
18.2.5	3D Viewer 实时 DRC	346
第 19 章	设计检查	349
19.1	Online DRC	349
19.2	Batch DRC	350
19.2.1	DRC Settings	350
19.2.2	Connectivity and special rules	353
19.2.3	Batch DRC 方案	354
19.3	Review Hazard	355
19.4	设计库检查	357
第 20 章	生产数据输出	359
20.1	Gerber 及钻孔数据输出	359
20.1.1	输出钻孔数据	359
20.1.2	设置光绘机格式	363
20.1.3	输出 Gerber 数据	364
20.1.4	导入并检查 Gerber 数据	367
20.2	其他生产数据输出	367
20.2.1	元器件及 Bond Wire 坐标文件输出	367
20.2.2	DXF 文件输出	369
20.2.3	版图设计状态输出	370
20.2.4	BOM 输出	371
第 21 章	SiP 仿真技术	373
21.1	SiP 仿真技术概述	373
21.2	信号完整性 SI 仿真	374
21.2.1	HyperLynx SI 信号完整性仿真工具介绍	374
21.2.2	HyperLynx SI 信号完整性仿真实例分析	377
21.3	电源完整性 PI 仿真	385
21.3.1	HyperLynx PI 电源完整性仿真工具介绍	385
21.3.2	HyperLynx PI 电源完整性仿真实例分析	388
21.4	热分析 Thermal 仿真	392
21.4.1	HyperLynx Thermal 热分析软件介绍	392
21.4.2	HyperLynx Thermal 热仿真实例分析	393

21.5 电磁兼容 EMI/EMC 分析	402
21.5.1 Quiet Expert 电磁兼容专家系统介绍	402
21.5.2 Quiet Expert 实例分析	403
21.6 数模混合电路仿真介绍	406
参考资料	409
后记及致谢	410