



21世纪大学本科
计算机专业系列教材

蔡晓燕 编著

FPGA 数字逻辑设计

<http://www.tup.com.cn>

- 根据教育部“高等学校计算机科学与技术专业规范”组织编写
- 与美国 ACM 和 IEEE CS *Computing Curricula* 最新进展同步



清华大学出版社

21世纪大学本科计算机专业系列教材

FPGA数字逻辑设计

蔡晓燕 编著



清华大学出版社
北京

内 容 简 介

本书是为“数字逻辑电路”等课程配套的实验教材。作为专业基础课程的配套实验,其主要目的是为学生学习后续硬件类课程培养硬件设计基础和实验技能。本书首先介绍了可编程器件、数字系统设计方法、电子设计自动化软件、Verilog HDL 程序设计方法等基础知识。在此基础上设计了 18 个实验题目,从组合逻辑电路设计、时序逻辑电路到状态机设计以及常用接口控制器设计。每个实验都从理论知识入手,先给出引导性实验,再进入设计性实验,知识的介绍和实验的要求循序渐进、由浅入深,不仅逻辑严密,而且操作性强。

本书适合作为高等学校计算机类专业及相关专业“数字逻辑”等课程的实验教材,也可供其他领域从事数字系统设计的工程技术人员参考。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

FPGA 数字逻辑设计/蔡晓燕编著. —北京:清华大学出版社,2013.5

21 世纪大学本科计算机专业系列教材

ISBN 978-7-302-30975-8

I. ①F… II. ①蔡… III. ①硬件描述语言—数字电路—计算机辅助设计—高等学校—教材
IV. ①TN790.2

中国版本图书馆 CIP 数据核字(2012)第 301685 号

责任编辑:张瑞庆

封面设计:何凤霞

责任校对:李建庄

责任印制:何 芊

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座 邮 编:100084

社 总 机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质量反馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

课件下载: <http://www.tup.com.cn>, 010-62795954

印 装 者:北京市清华园胶印厂

经 销:全国新华书店

开 本:185mm×260mm

印 张:11

字 数:273 千字

版 次:2013 年 5 月第 1 版

印 次:2013 年 5 月第 1 次印刷

印 数:1~3000

定 价:23.00 元

产品编号:048122-01

21 世纪大学本科计算机专业系列教材编委会

主 任：李晓明

副 主 任：蒋宗礼 卢先和

委 员：（按姓氏笔画为序）

马华东	马殿富	王志英	王晓东	宁 洪
刘 辰	孙茂松	李仁发	李文新	杨 波
吴朝晖	何炎祥	宋方敏	张 莉	金 海
周兴社	孟祥旭	袁晓洁	钱乐秋	黄国兴
曾 明	廖明宏			

秘 书：张瑞庆

前言

FOREWORD

在过去的几十年中,集成电路的发展给科学技术和社会生活带来了前所未有的巨大改变,在一块 FPGA 上实现一个高性能的 CPU 已经能够实现。计算机辅助设计技术的发展,给数字电路设计带来了革命性的发展,将计算机辅助设计技术融入硬件设计中,使原来复杂的数字系统设计变得更加简单,这使得非电子工程专业的技术人员也能参与到硬件设计工作中。另一方面,随着嵌入式应用的发展和对计算机系统性能要求的提高,数字系统的软硬件协同设计也越来越重要,这也要求有计算机系统结构知识的人参与到硬件设计中来。

现在的工程师大多是通过硬件描述语言来设计数字系统的,常用的硬件描述语言是 VHDL 和 Verilog HDL。这两种语言没有优劣之分,应用都很广泛,本书采用 Verilog 硬件描述语言,大部分的实验例题都是采用电路行为级的描述,而不是用传统的电路逻辑方程的方式来描述电路。

目前国内的 FPGA 市场主要由 Xilinx 公司和 Altera 公司两大生产厂商占领,每个公司都为自己的 FPGA 开发了编译器。本书的所有例题都是在 Altera 公司的 FPGA 上进行实验的,因此本书中例题的编译平台是 Altera 公司的 Quartus II。如果读者使用的是 Xilinx 公司的开发平台,只要将本书中实例的 Verilog HDL 代码输入至 Xilinx ISE 编译器中重新编译,即可产生可下载到 Xilinx 公司的 FPGA 中的文件。

本书共 6 章。第 1 章简单介绍数字逻辑芯片。第 2 章简单介绍 EDA 技术的基础知识,并且通过两个实例让读者对 Quartus II 的使用和用 Verilog HDL 来设计硬件电路有简单的了解。第 3 章和第 4 章分别介绍组合逻辑电路和时序逻辑电路的设计方法。第 5 章和第 6 章分别介绍简单数字系统设计和常用的 I/O 接口的相关知识。附录简要介绍竞争、冒险和毛刺现象,并介绍了消除毛刺的方法。本书的编写采取由简到繁、循序渐进逐渐加深的方法,对每个内容都是先给出具体的实例,让读者初步了解相关知识,然后提高难度,引导读者独立思考设计出自己的相对复杂的数字电路。因此,只要有数字逻辑电路基本理论知识的读者都可以阅读本书,对于有想设计出更加复杂的数字系统的读者,阅读本书也会有所帮助。

由于目前国际上流行的大多数数字技术教材、数字系统设计资料和主流 EDA 软件中,一直流行采用 ANSI/IEEE 91—84 标准特定外形的图形符号,因此,本教材也主要使用这类二进制逻辑元件符号。

关于本书实验教学的建议如下。

1. 实验安排

本书共设计了 18 个实验,每个实验有若干个引导性实验和设计性实验项目,授课时可以根据专业和学生层次灵活选择。

实验课程安排为每周一个实验,课堂实验时间为 2~3 学时,课前需要对实验项目进行预习,根据书中提示完成引导性实验,设计性实验要求在实验课前完成电路或代码设计,电路或代码无语法错误。

2. 教学和考核

建议每次实验课前,教师根据课堂情况和实验报告情况对上一次实验进行总结,对普遍存在的问题统一讲解。尽量在每次实验课上介绍下一次实验的要点,要求学生对相关理论知识、工具使用等进行课前预习,完成预习报告,任课教师在实验开始前要对本次实验的预习报告进行检查或抽查。实验时可以对每个完成的实验进行验收、提问并作记录。课后在预习报告的基础上完成内容完整、条理清楚的实验报告。

学期实验完成时,可以单独设计实验进行考核,也可以每次实验都设计考核内容。成绩评定根据实验预习、课堂验收提问、实验报告和期末考核进行综合评分。

在本书的编写过程中得到了许多教师和学生的帮助。在此特别感谢袁春风教授、张泽生高级工程师和李宇鹏同学的帮助。

作 者

2013 年 3 月于南京大学



普通高等教育“十一五”国家级规划教材
21世纪大学本科计算机专业系列教材

近期出版书目

- 计算概论(第2版)
- 计算概论——程序设计阅读题解
- 计算机导论(第2版)
- 计算机导论教学指导与习题解答
- 计算机伦理学
- 程序设计导引及在线实践
- 程序设计基础(第2版)
- 程序设计基础习题解析与实验指导
- 程序设计基础(C语言)
- 程序设计基础(C语言)实验指导
- 离散数学(第2版)
- 离散数学习题解答与学习指导(第2版)
- 数据结构(STL 框架)
- 算法设计与分析
- 算法设计与分析(第2版)
- 算法设计与分析习题解答(第2版)
- C++ 程序设计(第2版)
- Java 程序设计
- 面向对象程序设计(第2版)
- 形式语言与自动机理论(第3版)
- 形式语言与自动机理论教学参考书(第3版)
- 数字电子技术基础
- 数字逻辑
- FPGA 数字逻辑设计
- 计算机组成原理(第3版)
- 计算机组成原理教师用书(第3版)
- 计算机组成原理学习指导与习题解析(第3版)
- 微机原理与接口技术
- 微型计算机系统与接口(第2版)
- 计算机组成与系统结构
- 计算机组成与体系结构习题解答与教学指导
- 计算机组成与体系结构(第2版)
- 计算机系统结构教程
- 计算机系统结构学习指导与题解
- 计算机操作系统(第2版)
- 计算机操作系统学习指导与习题解答
- 编译原理
- 软件工程
- 计算机图形学
- 计算机网络(第3版)
- 计算机网络教师用书(第3版)
- 计算机网络实验指导书(第3版)
- 计算机网络习题解析与同步练习
- 计算机网络软件编程指导书
- 人工智能
- 多媒体技术原理及应用(第2版)
- 计算机网络工程(第2版)
- 计算机网络工程实验教程
- 信息安全原理及应用

第 1 章 逻辑器件简介	1
1.1 逻辑器件概述	1
1.1.1 固定逻辑芯片	1
1.1.2 简单 PLD 器件	2
1.1.3 CPLD 器件	5
1.1.4 FPGA 器件	5
1.1.5 专用集成电路	9
1.2 Cyclone II 系列 FPGA	10
1.2.1 概述	10
1.2.2 逻辑单元	12
1.2.3 片内存储器	12
1.2.4 片内乘法器	16
1.2.5 输入输出模块	17
1.3 DE-70 开发平台	19
1.3.1 外观和组件	19
1.3.2 USB-Blaster 的驱动安装	22
1.3.3 DE2-70 开发板的使用	25
第 2 章 EDA 技术基础知识	27
2.1 数字逻辑系统设计过程	27
2.2 Quartus II 使用入门	29
2.2.1 问题分析和设计	29
2.2.2 利用 Quartus II 完成电路仿真	31
2.2.3 尝试自己设计一个实验	56
2.3 Verilog HDL 语言简介	56
2.3.1 Verilog HDL 语言程序的结构	56
2.3.2 逻辑系统、变量和常量	58

2.3.3	操作符和表达式	60
2.3.4	电路设计的三种不同形式	61
第 3 章	组合逻辑电路设计	64
3.1	选择器实验	64
3.1.1	二选一多路选择器	64
3.1.2	四选一多路选择器	65
3.1.3	实现一个多路选择器	66
3.1.4	实验内容	73
3.2	译码器的设计	78
3.2.1	2-4 译码器	78
3.2.2	3-8 译码器	81
3.2.3	实验内容	85
3.3	编码器的设计	88
3.3.1	4-2 编码器	88
3.3.2	实验内容	92
3.4	三态缓冲器和多路复用器	93
3.4.1	一位三态缓冲器	94
3.4.2	实验内容	94
3.5	简单加法器和乘法器	96
3.5.1	1 位加法器	96
3.5.2	实现一个 8 位加法器	97
3.5.3	实验内容	104
第 4 章	时序逻辑电路设计	106
4.1	触发器和锁存器实验	106
4.1.1	RS 锁存器	106
4.1.2	时钟触发的 RS 锁存器	107
4.1.3	D 锁存器	107
4.1.4	时钟边沿触发的 D 触发器	108
4.1.5	触发器设计中的非阻塞赋值语句	109
4.1.6	实验内容	111
4.2	寄存器实验	111
4.2.1	寄存器	112
4.2.2	移位寄存器	113
4.2.3	实验内容	113
4.3	计数器实验	115
4.3.1	加法计数器	115

4.3.2	减法计数器	115
4.3.3	实验内容	116
4.4	定时器	118
4.4.1	开发板上的时钟信号	118
4.4.2	实验内容	118
4.5	存储器实验	119
4.5.1	DE2-70 实验平台上的 M4K	119
4.5.2	单时钟简单双口 RAM	119
4.5.3	实验内容	122
第 5 章	状态机和简单数字系统设计	124
5.1	状态机实验	124
5.1.1	有限状态机	124
5.1.2	简单状态机 FSM	125
5.1.3	状态机的编码方式	129
5.1.4	实验内容	129
5.2	雷鸟车尾灯控制器*	130
5.2.1	实验目的	130
5.2.2	实验内容	130
5.2.3	问题分析	130
5.3	交通控制灯实验	132
5.3.1	实验目的	132
5.3.2	实验内容	132
第 6 章	简单接口控制器设计	133
6.1	PS/2 接口原理及实现	133
6.1.1	PS/2 接口简介	133
6.1.2	PS/2 接口与 FPGA 的连接	135
6.1.3	PS/2 键盘控制器的设计	136
6.2	LCD 接口原理及实现	138
6.2.1	LCD 简介	138
6.2.2	LCD 与 FPGA 的连接	139
6.2.3	LCD 的控制器 HD44780	141
6.2.4	LCD 显示控制器的设计	147
6.3	VGA 接口原理及实现	154
6.3.1	VGA 简介	154
6.3.2	VGA 和 FPGA 的连接	155
6.3.3	VGA 显示控制器的设计	157

附录 竞争、冒险和毛刺	160
附.1 竞争、冒险和毛刺现象	160
附.2 毛刺的消除方法	161
附.2.1 利用冗余项法	161
附.2.2 吸收法	162
附.2.3 锁存法	162
附.2.4 信号延时法	163
参考文献	164

第 1 章

逻辑器件简介

我们生活在一个数字化的世界中,小到电子手表、电子玩具,大到计算机、服务器等都是数字系统。数字逻辑器件(集成电路)是数字系统赖以工作的硬件基础,集成电路(IC)的发展水平决定着数字逻辑电路的复杂程度和工作性能。英特尔公司的创始人之一戈登·摩尔(Gordon Moore)指出:集成电路上可容纳的晶体管数目每隔 18 个月便会增加一倍,性能也将提升一倍,而且其价格保持不变,这就是有名的“摩尔定律”。目前,集成电路的工艺水平已经到了几十纳米级。

本章首先介绍几种简单的集成电路,然后介绍复杂可编程逻辑电路芯片(CPLD)的工作原理,最后详细描述 Altera 公司 Cyclone II 系列现场可编程逻辑阵列(FPGA)的结构。

1.1 逻辑器件概述

随着集成电路工艺水平的发展,在数字逻辑器件的发展过程中,集成电路芯片经历了几个不同的发展阶段,本节简单介绍各个阶段出现的被普遍使用的几种芯片。

1.1.1 固定逻辑芯片

固定逻辑的标准芯片曾被广泛使用,了解其结构有助于理解可编程芯片的结构。因此,我们从简单的固定逻辑芯片开始介绍。

20 世纪 80 年代中期以前,数字逻辑电路设计中采用的芯片一般是标准芯片,例如 7400 系列芯片。7400 系列芯片的每个芯片中只含有少数几个功能相同的逻辑门,例如,7404 芯片中含有 6 个单输入非门,7408 芯片中含有 4 个双输入与门,如图 1-1 所示。

7400 系列包含许多不同的芯片,使用时需要查阅芯片制造商提供的数据手册。在稍为复杂的电路设计过程中,通常需要选择多个不同功能的芯片,并将其按照一定方式连接起来形成所需要的电路。

下面举例说明如何使用 7400 系列芯片实现一个具体的逻辑电路。

假设需要实现的电路的逻辑功能是 $F = \overline{A}B$,在这个逻辑函数中,需要完成一个二输入的与门和一个非门,因此,我们可以选用 74LS04 芯片和 74LS08 芯片来实现此逻辑,如

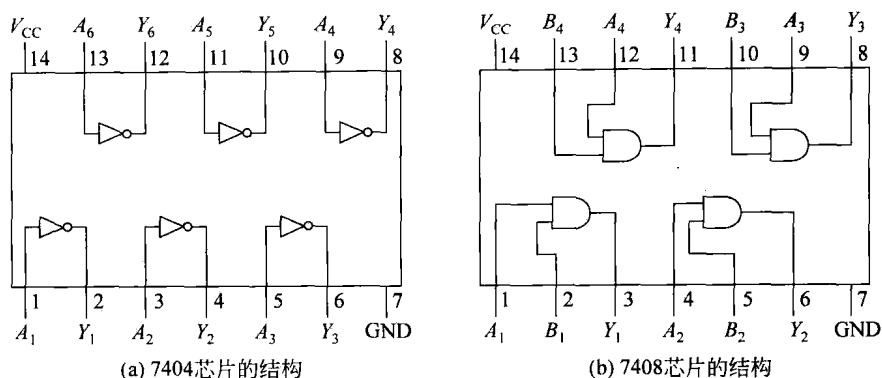
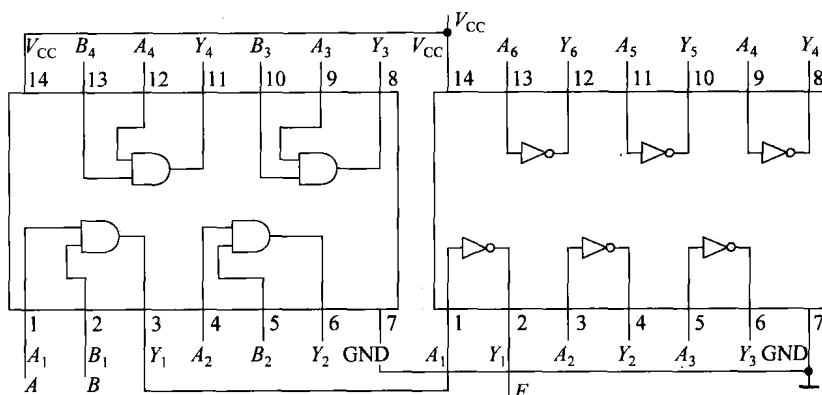


图 1-1 74LS04 和 74LS08 芯片结构图

图 1-2 所示(实际设计中可以选用现成的与非门芯片 74LS01, 本例只是用来说明问题)。请注意, 所有的芯片在使用时其电源(V_{CC})端都要连接到 5V 电源端, 所有的地(GND)端都要连接到接地端。

图 1-2 $F = \overline{AB}$ 的电路逻辑图

固定逻辑芯片属于中、小规模集成电路(SSI), 一片芯片的逻辑门数在 100 门以下, 且其逻辑功能单一、固定, 不能随着电路设计的需求而任意改变其逻辑功能。随着电路复杂度的提高, 利用中、小规模集成电路设计电路的难度将大大增加, 电路稳定性也随之降低。

随着集成电路技术的迅速发展, 在 20 世纪 80 年代后期出现了大规模可编程逻辑器件(Programmable Logic Device, PLD), 可编程逻辑器件给逻辑电路的设计带来了前所未有的灵活性。

1.1.2 简单 PLD 器件

可编程逻辑器件(PLD)是相对于固定功能的逻辑器件而言的。PLD 是一种用于实现逻辑电路的通用器件, 其中包含多个逻辑单元, 可以根据客户的需要进行编程, 构成不同功能的逻辑电路。PLD 的结构框图如图 1-3 所示, 芯片内部含有多个逻辑门和编程开关, 逻辑门可以通过编程开关连接起来, 形成所需要的逻辑电路。

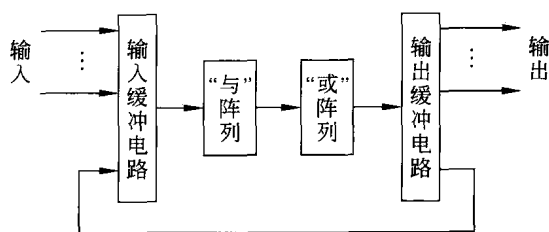


图 1-3 PLD 结构框图

1.1.2.1 PLD 中的电路符号表示

PLD 中常用的基本电路符号表示如图 1-4 所示。

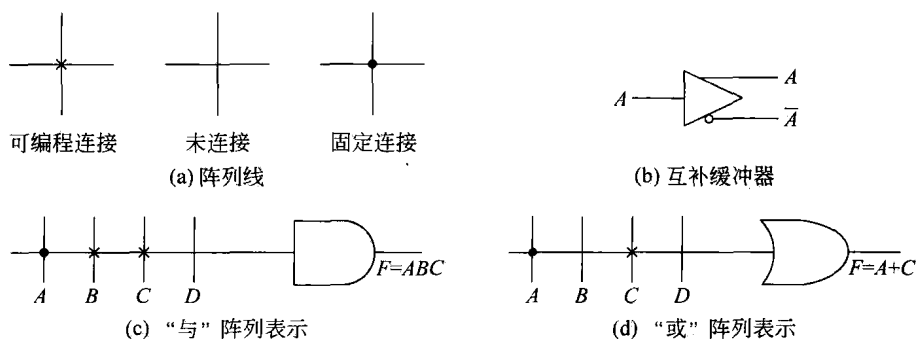


图 1-4 PLD 中常用的基本电路符号表示

图中连接线上的叉(×)表示 PLD 芯片中被编程为“连接”的可编程节点/开关,也可以将这些节点设置为“不连接”方式,通过对这些节点的适当配置或编程,就能实现用户需要的逻辑电路。使用 PLD 时,逻辑电路设计人员利用计算机辅助设计(Computer Aided Design, CAD)工具,在计算机上用电路原理图或者硬件描述语言(Hardware Description Language, HDL)描述出电路的功能,这些支持 PLD 器件的 CAD 工具(例如 Altera 公司的 MAX+PLUS II 和 Quartus II)能够自动生成针对 PLD 器件中每一个开关的编程信息,并产生编程文件。然后,将运行 CAD 工具的计算机通过电缆线与 PLD 开发平台相连,将含有编程信息的文件传送给 PLD 开发平台,开发平台上的编程器可以根据编程文件通过对 PLD 进行编程完成对 PLD 的配置,从而实现电路的设计。

1.1.2.2 简单 PLD 器件的基本结构

PLD 的种类繁多,分类不一。如果按照集成度来划分,可分为两类:简单 PLD 和复杂 PLD。逻辑门数 500 门以下的被认为是简单 PLD,包括 PROM、PLA、PAL、GAL 等器件;而逻辑门数在 500 门以上且芯片集成度高的则被称为复杂 PLD,包括 EPLD、CPLD、FPGA 等器件。目前,逻辑电路设计中常用的则是 CPLD 和 FPGA 器件。

了解简单 PLD 的基本结构有助于深入理解复杂 PLD 的结构,下面分别介绍几种简单 PLD 的基本结构。

1. 简单 PROM

图 1-5 是一种简单 PROM 的结构图。PROM 是一种“与”阵列固定、“或”阵列可编程的简单 PLD,在图左侧的“与”阵列中,每个与门与一条水平横线连接,而作为与门输入的信号线画成垂直线,与水平线相交,水平线和垂直线的某些交点处在硬件上设置为固定连接,形成固定的与门逻辑。图的右侧为“或”阵列,每一个或门与一条垂直线连线,这些垂直线垂直相交于“与”阵列的输出线,选择需要的与门输出,在连线交点处打个叉(×)表明该输入被编程为和与门连接,以此来实现所需要的逻辑功能。图 1-5 实现的逻辑功能是:

$$F_1 = \bar{A}B + AB \quad F_2 = \bar{A}\bar{B} + A\bar{B}$$

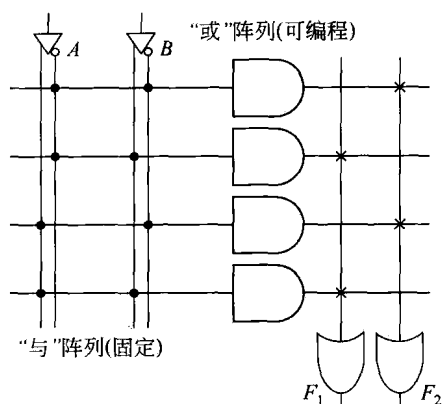


图 1-5 PROM 结构示意图

2. 可编程逻辑阵列(PLA)

图 1-6 是可编程逻辑阵列(Programmable Logic Array,PLA)的结构示意图,PLA 是一种“与”阵列和“或”阵列都可编程的逻辑阵列,这种“与”、“或”阵列都可编程的逻辑阵列编程时灵活度大,使用时也比较随意。图中完成的逻辑是:

$$F_1 = \bar{A}\bar{B} + AB \quad F_2 = \bar{A}\bar{B} + \bar{A}B$$

3. 可编程阵列逻辑(PAL)

图 1-7 是可编程阵列逻辑(Programmable Array Logic,PAL)的结构示意图,PAL 是一种“与”阵列可编程、“或”阵列固定的逻辑阵列。PAL 和简单 PROM 一样,逻辑结构相对简单,但是应用的灵活性不高。图中完成的逻辑是:

$$F_1 = \bar{A}\bar{B} + AB \quad F_2 = \bar{A}\bar{B} + \bar{A}B$$

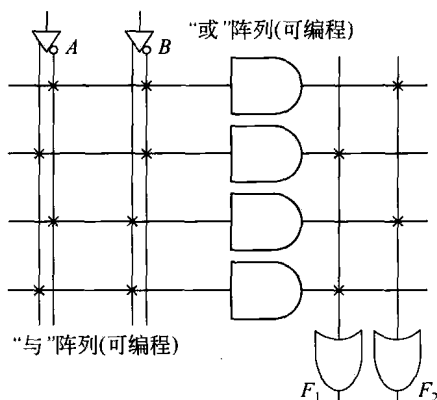


图 1-6 PLA 结构示意图

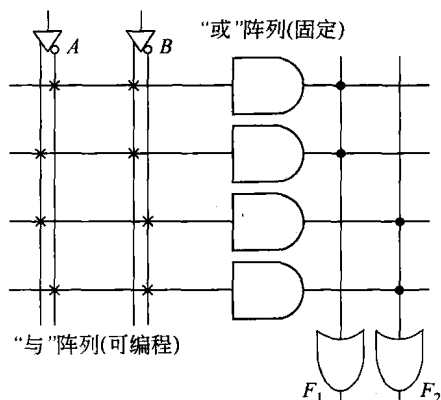


图 1-7 PAL 结构示意图

4. GAL16V8

1985 年 LATTICE 公司推出了一种新型的可编程逻辑器件——通用阵列逻辑(Generic Array Logic,GAL),GAL 器件与 PAL 的差别是 PAL 只能进行一次编程,而

GAL可多次电擦写。此外,GAL的输出端设置了可编程的输出逻辑宏单元(Output Logic Macro Cell,OLMC),通过编程可将OLMC设置成不同的工作状态,有锁存、同步输出、异步输出、置‘1’、清‘0’等功能,从而增强器件的通用性。

图1-8是常见的GAL16V8的电路结构图。它有1个 32×64 位的可编程与逻辑阵列,8个OLMC,10个输入缓冲器,8个三态输出缓冲器和8个反馈/输入缓冲器。

“与”逻辑阵列的每个交叉点上设有编程电源,是可编程的;在GAL16V8中除了“与”逻辑阵列以外还有一些编程单元,用于完成电擦写、重复编程和设置加密位等功能。输出逻辑宏单元(OLMC)中包含或门、D触发器、数据选择器以及一些门电路组成的控制电路,组成“或”逻辑阵列的8个或门就包含于OLMC中,它们和“与”逻辑阵列的连接是固定的;通过对OLMC内的结构控制字编程,便可设定OLMC的工作模式,得到不同类型的输出电路结构。

1.1.3 CPLD 器件

简单可编程器件通常用于实现规模较小的数字电路,芯片的输入和输出引脚数以及乘积项的个数都有限,如果应用于大型的电路中就需要使用多个简单PLD,为了解决这一问题,复杂可编程逻辑器件(Complex Programmable Logic Device,CPLD)应运而生。

图1-9为ALTERA公司的MAX 7000系列的CPLD结构框图。MAX 7000系列器件由三个主要的部分组成:逻辑阵列块(Logic Array Block,LAB)、I/O控制块和可编程互联阵列(Programmable Interconnect Array,PIA)。每个器件内含有若干个逻辑阵列块LAB,每个LAB由16个宏单元(Macrocell)构成,宏单元是CPLD的基本结构,它相当于一个类似PAL的电路模块,用以实现基本的逻辑功能。I/O控制块和芯片的输入输出引脚相连,可编程互联阵列PIA连接所有的宏单元和输入输出引脚,进行信号传递。图中的INPUT/GCLK1、INPUT/OE1、INPUT/OE2/GCLK2和INPUT/GCLR_n信号是全局时钟、清零和使能信号,它们通过PIA及专用连线和每个宏单元相连。

MAX 7000系列CPLD的宏单元结构如图1-10所示。

每个宏单元主要由三个部分组成:逻辑阵列、乘积项选择矩阵和可编程寄存器。逻辑阵列是可编程的,可编程为“与”逻辑;乘积项选择矩阵是一个“或”阵列,两者一起完成组合逻辑电路。图1-10中的右侧是可编程寄存器,可以编程实现D触发器、T触发器、JK触发器或钟控SR触发器。当电路中不需要触发器时,这一部分也可以被旁路掉,只完成组合逻辑功能。

1.1.4 FPGA 器件

现场可编程门阵列(Field-Programmable Gate Array,FPGA)是另一种集成度更高的复杂可编程逻辑器件。FPGA的内部结构和CPLD的内部结构迥然不同,FPGA内部没有“与”和“或”阵列。FPGA通常包含三类可编程资源:逻辑单元(Logic Element,LE)、I/O块和内部互连。逻辑单元是实现用户功能的基本单元,排列成二维阵列,分布于整个芯片;I/O充当芯片上的逻辑与外部封装引脚的接口,围绕着逻辑单元阵列排列于芯片四周;内部互连包括各种长度的连接线段和一些可编程连接开关,它们将各个逻辑单元或I/O块连接起来,构成特定功能的电路。

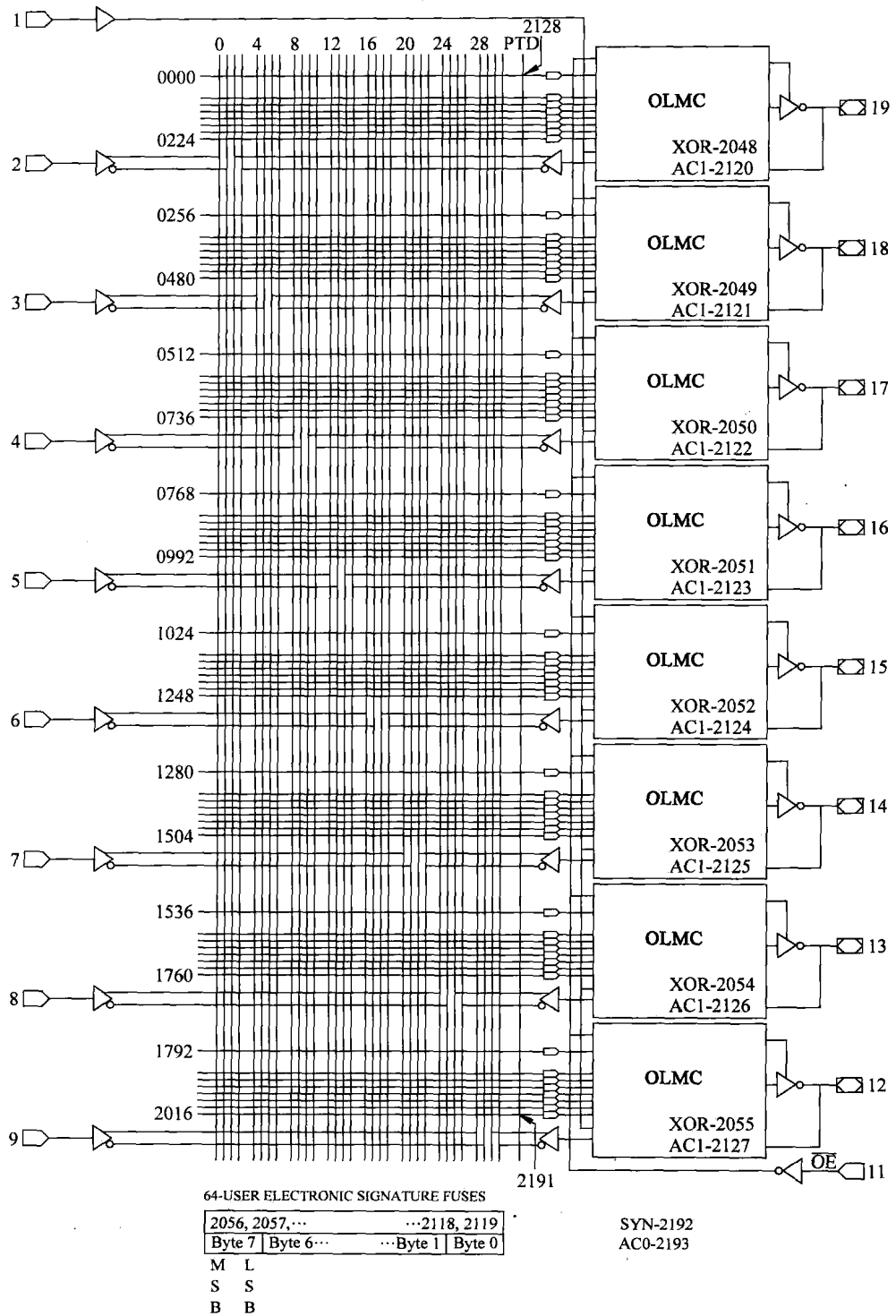


图 1-8 GAL6V8 的电路结构图